

高速入出インターフェース回路試験用 デジタル制御ジッタ生成回路の検討

小澤祐喜、小林春夫(群馬大)、塩田良治(Socionext)

群馬大学 理工学部 電子情報理工学科

小林研究室 学部4年

小澤 祐喜

t13304037@gunma-u.ac.jp

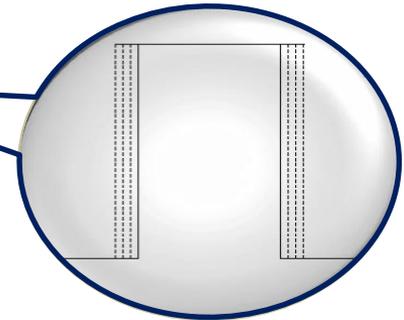
socionext™

研究背景

クロックの高周波化、データ転送速度の高速化



わずかな信号エッジの揺らぎでさえ
エラーの原因



課題：ジッタ耐性試験用回路を小規模・低コストで実現



提案手法

RCローパスフィルタと**CMOSインバータ**を用いたジッタ生成回路

研究目的

Target Application

高速I/O インターフェース回路の低コスト・高信頼性ジッタ耐性試験

Innovation

大部分はデジタル回路&僅かなアナログ回路
ジッタ量をデジタル制御



- 低コストBOSTの実現
- デジタル制御で安定・信頼性のあるジッタ生成回路の実現

アウトライン

1. ジッタ

- ジッタの種類
- シンボル間干渉

2. 提案回路

- 回路構成
- 動作原理
- 従来法

3. シミュレーション

- 過渡特性式の導出
- 回路シミュレーション
- 数値解析シミュレーション

4. まとめ

アウトライン

1. ジッタ

- ジッタの種類
- シンボル間干渉

2. 提案回路

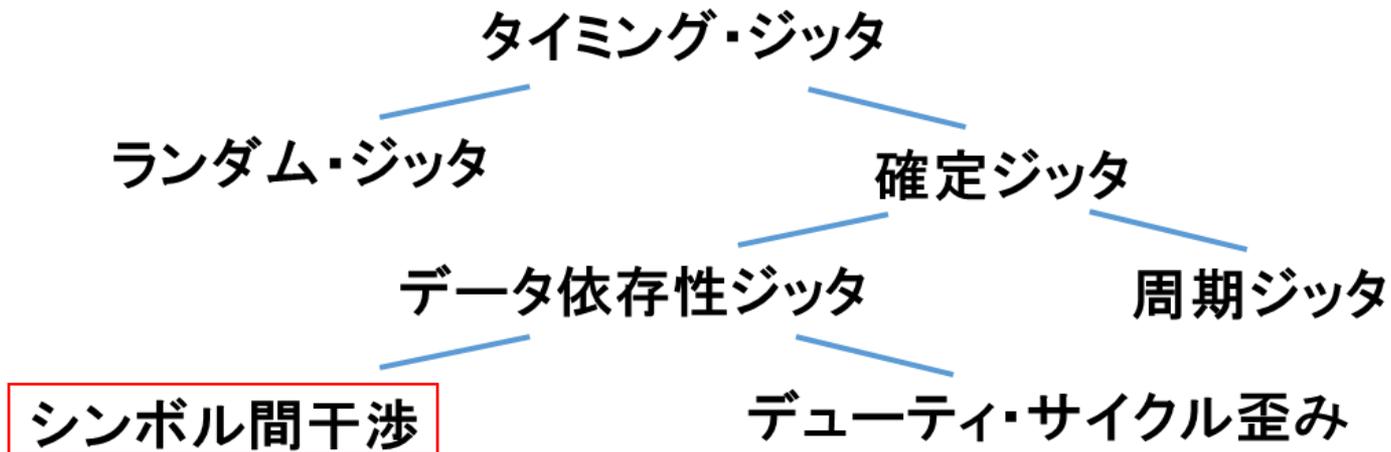
- 回路構成
- 動作原理
- 従来法

3. シミュレーション

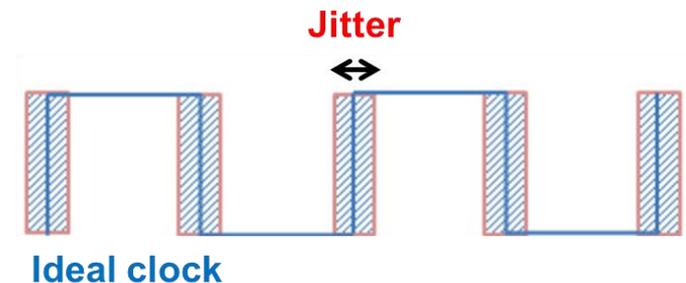
- 過渡特性式の導出
- 回路シミュレーション
- 数値解析シミュレーション

4. まとめ

ジッタの種類



- タイミング・ジッタ
タイミングのずれ
- 確定ジッタ
データやクロックの信号挙動に依存して発生
- データ依存性ジッタ
データパターンの隔たりにより発生
- シンボル間干渉
伝送路の帯域幅が不十分な場合に発生



シンボル間干渉

伝送路の帯域幅が不十分

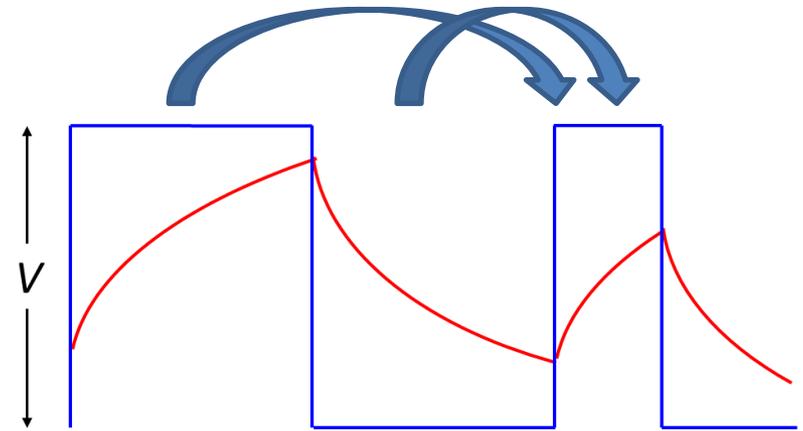


寄生容量による過渡特性

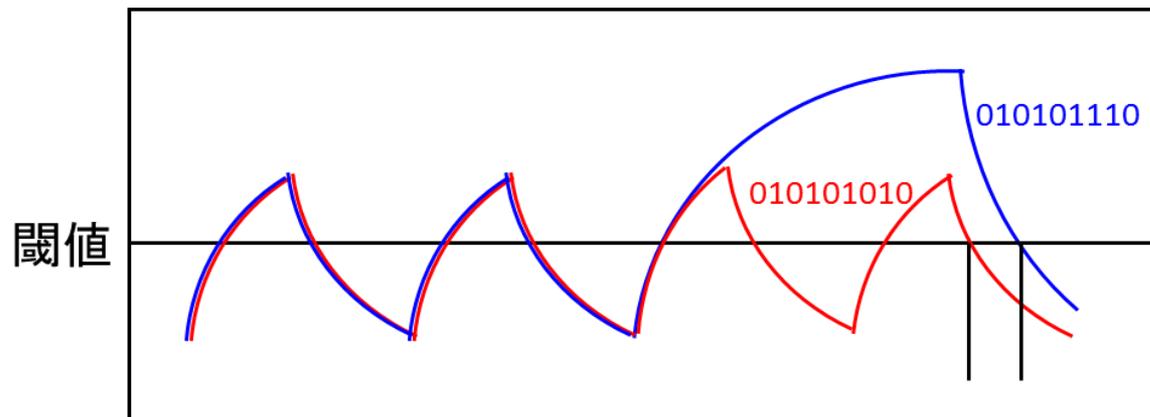


前段の信号が後段の信号に影響

相互に影響



シンボル間干渉例



アウトライン

1. ジッタ

- ジッタの種類
- シンボル間干渉

2. 提案回路

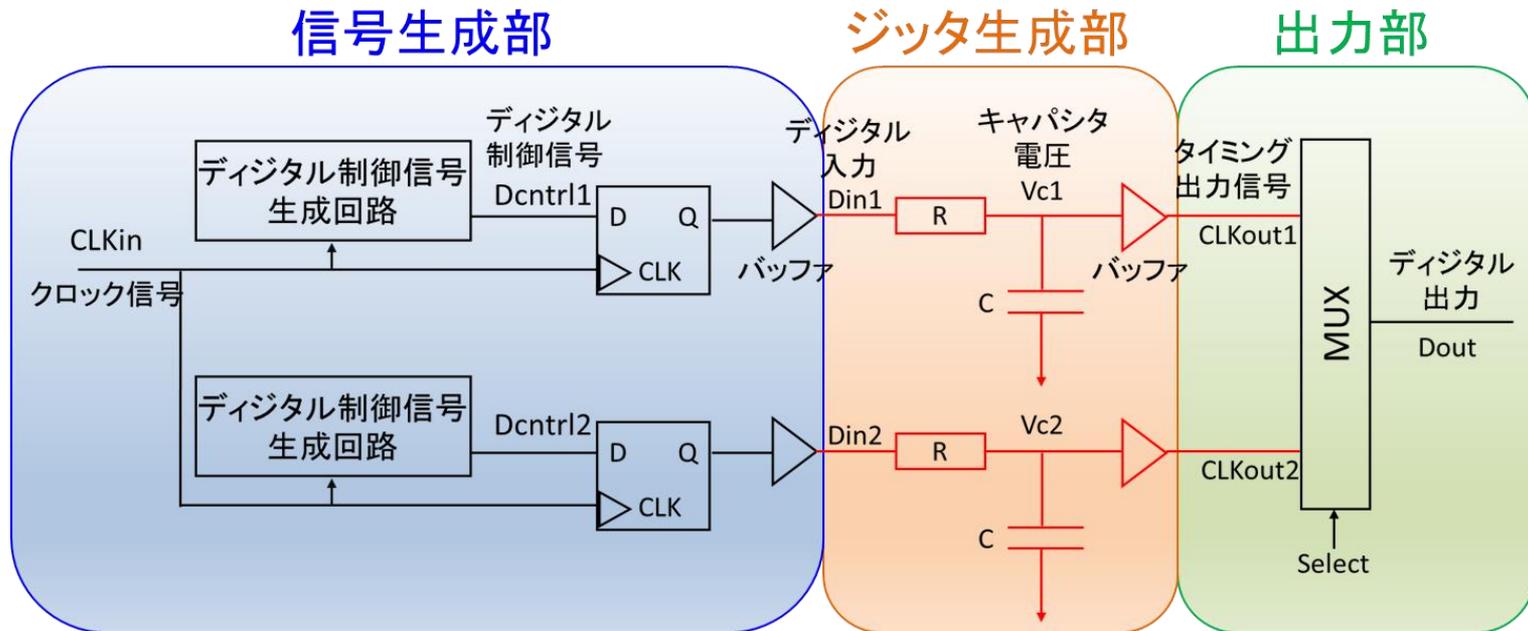
- 回路構成
- 動作原理
- 従来法

3. シミュレーション

- 過渡特性式の導出
- 回路シミュレーション
- 数値解析シミュレーション

4. まとめ

提案回路



➤ 信号生成部

所望のジッタ量になるデジタル信号を制御

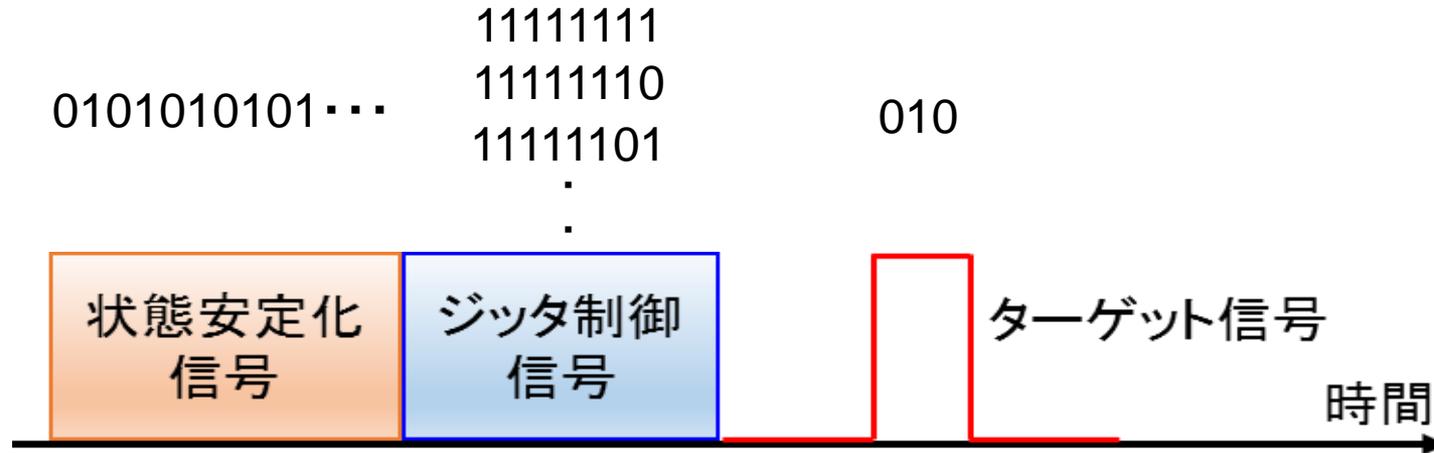
➤ ジッタ生成部

遅延を発生させジッタを生成

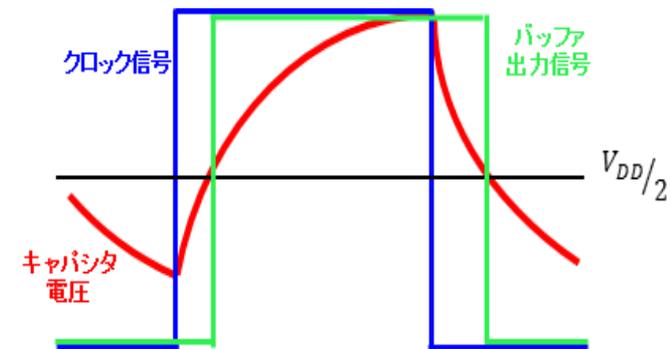
➤ 出力部

第1段または第2段で発生させたジッタを出力

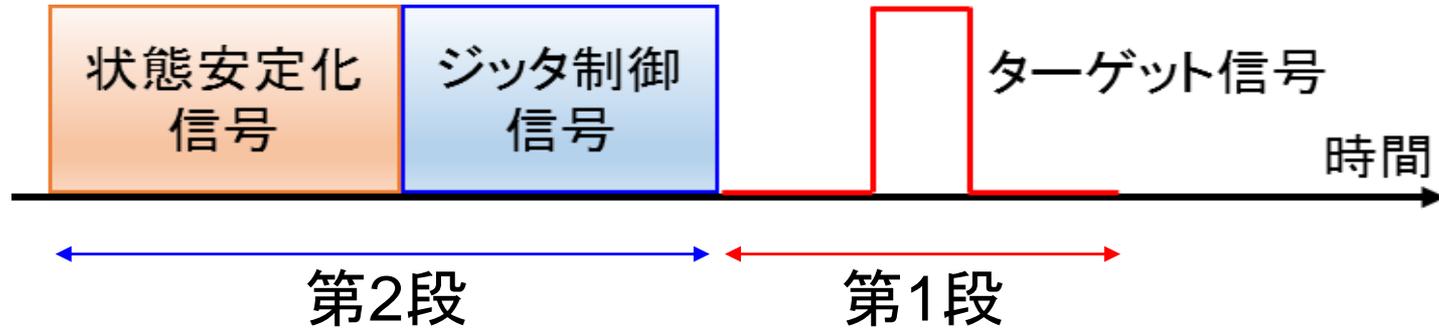
提案回路の動作原理



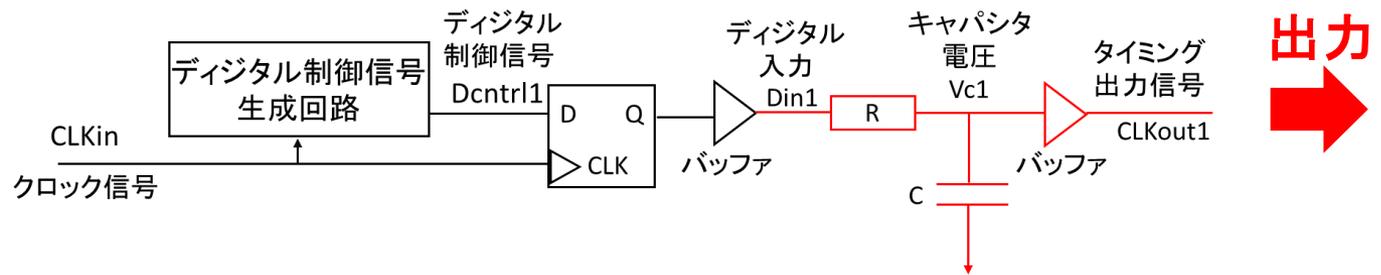
- **状態安定化信号**
キャパシタ電圧を定常状態にする01信号の繰り返し
- **ジッタ制御信号**
ターゲット信号のジッタを制御するデジタル信号
- **ターゲット信号**
ジッタ制御信号によって推移させるターゲットとなる信号



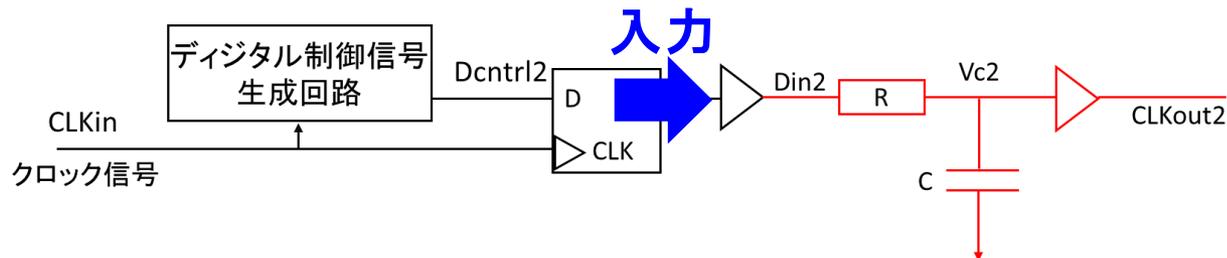
提案回路の並列動作



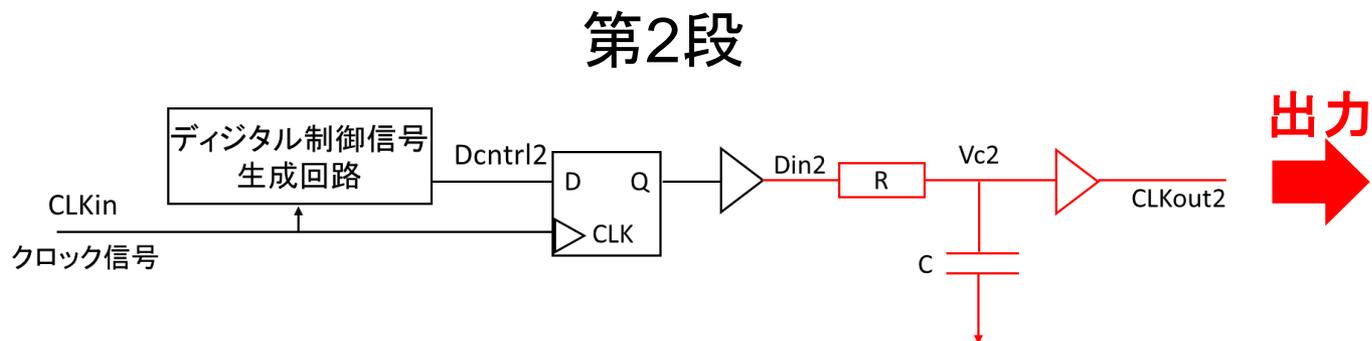
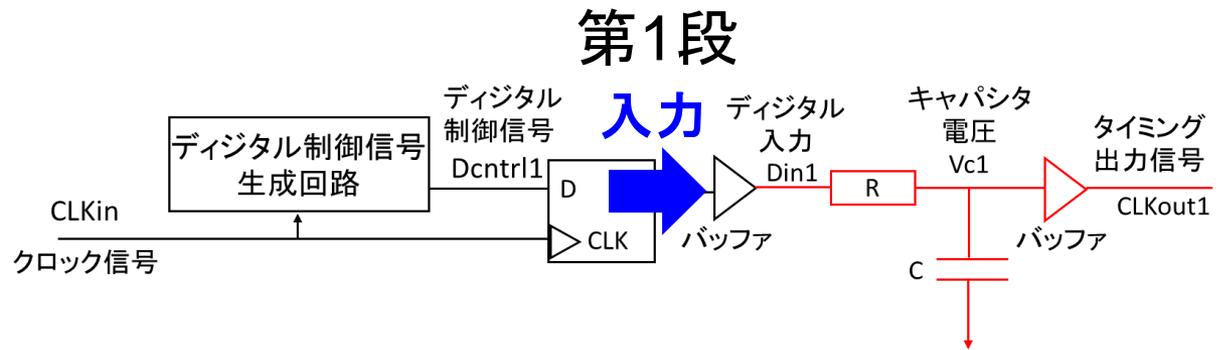
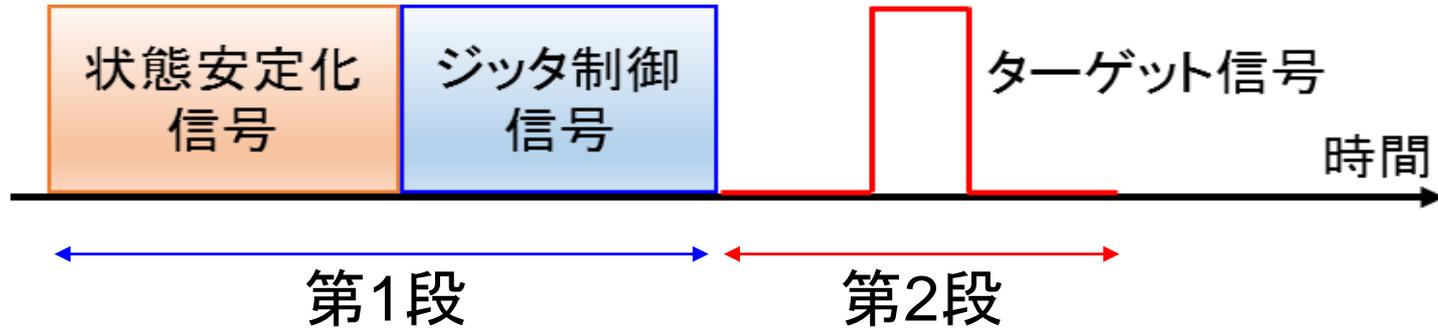
第1段



第2段



提案回路の並列動作



シミュレーション・考察対象

目的

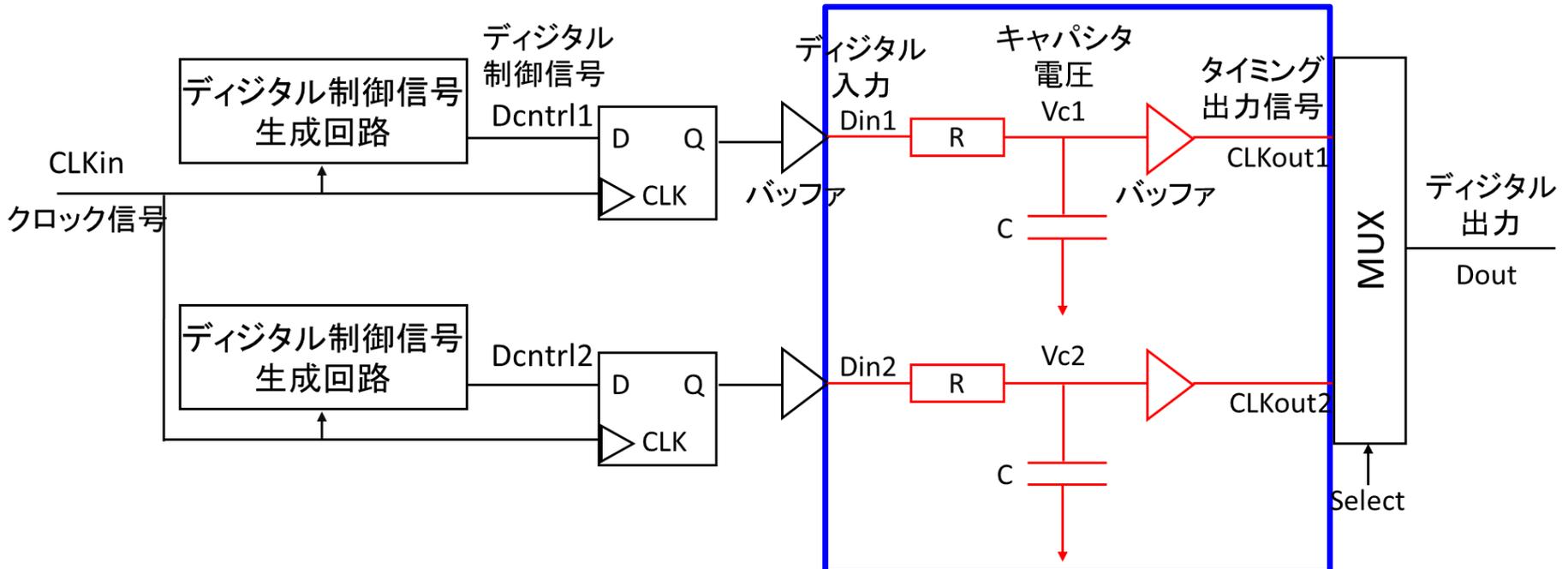
デジタル信号を入力



確認

ジッタ生成部で
所望のジッタを出力

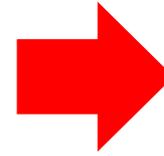
対象部分



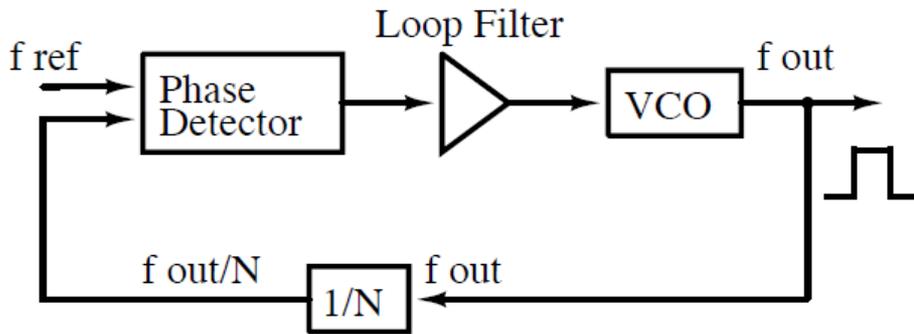
従来法



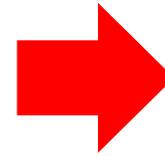
BERT(Bit Error Ratio Tester)



高額



アナログPLL



設計複雑

アウトライン

1. ジッタ

- ジッタの種類
- シンボル間干渉

2. 提案回路

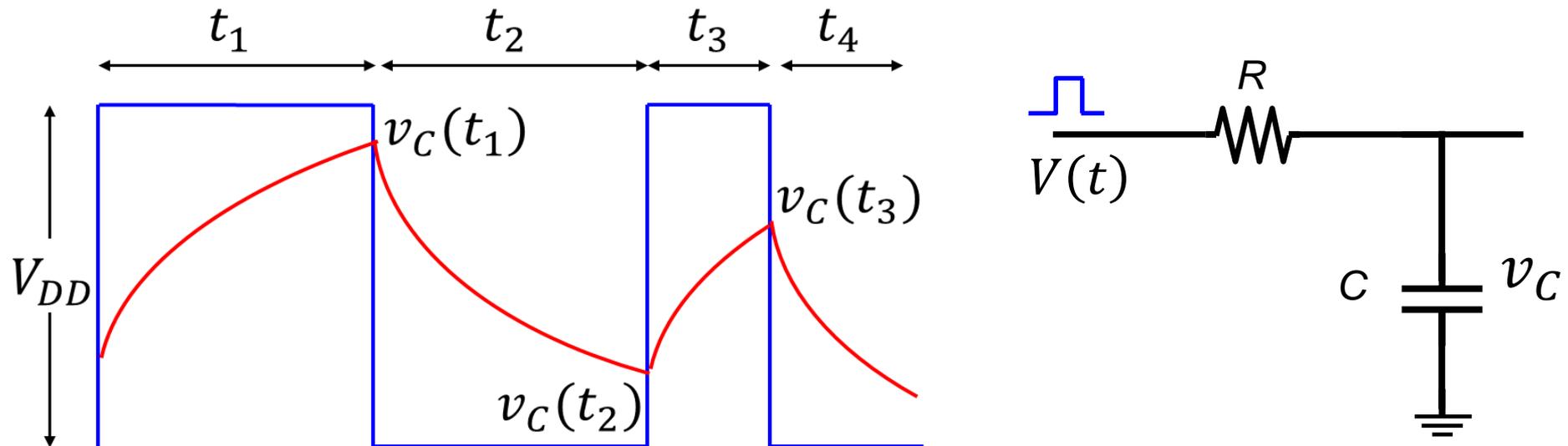
- 回路構成
- 動作原理
- 従来法

3. シミュレーション

- 過渡特性式の導出
- 回路シミュレーション
- 数値解析シミュレーション

4. まとめ

過渡特性式の導出

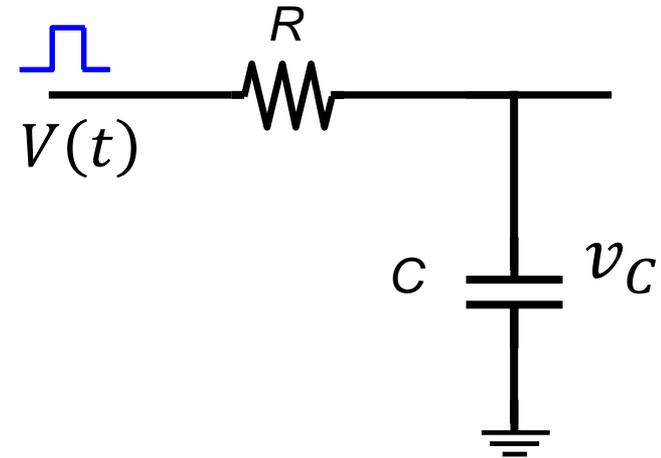
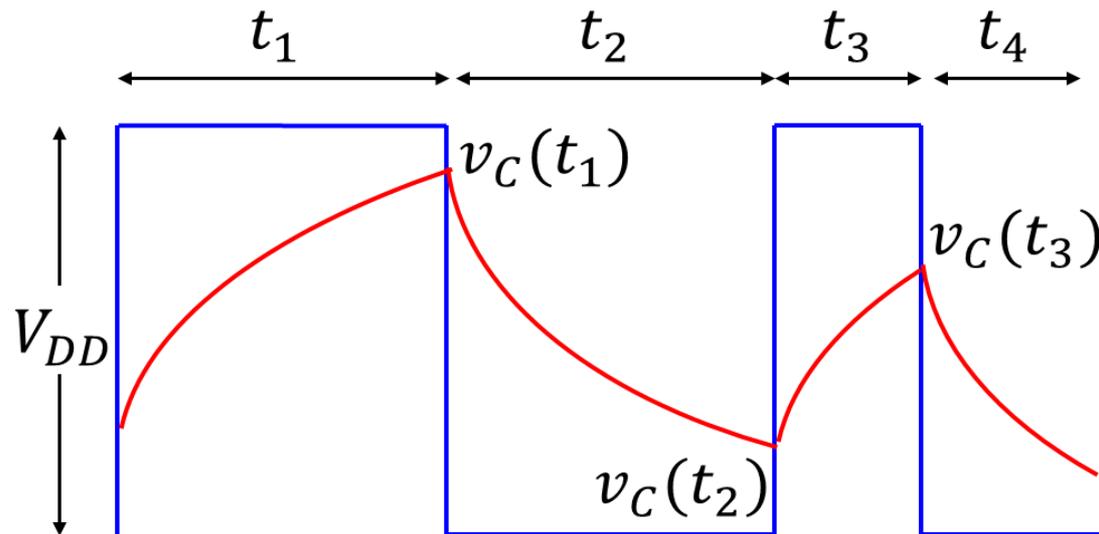


信号の前段との関係式

$$V(t_n) = V \text{ のとき } v_C(t_n) = V_{DD} + (v_C(t_{n-1}) - V_{DD}) \exp\left(-\frac{t_n}{RC}\right)$$

$$V(t_n) = 0 \text{ のとき } v_C(t_n) = v_C(t_{n-1}) \exp\left(-\frac{t_n}{RC}\right)$$

過渡特性式の導出



信号の前々段までの関係式

$$V(t_n) = V_{DD} \text{ のとき } v_C(t_n) = \left\{ V_{DD} + (v_C(t_{n-2}) - V_{DD}) \exp\left(-\frac{t_{n-2}}{RC}\right) \right\} \exp\left(-\frac{t_n}{RC}\right)$$

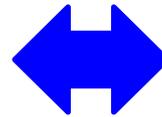
$$V(t_n) = 0 \text{ のとき } v_C(t_n) = V_{DD} + (v_C(t_{n-2}) \exp\left(-\frac{t_{n-2}}{RC}\right) - V_{DD}) \exp\left(-\frac{t_n}{RC}\right)$$

以下、同様に $v_C(t_n)$ は $v_C(t_{n-3})$ 、 $v_C(t_{n-4})$ 、 \dots から計算可

検証の方針

LTspice

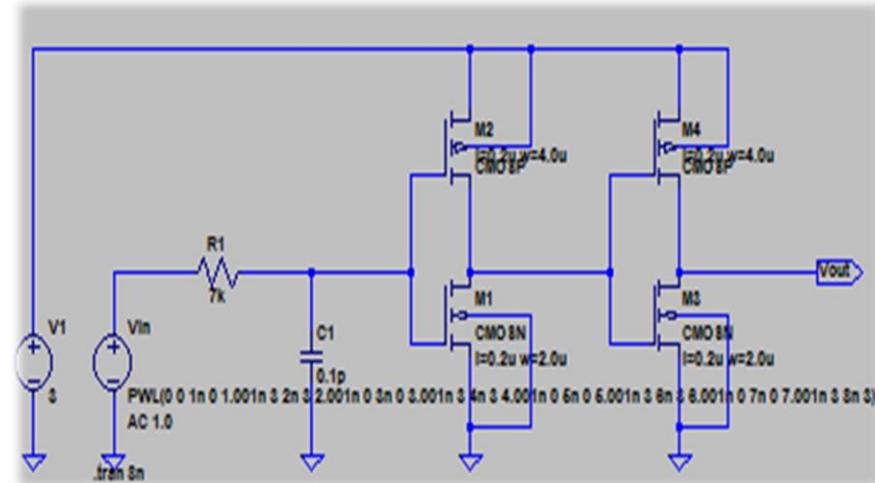
回路シミュレーターによる
電圧波形シミュレーション値



Scilab

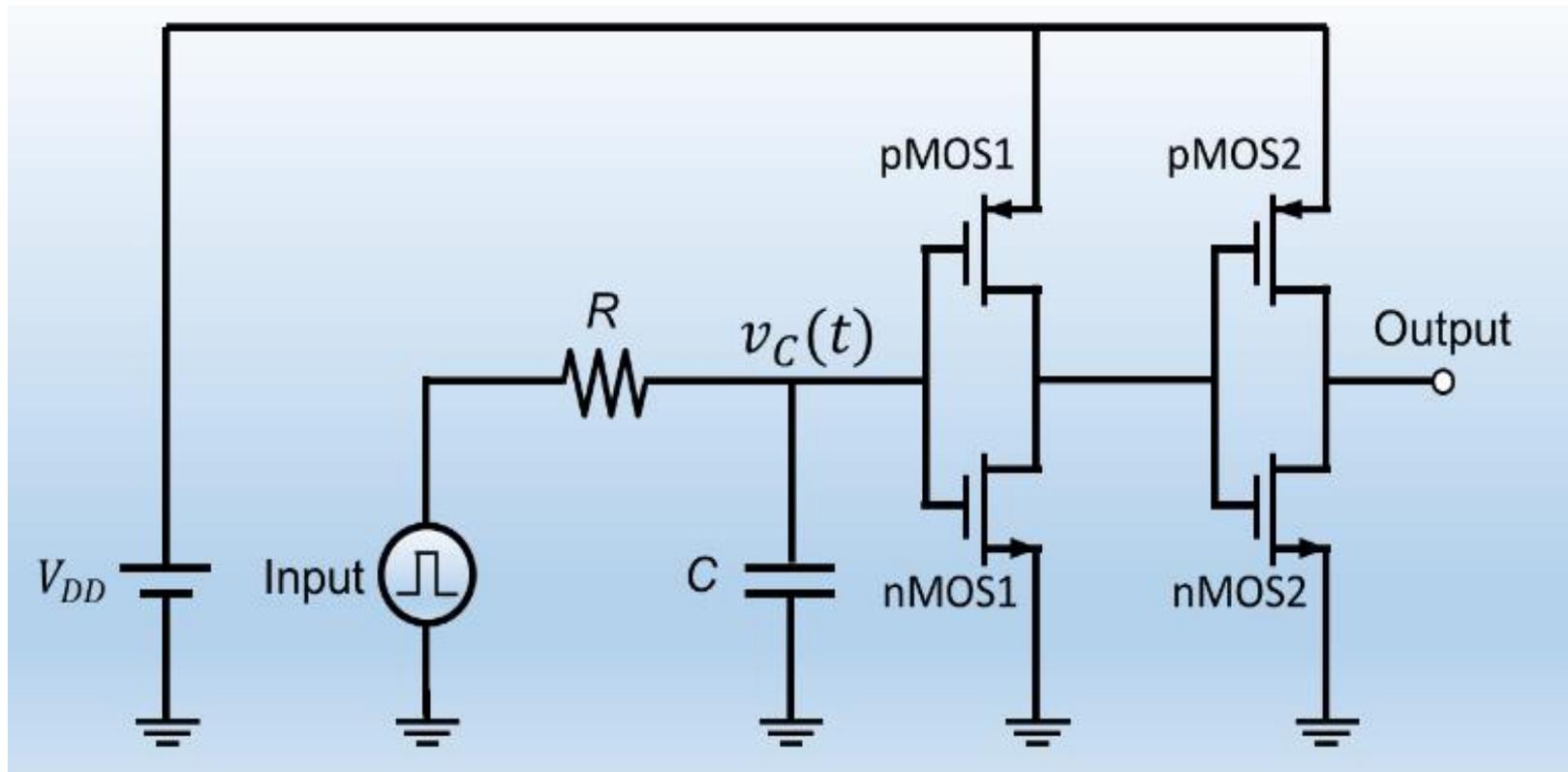
導出式に基づく
数値解析シミュレーション値

整合性



回路シミュレーション

シミュレーション回路図



シミュレーションソフト : LTspiceIV

回路シミュレーション条件

シミュレーション条件

➤ クロック

周波数 : 0.50GHz

電圧振幅 : 3.0V

➤ 電源電圧 V_{DD} : 3.0V

➤ モデルパラメータ : TSMC180nm

➤ MOS素子値

pMOS1, pMOS2 :

$$W_p = 0.75\mu m, L_p = 0.20\mu m$$

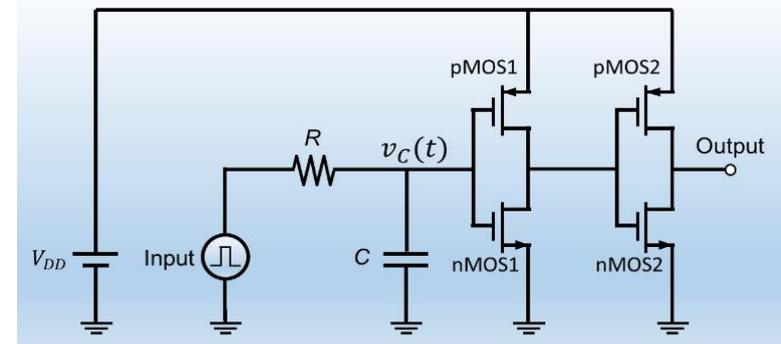
nMOS1, nMOS2 :

$$W_n = 0.20\mu m, L_n = 0.20\mu m$$

➤ 抵抗値 $R=7k\Omega$

➤ キャパシタ容量

$C=0.11\sim 0.15pF$ (可変)



回路シミュレーション条件

シミュレーション条件

➤ クロック

周波数 : 0.50GHz

電圧振幅 : 3.0V

➤ 電源電圧 V_{DD} : 3.0V

➤ モデルパラメータ : TSMC180nm

➤ MOS素子値

pMOS1, pMOS2 :

$$W_p = 0.75\mu m, L_p = 0.20\mu m$$

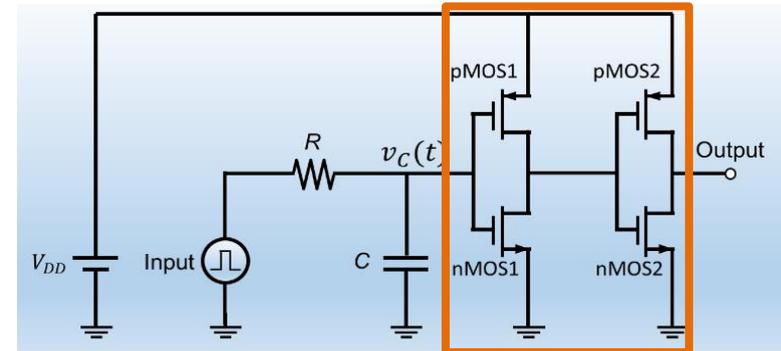
nMOS1, nMOS2 :

$$W_n = 0.20\mu m, L_n = 0.20\mu m$$

➤ 抵抗値 $R=7k\Omega$

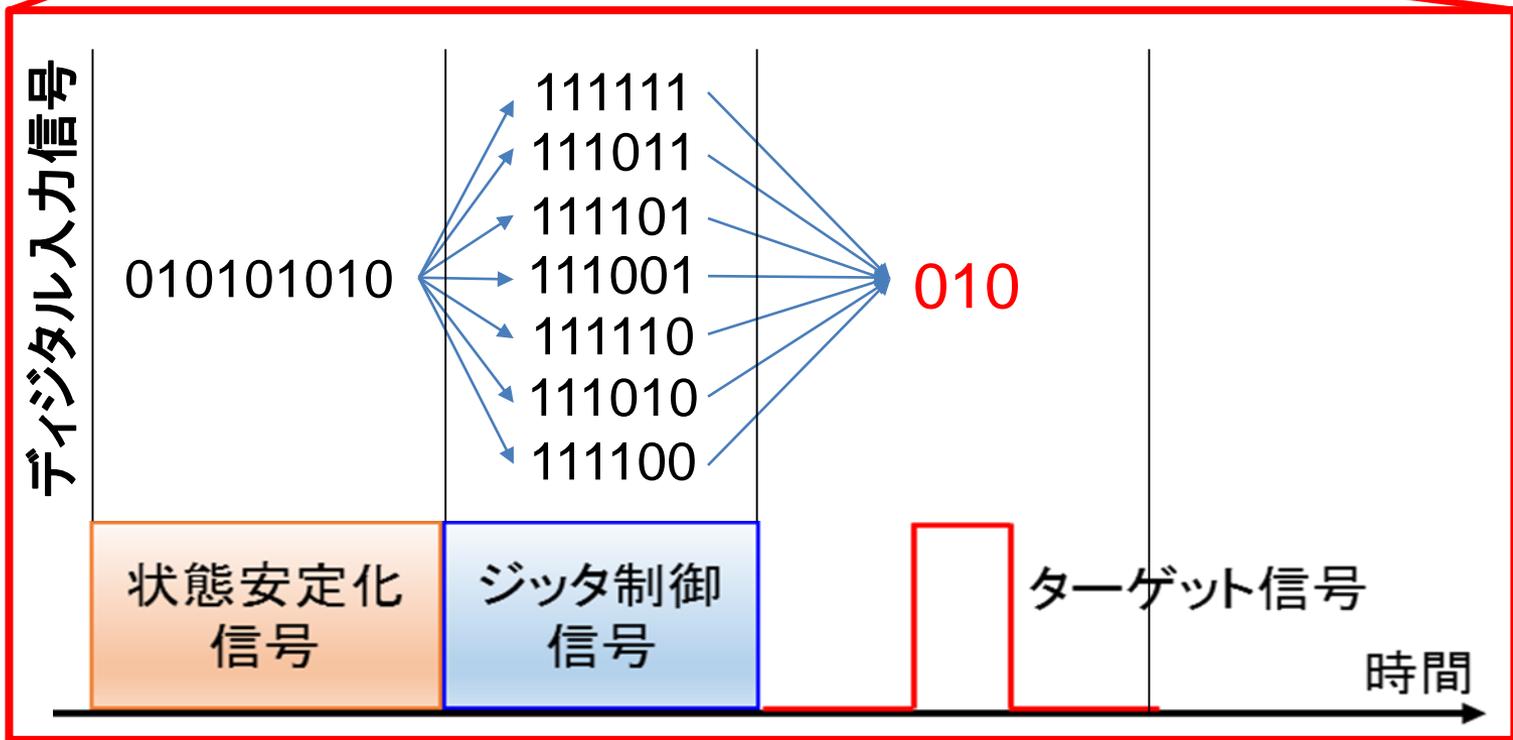
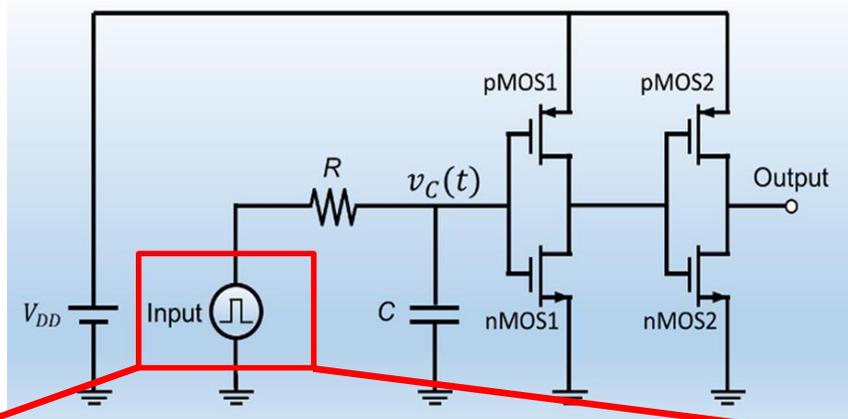
➤ キャパシタ容量

$C=0.11\sim 0.15pF$ (可変)



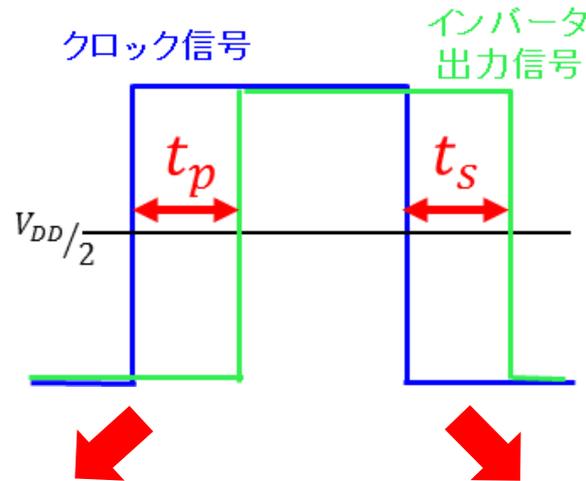
インバータ電圧閾値を
 $V_{DD}/2$ に設定

シミュレーション入力信号



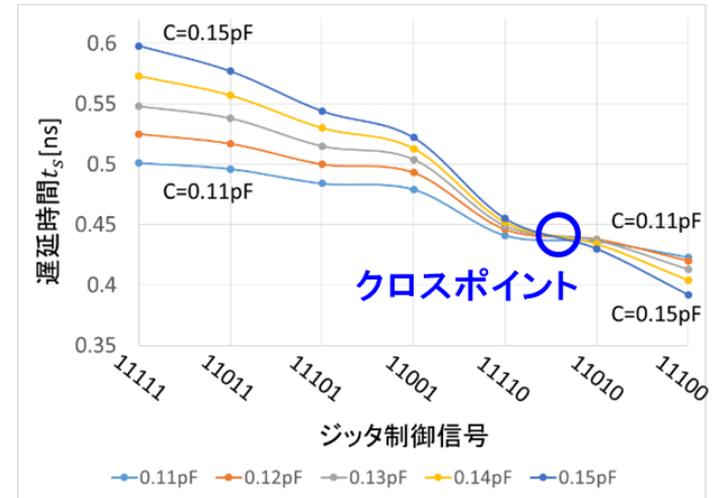
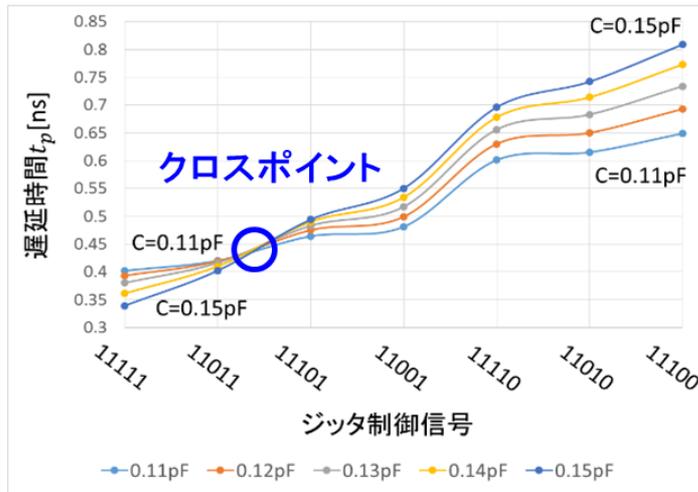
ジッタ制御信号に対する遅延時間

ターゲット信号のジッタを観察



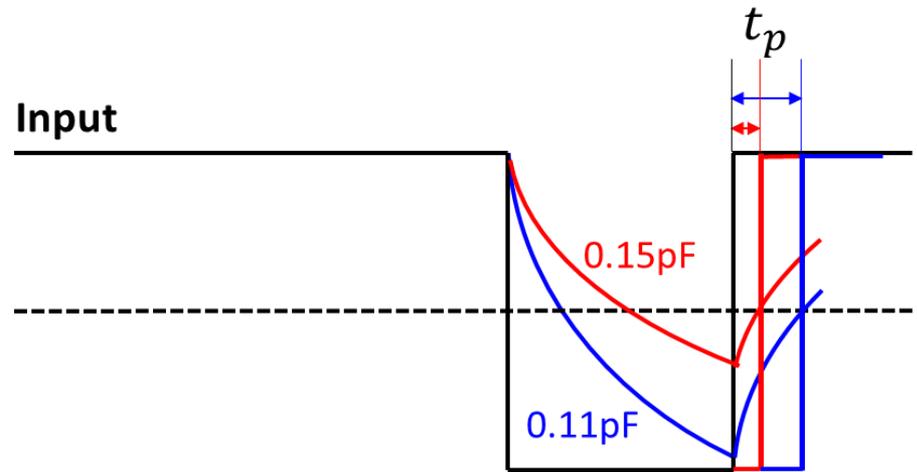
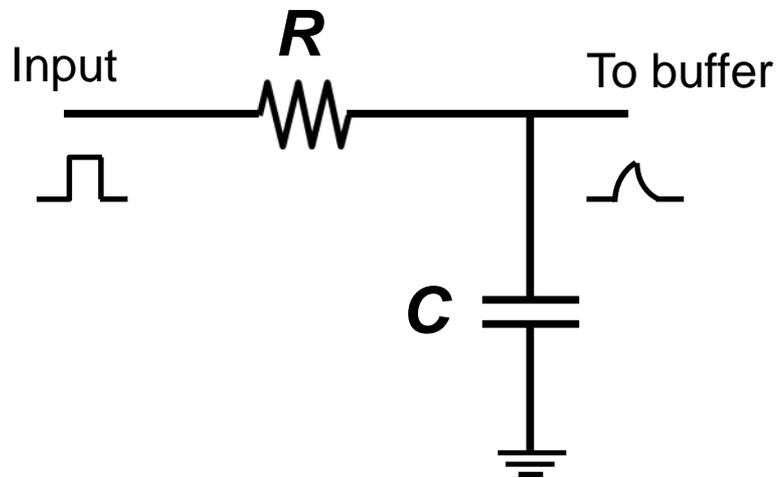
t_p

t_s

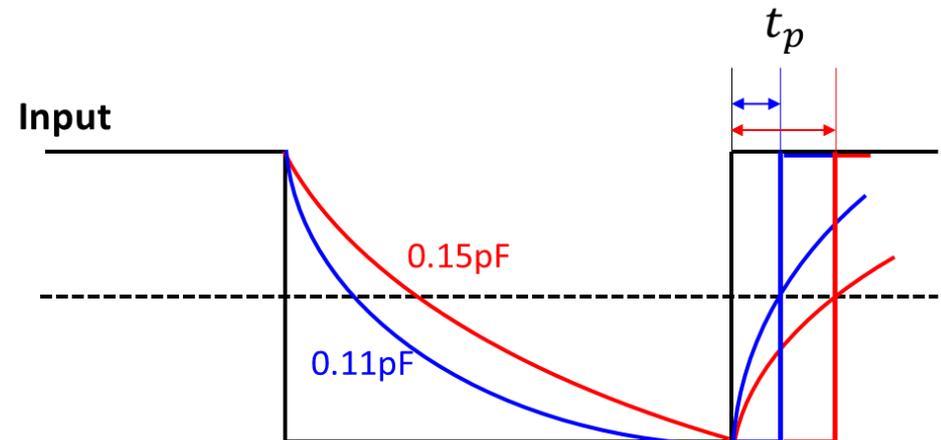


離散的であるが、デジタル制御で
ジッタ量の制御が可能であることを確認

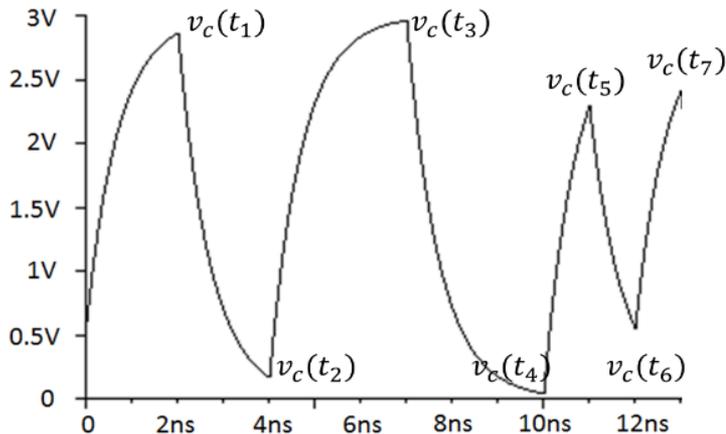
クロスポイント



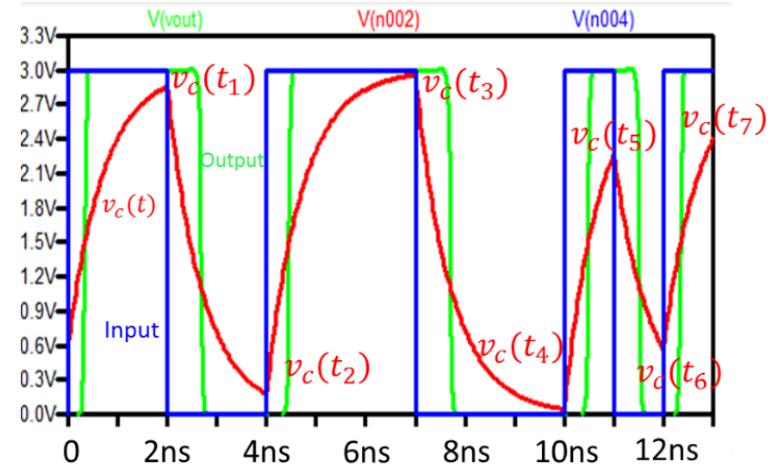
0の続く長さで
閾値を跨ぐ時間が逆転



整合性の確認

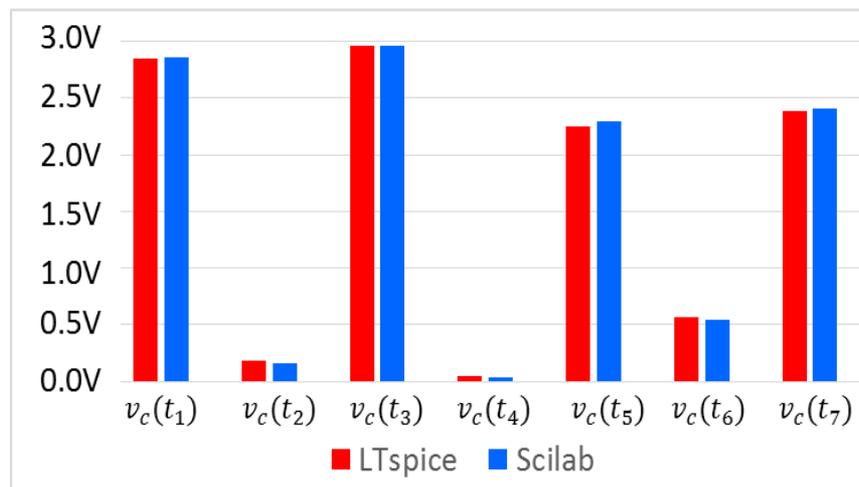


数値解析(Scilab)



回路シミュレーション(LTspice)

数値解析・回路シミュレーション比較



平均誤差 4.2%



導出式との
整合性を確認

アウトライン

1. ジッタ

- ジッタの種類
- シンボル間干渉

2. 提案回路

- 回路構成
- 動作原理
- 従来法

3. シミュレーション

- 過渡特性式の導出
- 回路シミュレーション
- 数値解析シミュレーション

4. まとめ

まとめ

- シンボル間干渉を積極的に利用した制御方式の提案
- デジタル制御で所望のジッタを生成できる回路
- 数値解析・回路シミュレーションで回路の動作を確認

今後の課題

- ジッタの連続的出力設計
- FPGA実装による検証
- 入力するクロックのDuty比に対するロバスト設計
- 出力する最小パルス幅に対する対策

Q&A

ルネサス 平木さん

Q. 試験装置としての製品にするのがモチベーションか？

A. チップをテストする際には、試験装置を外から買ってくればよいというわけではなく自社で試験できる範囲では試験をする。その上で、今回は測定器メーカー側の立場ではなくあくまでチップメーカー側の立場でテスト回路を提供するのが本研究のモチベーションです。

大学教授1

Q. ビットの長さはどのように決めたのか

A. デジタル制御信号が長ければ長いほど良く、細かく制御できるという訳ではなく、あまり長くても最初に入力したデジタル信号の影響がターゲット信号のジッタ生成に寄与しない。その意味で、今回は合理的な範囲でデジタル制御信号の長さを6bit程度とさせて頂いた。(これより長くても実質的に制御できないので)

Q. ビットの長さに限度があるのなら、もっと細かくジッタ量を制御するにはどうするのか？

A. キャパシタの容量を変更することによって細かさ、或は既存の容量では生成できなかったジッタ量を生み出すことができる。

Q&A

大学教授2

Q.数千万円、数百万円するものが低コストになることだけが魅力なのか？
精度とかの意味でその金額を払う価値がその装置にあるのでは？

A.低コスト、小規模にするということが本研究の目標ではありますが、精度についてはまだシミュレーションの段階ですので詳しく述べる事が出来ません。しかし、従来の測定装置は全てアナログ的な処理をしていますので、この点がコスト高になる原因です。例えばアナログATEはデジタルATEよりもはるかに高額ですが、アナログなので開発期間も掛かってしまいますし、尚且つ扱いが難しく技術的に高度なことからコストがかかってしまうからです。

その点、本研究ではデジタル制御可能ですので、設計者や技術者からしても扱いが容易ですので、コストだけではなく、デジタルがもたらす扱いやすさという点で従来の手法と比べた時に優位性があると思います。



コストだけではなく、デジタルなので技術者にフレンドリーというメリットも示した方がベターだった。