

高速入出力インターフェース回路ジッタ耐性試験用の ジッタ生成回路の検討

荒船 拓也 小澤祐喜 塩田良治[†] 畠山 一実 小林 春夫

群馬大学大学院 理工学府 電子情報部門 〒376-8515 桐生市天神町 1-5-1

[†]株式会社ソシオネクスト 〒601-8413 京都府南区西九条春日町 19

E-mail: t15804005@gunma-u.ac.jp

Jitter Generation Circuit for High-Speed I/O Interface Jitter Tolerant Testing

Takuya Arafune Yuki Ozawa Ryoji Shiota[†] Kazumi Hatayama Haruo Kobayashi

Division of Electronics and Informatics, Gunma University, 1-5-1 Tenjin-cho, Kiryu-shi, Gunma, 376-8515 Japan

[†]Socionext Inc. 19 Nishikujokasuga-cho Minami-ku Kyoto, 601-8413 Japan

Abstract This paper proposes a low-cost jitter generator using delta-sigma modulation for automated test equipment (ATE). The proposed circuit consists of mostly digital circuits with small amount of analog circuits, and the digital part can be realized using high-speed digital unit of ATE.

キーワード ジッタ生成回路, 高速入出力インターフェース回路, LSI テスト, 半導体試験装置, $\Delta\Sigma$ 変調器
(**Keywords:** Jitter Generator, High-Speed I/O Interface Circuit, LSI Testing, ATE, Delta-Sigma Modulation)

1. はじめに

近年半導体の微細化・高速化に伴い、わずかなジッタが回路性能に大きな影響を与えてしまう。そのため、ジッタ耐性テストの高精度化は重要になってきている。一方、半導体試験のコスト削減も要求される。情報通信分野で用いる高速入出力インターフェース回路をテストする上でジッタ耐性試験は必須であるが、高精度化になるにつれ、そのままではテストコストが高くなってしまふ[1-2]。本論文では高速入出力インターフェース回路のジッタ耐性テストをターゲットにしたジッタ生成回路を提案する。デルタシグマ変調技術と小規模アナログ回路の併用により、高精度なジッタ生成かつ低コストの試験回路(BOST: Built-Out Self-Test)を実現する。今回提案回路での任意ジッタの生成と動作をシミュレーションにて確認した。

2. $\Delta\Sigma$ を用いたジッタ生成回路

カナダのマクギル大学(McGill University)から $\Delta\Sigma$ 変調器と DTC (Digital to Time Converter), PLL を組み合わ

せたジッタ生成回路等が提案された[3]。これは高性能を達成できるが PLL を用いることで回路が複雑で大規模になってしまう。そこで、本論文では PLL を用いない簡易なジッタ生成回路を提案する。これはクロックの理想立ち上がりタイミングからの揺らぎであるタイミングジッタを容易な回路で生成する。

提案回路のブロック図を図1に示す。初段の $\Delta\Sigma$ 変調器で入力信号の振幅を高い周波数でサンプリング（オーバー・サンプリング）し、符号化を行う。入力振幅を 1/0 のパルス密度に変換する。これは周波数領域では量子化ノイズを低周波領域から高周波領域へ押し出す（ように見える）ノイズシェーピングとなる。次

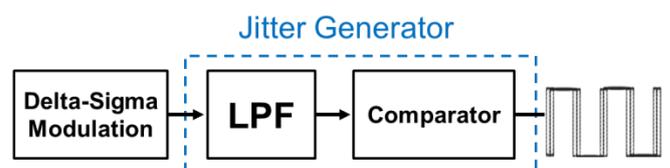


図1:提案回路のブロック図

Fig.1. Block diagram of the proposal circuit

段の RC ローパスフィルタはシェーピングされた高周波ノイズ成分を除去すると同時に、前段の出力に対応してフィルタ内の容量に電圧を累積する。最終段のコンパレータでは累積電圧が参照電圧を越えるタイミングでパルスを生成する。ここでのパルス生成タイミングは変調器のデジタル信号に対応して変化するため、これがジッタとなる。この過程で量子化ノイズを除去し、入力信号に追従したジッタを生成できる。

2.1. デルタシグマ変調

$\Delta\Sigma$ 変調器は小規模回路で高精度/高線形な AD/DA 変換器が実現できるので電子計測器や LSI 試験等に用いられている[4]。一次の $\Delta\Sigma$ 変調器を図 2 に示す。後段で発生した量子化ノイズを入力段へ負帰還することで、ノイズ成分がシェーピングされた信号を取り出す変調法である。この変調器の伝達関数を (1) 式に示す[3]。

$$v(n) = u(n) - u(n - 1) + e(n) - e(n - 1) \dots (1)$$

ここで $u[n]$:入力信号, $v[n]$:出力信号, $e[n]$:量子化ノイズである。これを z 変換すると (2) 式で表される[5]。

$$v(z) = z^{-1}U(z) + (1 - z^{-1})E(z) \dots (2)$$

式中の z^{-1} は $\Delta\Sigma$ 変調器の信号伝達関数(STF: Signal Transfer Function)である。(1- z^{-1})は雑音伝達関数(NTF: Noise Transfer Function)であり、ノイズシェーピング特性を示している。

信号生成用 $\Delta\Sigma$ 変調器はすべてデジタルで構成することができるので、ATE 内の HSD (High Speed Digital) ユニットを用いてソフトウェア上で実現でき、回路規模を抑えられる。

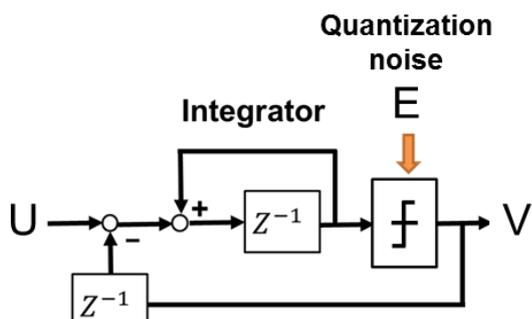


図 2: 1 次 $\Delta\Sigma$ 変調器の構成
Fig. 2. 1st-order delta-sigma modulator architecture.

2.2. ジッタ生成部

ジッタ生成部は小規模なアナログ回路で設計し、電流源、1 次ローパスフィルタ、コンパレータで構成する(図 3 参照)。

電流を流すと容量端に電圧 V_C が蓄積され、これが参

照電圧 V_{ref} を越えるとコンパレータ出力が High となる。この電流導通時間は前段の $\Delta\Sigma$ の出力で制御され、1 の出力頻度がジッタとなって現れる。その後クロックのトリガー信号を入力することで、コンパレータは Low となる。この過程でジッタを有する単一パルスが生成される。パルスを生成するためには下記の条件 (3) 式を満たす必要がある。

$$V_{ref} < \frac{I_{DC} \cdot N\tau}{C} \dots (3)$$

ここで

$N\tau$: 生成パルスの 1 周期, C : コンデンサ容量,
 τ : $\Delta\Sigma$ 変調のクロック周期 となる。

$\Delta\Sigma$ 変調では入力振幅が非常に小さいとき、0 の出現頻度が多くなる。 $\Delta\Sigma$ 変調の出力に依存する電流源 I_{AC} のみで設計すると導通時間が短すぎてコンパレータを High にできない。そこで出力依存の I_{AC} と非依存の I_{DC} の 2 種類の電流源を使用する。なお、この I_{DC} 成分はパルスの最小幅を定義する際に必要なパラメータであり、パルスの最小幅は下記の (4) 式で表される。

$$W_{pulse_min} = N\tau - \frac{CV_{ref}}{I_{DC}} \dots (4)$$

この幅を基準として、入力信号に基づいたジッタが重畳される。

数値計算ソフトを用いて、各パラメータを $I_{AC} = 1mA, I_{DC} = 1mA, V_{ref} = 10V, C = 100pF, f_{CLK} = 2.5kHz, f_{sampling} = 50kHz$ と設定した。このときに正弦波を入力し、生成されたパルス列を図 4 の上段に示し、下段に各パルスに重畳しているジッタ量を示す。発生したジッタ(実線)は入力した正弦波(点線)に基づいて発生していることが確認できる。図 5 には生成ジッタ量のスペクトラムを示す。正弦波に近いスペクトラムだが、全体的にノイズ成分が多い。

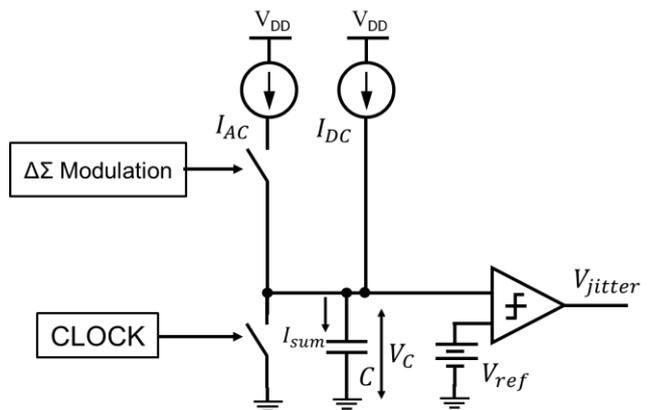


図 3: 提案ジッタ生成回路の構成
Fig. 3. Proposed jitter generator.

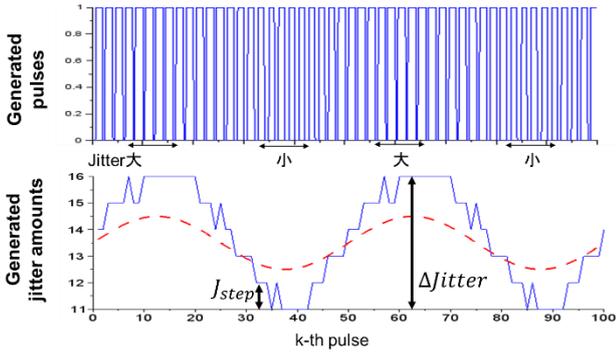


図 4: 提案回路で生成したパルス列と重畳したジッタ量
 Fig. 4. Jitter amounts generated by the proposed circuit

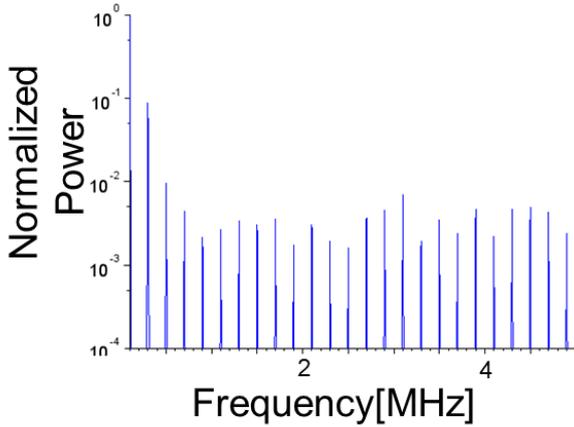


図 5: 生成ジッタ量のスペクトラム
 (シミュレーション結果)
 Fig. 5. Simulated jitter spectrum

提案回路で与えられるジッタ偏移範囲は下記の(5)式で表され、その偏移範囲の大きさ $\Delta Jitter$ は(6)式で表される。

$$\left(N\tau - \frac{CV_{ref}}{I_{DC}}\right) \leq jitter \leq \left(N\tau - \frac{CV_{ref}}{I_{DC}+I_{AC}}\right) \dots \dots \dots (5)$$

$$\Delta Jitter = \frac{I_{AC}}{I_{DC}} \left(\frac{C}{I_{DC}+I_{AC}}\right) V_{ref} \dots \dots \dots (6)$$

ジッタの偏移分解能 J_{step} を求めると(7)式となる。

$$J_{step} = f_{sampling}/f_{CLK} \dots \dots \dots (7)$$

ここで $f_{sampling}$ は $\Delta\Sigma$ のサンプリング周波数を表しており、 J_{step} の値が大きいほど高時間分解能でジッタが生成できる。(6)式より、ジッタ偏移量は参照電圧や AC/DC 比、コンデンサのインピーダンスと設計時のパラメータにのみ依存し、設計後の変更は難しい。それに対して、ジッタの偏移分解能はサンプリング点数に依存しており、回路設計後に入力信号のサンプリング点数を変えることで容易に変更できる。そのため、設計後のジッタ偏移範囲の大きさの変更は難しいが、ジッタの分解能はサンプリング点数を増やすことで容易に向上できる。

2.3. 帰還部の検討

図 3 の回路ではパルス生成後も電圧を蓄積し続け、容量端電圧が大きくなってしまふ。この電圧と次段のコンパレータでのリーク電流により、余分な電力が消費される。これを抑えるために、蓄積電圧 V_C を制御する帰還部を検討した。

図 6 に低電圧型のジッタ生成回路を示す。帰還経路を設け、パルス生成後の電流経路を遮断する。これにより、余剰電圧を抑制でき、消費電力が抑えられる。しかし、パルス生成直後に電流経路を遮断してしまうと、コンデンサの自己放電による電圧低下に対応できないので、この対策として帰還部に D-FF による 1 周期分の遅延を設ける。

図 7 に図 3 の回路と本節で提案した回路の蓄積電圧の比較を示す。同図から、この電圧が大きく抑制できていることが分かる。右図と比較して左図は、90% 程度電圧が抑制されている。余剰電圧の削減は容量の電圧放電時間の短縮にも繋がる。

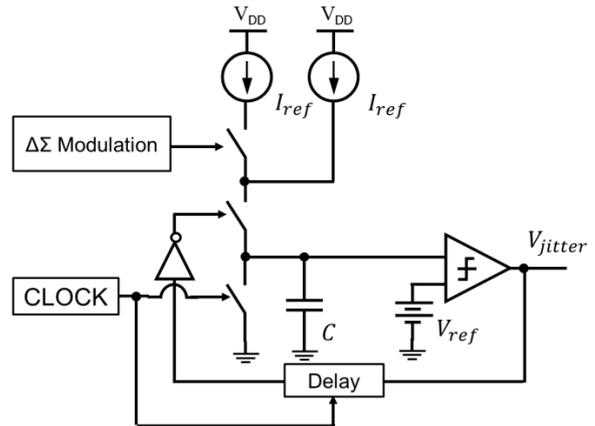


図 6: 低電圧型ジッタ生成回路
 Fig. 6. Jitter generator of low-voltage type

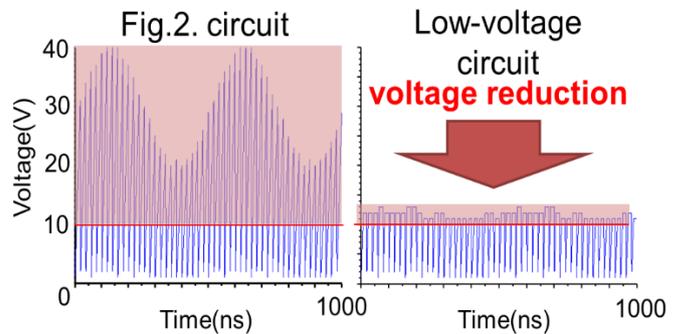


図 7: 各方式での V_C の余剰電圧の比較
 Fig. 7. Accumulated voltage comparison

2.4. 多サンプリング点数でのシミュレーション結果

(7)式より回路の設計及びサンプリング点数の変更によりジッタの分解能が向上できることが分かった。そこでジッタ分解能を向上させるために $f_{CLK} = 2.5kHz$, $f_{sampling} = 500kHz$ と設定した。このとき時間分解能 τ は $\tau/10$ となる。ジッタの偏移範囲の大きさ $\Delta Jitter$ は一定に保つために他のパラメータは変更しない。このとき各パルスに重畳したジッタ量を図8に、ジッタ量のスペクトラムを図9に示す。ジッタ量は105~154の約50ステップ生成され、設計通り分解能が向上した。図9は図5と比較して、高周波成分が大きく低減しており、より入力信号に追従したジッタの生成が確認できる。

大幅な回路変更を行わずに高分解能化できるので、低コスト且つ高精度なジッタ生成が期待できる。しかし、 $\Delta\Sigma$ サンプリング点数はATEのHSDの処理速度に依存するため、この処理能力次第でジッタ生成の時間分解能に制約がかかる。そこで次節で、この制約条件を考慮しつつ高分解能ジッタを発生させる方式を提案する。

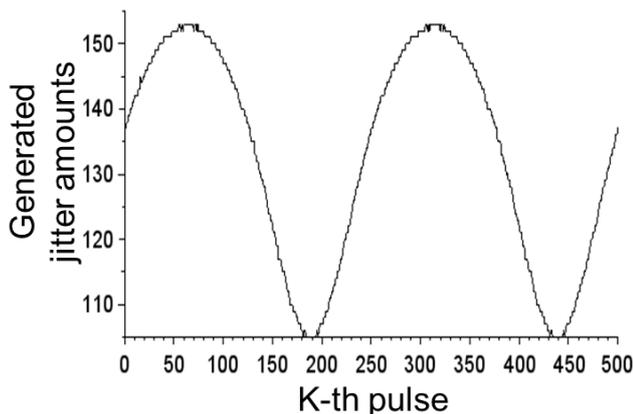


図8：多サンプリング点数でのジッタ生成量

Fig.8. Generated jitter with large number of sampling points

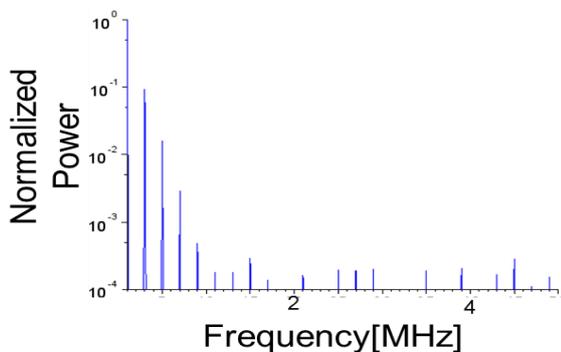


図9：多サンプリング点数時のジッタ量スペクトラム

Fig. 9. Jitter spectrum with large number of sampling points

3. ジッタ生成の高精度化

3.1. マルチビット化の検討

$\Delta\Sigma$ 変調器は1ビットでも高分解能変換ができるがマルチビットにすれば、さらに高分解能化できる。このため、シングルビットのときよりも短いテスト時間で分解能の良いジッタが生成できる。

図10に2ビット $\Delta\Sigma$ 型ジッタ生成回路の構成を示す。マルチビットでは変調器の量子化器を2ビットにする必要があるが、ソフトウェア上でプログラムするため回路規模に変化はない。しかし、マルチビット化に伴い、後段の電流源の数を増やさなければならない。

図11, 12に図10の回路を用いて生成したジッタ生成量とそのスペクトラムをそれぞれ示す。図11のジッタステップ数は多く、図8と比較しても高分解能のジッタが得られた。このスペクトラムは高周波成分が低減しており、入力信号に近いジッタが生成できていることが確認できる。

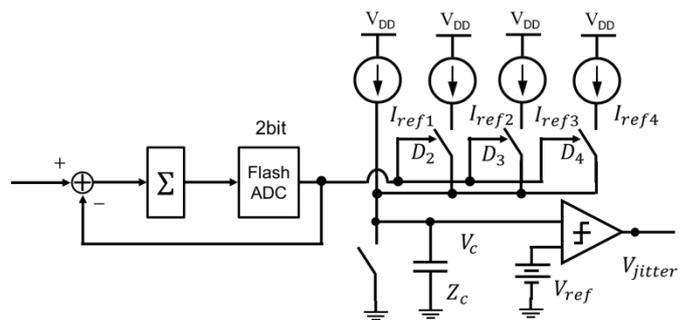


図10: 2ビット $\Delta\Sigma$ 型変調器でのジッタ生成回路の構成
Fig.10. Jitter generator architecture of a 2-bit delta-sigma modulator.

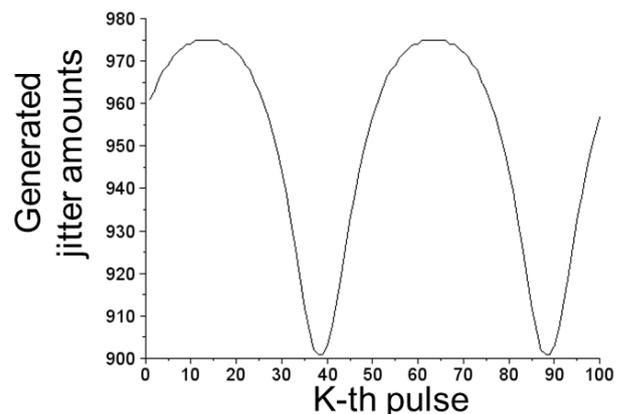


図11: 2bit $\Delta\Sigma$ 型変調器でのジッタ生成量

Fig.11. Jitter generation by a 2-bit delta-sigma modulator

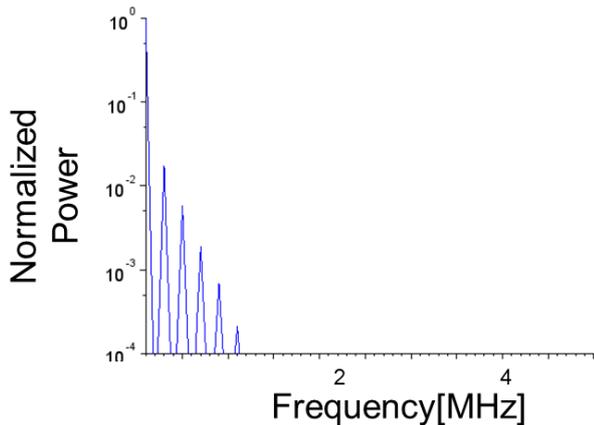


図 12: 2bit 変調器でのジッタ量のスペクトラム
Fig.12. Jitter spectrum of a 2-bit delta-sigma modulator

3.2. 離散時間アナログフィルタの検討

$\Delta\Sigma$ 変調のノイズシェーピング機能により、量子化ノイズは低周波では小さく高周波では大きい。離散時間アナログ LPF との併用できれいな信号が取り出せる。離散時間フィルタの回路構成を図 13 に示す。遅延回路を用いており、現在の処理に過去のデータ使用が特徴である。離散時間信号処理を用いることで、その機能の一部はソフトウェア上でフィルタ処理できる。

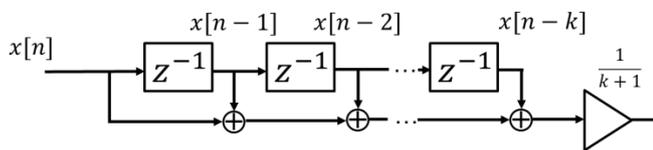


図 13: 離散時間 LPF の構成
Fig. 13. Discrete-time LPF structure

ここで離散時間 LPF の伝達関数は移動平均 (8)式で表せる。

$$AVR = \frac{x[n]+x[n-1]+x[n-2]+\dots+x[n-k]}{k+1} \dots\dots\dots (8)$$

ここで k はフィルタの遅延回路の数を表しており、同時に移動平均の区間数でもある。ジッタの高精度化を図る際は、この区間数 k を増やせば良いが、区間数に応じた電流源が必要で回路規模とのトレードオフの関係にある。

図 14 に k=4 の離散時間フィルタをジッタ生成回路に適用させた回路を示す。ここでの遅延は HSD 内で処理を行い、区間平均化のために電流源の電流値を $I'_{ref} = I_{ref}/(k+1)$ と小さくする。図 15 に LPF を用いて生成されたジッタ量のスペクトラムを示す。この図より、高周波成分が大きく低減されており、ノイズの総量は少ない。

しかしながら、低次高調波の割合が大きく、波形の歪みが大きいことが分かる。ここで I_{AC} 電流源を k 個から (k+1) 個に変更したときのジッタの変化量 $\Delta\tau_{jitter}$ を求めると下の(9)式になる。

$$\Delta\tau_{jitter} = \frac{kI_{AC}}{kI_{AC}+I_{DC}}\tau \dots\dots\dots (9)$$

電流源数 k が小さい程ジッタ変化量は大きく、大きいほどジッタ変化量が小さくなることが分かる。容量に流れる電流量と発生するジッタ量は比例しないため、ジッタ量の波形に歪みが生じている。

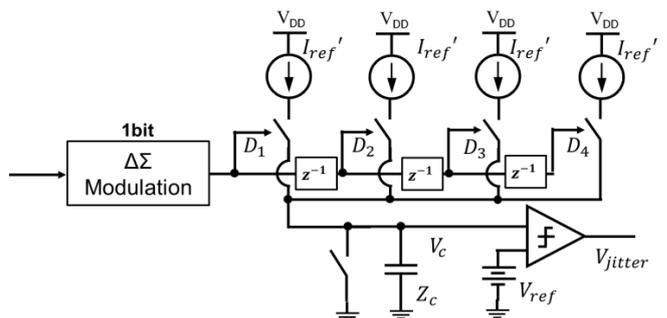


図 14: 離散時間アナログ LPF 型ジッタ生成回路
Fig.14. Jitter generator with discrete-time analog LPF

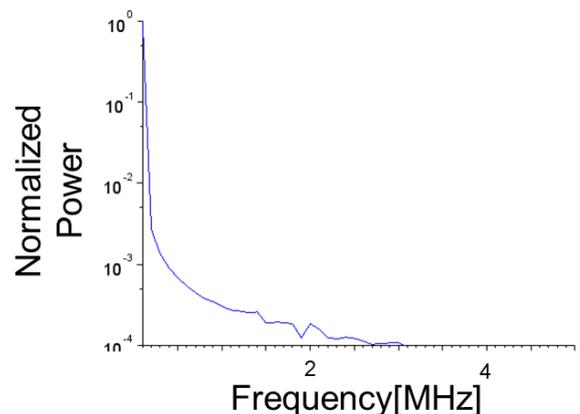


図 15: 離散時間アナログ LPF 型ジッタ量スペクトラム
Fig.15. Jitter spectrum of LPF-type jitter generator

4. 提案回路のシミュレーション結果

図 3 で示した回路を回路シミュレータ SIMetrix で設計し、振幅 $\pm 1V$ 、周波数 1kHz の正弦波を入力したときのジッタ量を確認した。設計回路では電流源の代わりに電圧源と抵抗を用い、抵抗値を変えることで容量に流れる電流量を可変させた。パラメータとして $V_{in} = 10V$, $R_{AC} = 10k\Omega$, $R_{DC} = 10k\Omega$, $V_{ref} = 1.5V$, $C = 1nF$, $f_{CLK} = 100kHz$, $f_{sampling} = 2MHz$ と設定した。このとき生成されたジッタ量を図 16 に示す。入力信号が大きくなるにつれて、パルスに大きなジッタが発生して

おり、正弦波に追従したジッタの重畳が確認できる。提案回路で、入力信号に依存したジッタを生成できることが確認できた。

電流源を電圧と抵抗に変更したことに伴い、容量端電圧の過度応答が変わる。これを考慮してジッタ偏移量の(6)式を改良した(10)式を示す。

$$\Delta\text{Jitter} = \frac{R_{DC}^2}{R_{DC} + R_{AC}} \text{Cln}(1 - V_{ref}/V_{in}) \dots \dots \dots (10)$$

この式から、ジッタ量を算出すると1.6usが得られる。発生したパルスは6.8us~8.4usの幅を持っており、ジッタ偏移量は1.6usであった。(10)式で得られた値と一致した。この式は設計時にジッタ量を事前に推測するために有効な式である。

この回路で発生させたジッタ波形のスペクトラムを図17に示す。基本周波数に対するSFDRは約50dBである。

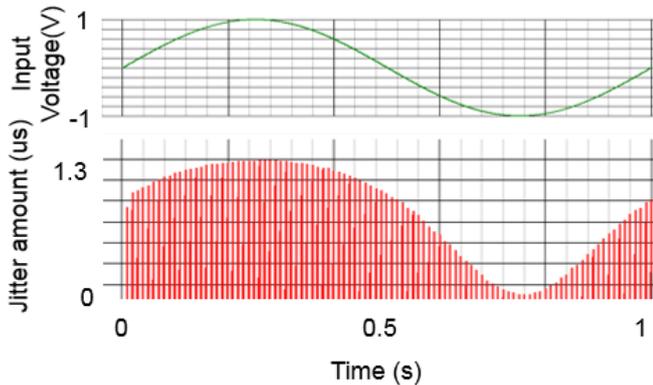


図 16: 各パルスに重畳したジッタ量
Fig. 16. Input signal and Jitter generation

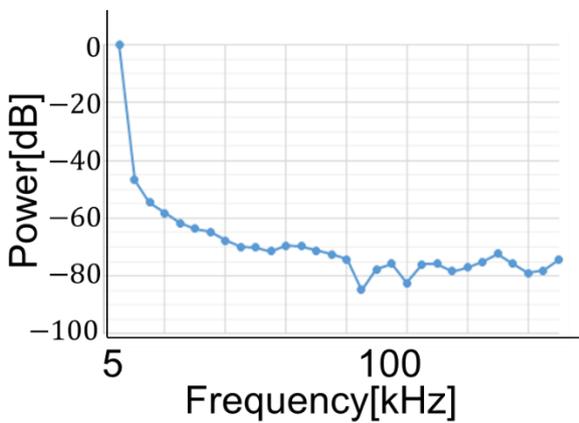


図 17: 図 16 のスペクトラム
Fig. 17. Spectrum of jitter signal in Fig. 16.

5. まとめ

本論文ではデジタル $\Delta\Sigma$ 変調器と小規模アナログ回路を用いて、高速入出力インターフェース回路ジッタ耐性試験用の低コスト且つ高精度なジッタ生成回路を提案した。この回路で生成されるジッタ量を定量的に求め、ジッタ量を変える際に必要なパラメータ抽出を行った。パラメータを変えることで、ジッタ生成の時間分解能が向上することを確認した。

しかし、ジッタ生成の高精度化・高分解能化は ATE 内の HSD により制約がかかる。これに対応し、更なるジッタ生成の高精度化・高分解能化に向けて、マルチビット化、離散時間アナログフィルタを併用する方式を提案し、数値計算ソフト Scilab にてジッタ量を確認した。さらに提案回路を回路シミュレータ SIMetrix で設計し、入力信号に対応してジッタが重畳することを確認した。

6. 謝辞

有意義なご議論をいただきました、群馬大学 中谷隆之先生に感謝いたします。

文 献

- [1] G. Roberts, F. Taenzler, M. Burns, An Introduction to Mixed-Signal IC Test and Measurement, Oxford Press (Oct. 2011)
- [2] 大澤優介, 村上正紘, 小林春夫, "高速入出力インターフェース受信回路のジッタ耐性試験用ジッタ発生回路の検討", 電気学会東京支部栃木・群馬支所合同研究発表会, 群馬(2015年3月)
- [3] S. Aouini, Kun Chuai, Gordon W. Roberts, "A Low-Cost ATE Phase Signal Generation Technique for Test Applications", IEEE International Test Conference (Dec. 2010)
- [4] 小島潤也, 新井薫子, 小林春夫, " $\Delta\Sigma$ DA 変調器のデジタルディザ信号による性能改善の検討", 電気学会論文誌(和文誌 C), vol. 136, no. 12 (2016年12月)
- [5] R. Schreier, G. C. Temes, Understanding Delta-Sigma Data Converters, IEEE Press (2009)
- [6] R. Khatami, H. Kobayashi, Y. Kobori, "Delta-Sigma Digital-to-Time Converter for Band-Select Spread Spectrum", Key Engineering Materials, Advanced Micro-Device Engineering, pp. 79-92 (2015).
- [7] Y. Kobori, T. Arafune, N. Tsukiji, N. Takai, H. Kobayashi, "Selectable Notch Frequency of EMI Spread Spectrum using Pulse Modulation in Switching Converter", The IEEE 11th. International Conference on ASIC, China (Nov. 2015)