

フィボナッチ冗長設計逐次比較 AD 変換器の補正力の定量化及び フィボナッチ重み付け DAC の提案

荒船 拓也* 澁谷 将平
新井 宏崇 小林 春夫 (群馬大学)

Error Tolerance Evaluation of Fibonacci Sequence Weighted SAR ADC and Improved Fibonacci DAC Proposal

Takuya Arafune*, Shohei Shibuya, Hirotaka Arai, Haruo Kobayashi (Gunma University)

This paper describes successive-approximation-register (SAR) ADC design methods to improve reliability with redundancy and digital error correction. We discuss error tolerance evaluation of Fibonacci sequence weighted SAR ADC. Also we propose an improved golden-ratio-weighted DAC topology (which is easy to implement) used internally in the Fibonacci sequence weighted SAR ADC.

キーワード：逐次比較近似, AD 変換器, 冗長アルゴリズム, デジタル誤差補正, 黄金比, DA 変換器
(Successive Approximation, ADC, Redundancy, Digital Error Correction, Golden Ratio, DAC)

1. はじめに

近年自動車の電子化が進み, 車載エレクトロニクス技術は自動車の差別化や付加価値の創出に貢献している. 特に電気自動車への移行や自動運転技術の導入に伴い, 車載マイコンと組み合わせて使用される逐次比較近似 AD 変換器 (SAR ADC) の性能要求も年々厳しくなっている.

逐次比較近似 AD 変換器の高性能化への試みの 1 つに冗長設計がある. ここでは時間的冗長をシステムに組み込むことでデジタル誤差補正が実現でき, 高速でエラー耐性のある回路が設計できる [1-6]. しかし, この設計手法には最適な基準値の選定法が確立されておらず, 高精度な AD 変換器の設計には熟練の知識と時間が必要である.

筆者らは最適設計の指針として整数論の利用を提案し, 補正力及び変換速度の観点から提案手法の優位性を示してきた [4-6]. 本論文ではフィボナッチ重み付けを用いた冗長アルゴリズムが従来手法に比べて, 誤差補正面で優れていることを定量的に示す. さらにフィボナッチ冗長 SAR ADC の内部で使用される DA 変換器の新トポロジーを提案する. 提案回路 [6, 7] により, 2 進探索 SAR ADC と同等の回路規模で実現できることを示した.

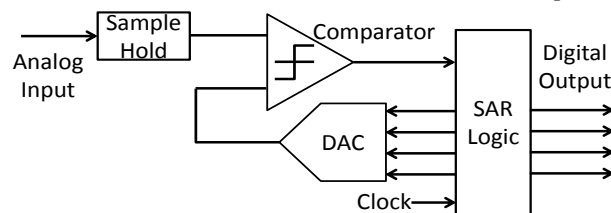
2. 逐次比較近似 AD 変換器

逐次比較近似 AD 変換器は図 1 のようなサンプル&ホー

ルド回路, 重み電圧を生成する DA 変換器, 比較器, 逐次比較レジスタ (SAR), クロックの 5 要素で構成される. 低消費電力且つ小チップ面積で実現できることから車載マイコンの周辺回路に限らず広い分野で使用されている. ”天秤の原理”を用いて, 高分解能 (8~18bit), 中速サンプリング (数 MSps 程度) の AD 変換を行う.

まず, サンプル&ホールド回路で保持したアナログ入力と DA 変換器で生成した比較電圧重みを後段の比較器 (天秤) で大小を比較し, 1bit (MSB) のデジタル出力を得る. 次にこの出力結果に対応して SAR ロジックが DA 変換器を制御し, 比較電圧重みの大きさの変更を行う. その後も比較・電圧変更をビット回数繰り返し, アナログ入力をデジタル値へ変換する.

一般的に解探索法として 2 進探索アルゴリズムが使用され, 図 2 に解探索動作図を示す. この図で縦軸が電圧値, 横軸が判定ステップを表現しており, 太線が各ステップでの比較電圧の大きさである. これらの比較電圧は k-step 目の



比較電圧重み $p(k)$ の加減算で決定され, 2 進探索における
図 1 逐次比較近似 AD 変換器の構成.

Step	1	2	3	4	output
Weight p(k)	8	4	2	1	
LEVEL	15				15
	14			+p(4)	14
	13				13
	12		+p(3)		12
	11				11
	10				10
	9	+p(2)			9
	8				8
	7				7
	6	-p(2)			6
	5				5
	4				4
	3		-p(3)		3
	2				2
	1	+p(1)		-p(4)	1
	0				0

図2 4-bit SAR ADC の2進探索アルゴリズム.
Fig.2. Binary search algorithm of a 4-bit SAR ADC.

Fig.1. Block diagram of an SAR ADC.

比較電圧重み $p(k)$ は2進重み(8, 4, 2, 1)である。2進探索はAD分解能と同数の比較数で実現できるため、比較回数の観点では最も効率の良い探索法とされる。しかしながら、実際の変換時には入力信号に瞬時的な外乱や急激な変動が生じる場合があり、またDA変換出力の不完全整定の場合に、比較判定結果を誤ってしまう可能性がある。2進探索アルゴリズムの場合、一度でも判定を誤ると2進数の性質(10進数と2進数が1対1に対応する)から正しい出力を得ることができなくなる。

そこで筆者らは非2進探索法を用いた冗長アルゴリズムを検討してきた[2, 5, 6, 7].

3. 冗長性を有する逐次比較近似AD変換器

冗長とは予備や余裕のことであり、本論文では比較器での比較回数を増やすことで時間的冗長をシステムに利用する。それに加え比較電圧重みを2進重みから非2進重みへ変更することでデジタル誤差補正による自己校正を可能にし、入力変動に強いAD変換器が実現できる。

ここで4-bit 5-stepの逐次比較近似AD変換器の非2進探索アルゴリズム(重み付け: 8, 6, 3, 2, 1)での解探索動作例を図3に示す。この図は入力電圧 8.6LSB における変換動作で、1st-stepで正判定または誤判定をした場合の2つの変換過程を示している。これらの違いは初段の判定正誤だが、後段ステップで補正されて2例とも正しい出力を得ている。これは比較回数に余裕を持たせたことで1つの出力を複数のデジタルコード表現が可能になるため、誤判定を補正(リカバー)できる。

逐次比較近似AD変換器の冗長設計に関して式を用いた一般化を行う。N-bit分解能のAD変換器をM-stepの比較で実現すると、k-step目の比較電圧 $V_{ref}(k)$ は式(1)になる。なおMSBよりk個目の比較電圧重みを $p(k)$ とし、k-step目で $(k-1)$ -step目の比較電圧 $V_{ref}(k-1)$ に加減算する値とする。

Step	1	2	3	4	5	output
Weight p(k)	8	6	3	2	1	
LEVEL	15	1	0	0	0	1
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8	誤判定				8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1	0	1	1	1	1
	0					0

図3 4-bit 5step SAR ADC の非2進探索の動作.
Fig.3. Operation of a 4-bit 5-step SAR ADC in case of correct and incorrect judgments.

$$V_{ref}(k) = \sum_{i=1}^k d(i-1)p(i) \quad (1)$$

逐次比較近似AD変換器の冗長設計を前式のように一般化すると、k-step目で誤判定を起こした場合、補正可能な入力範囲差 $q(k)$ は式(2)のように定義できる[2].

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i) \quad (2)$$

この入力補正範囲に対して $q(k) \geq |V_{ref}(k) - V_{in}|$ を満たすとk-step目での誤判定を正しい値へと修正できる。式(2)より、 $p(k)$ は補正範囲を決める唯一のパラメータであり、冗長設計における最も重要なパラメータであることが分かる。

冗長設計の比較電圧重み $p(k)$ の決定に当たって、隣り合う重みの比率が1以上かつ2以下である条件を満たすと同時に、判定ステップ数(変換速度)と補正力のトレードオフを配慮しなくてはならない。さらに、整数のみを扱うAD変換器は小数重みとの整合性が悪く、整数への丸め操作が必要となり、補正力を十分に発揮できなくなる。従来の重み選定手法では、このような冗長量や補正力を考慮して設計者が最適な比較電圧重み $p(k)$ を決定していたが、大きな労力と時間が必要である。

4. フィボナッチ冗長設計の逐次比較近似ADC

〈4・1〉フィボナッチ数列と冗長設計

フィボナッチ数列は式(3)の漸化式で定義される数列である[7]. 式(3)中の n は $n \geq 0$ を満たす任意の自然数である。

$$F_{n+2} = F_n + F_{n+1} \quad (3)$$

ただし $F_0 = 0, F_1 = 1$

式(3)に従って、いくつかの項を計算すると隣り合う2項の和が次の項になる性質がある。さらに隣り合う2項の比率は式(4)で示される値(黄金比)へと収束する。

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \phi \quad (4)$$

この 2 性質を冗長設計に利用することで冗長設計条件を満たすと同時に AD 変換器と整合性の高い比較電圧重みが簡単に実現できる。

〈4・2〉 フィボナッチ冗長設計の補正能力

図 4 にフィボナッチ数列を冗長設計に応用したフィボナッチ冗長探索アルゴリズムの解探索動作模式図を示す。これまでの研究で本アルゴリズムでは k step 目の補正可能範囲は $k+1$ step 目の補正可能範囲と必ず接することが理論的に証明されている[6]。

ここで冗長設計における補正力の定量化について考える。本論文で検討するのは外部ノイズが瞬間的に(1step 幅)混入した場合を想定し、入力電圧と十進数にエンコードした出力電圧が不一致の場合を誤判定、一致した場合を正判定とする。誤判定率(Error ratio)は総判定数に対する誤判定数の割合で表し、この比率が小さければ誤判定数が少なく、補正能力が高いことを意味する。

補正力の検証として Radix 手法及びフィボナッチ手法を用いて 8-step の冗長性を有する 6bit の SAR ADC を設計し、誤判定率を Excel の数値計算にて比較する。入力にはサンプル&ホールド処理後の波形を入力し、刻み幅 0.1V の 0~63V で変化させていく。ノイズ段は 1-step のみ設け、そこにノイズ振幅±3Vの範囲で刻み幅 0.5V でそれぞれ重畳する。それを全 step パターンに重畳した場合を検証し、Radix 手法及びフィボナッチ手法にて補正力の比較を図る。Radix 手法は隣り合う項の比率を刻み幅 0.01 の 1~2 区間で決定し、各 step の重み生成時は毎回同じ比率を使用する。

図 5 に Radix 手法とフィボナッチ手法のノイズ耐性を比較した結果を示す。縦軸は誤判定率、横軸は各 Radix を表しているが、フィボナッチ手法に関しては radix 手法との比較容易化のために各 radix にフィボナッチ誤判定率を表示している。この図の誤判定率を比較すると Radix 手法と比べた場合、フィボナッチ手法が最も誤判定率が小さく、補正能力が高いことが確認できる。すなわち Radix(radix 刻み幅 0.01)手法に対してフィボナッチ手法は補正能力の観点で優れていると言える。今回 8-step で 6bit の SARADC を設計したが、Radix 手法はフィボナッチ手法に対して全ての入力範囲がカバーできなかったり、補正可能 step 段が少なかったりする点で劣っていた。これらは判定回数をさらに増やすことで改善できるが、逆に変換速度が遅くなってしまふ可能性があり、安易に増やせない。そのため、少ないステップ数で高い補正能力を実現できるフィボナッチ手法は逐次比較近似 AD 変換器の冗長設計において、無駄の少ない最適な設計法となる可能性がある。

〈4・3〉 フィボナッチ冗長設計の実現における課題

2 進数からフィボナッチ数への重み変更に伴い、SAR ADC 内の DAC 及び SAR ロジックを冗長設計用に変更しなければならない。従来手法としてフィボナッチ加減算 SAR

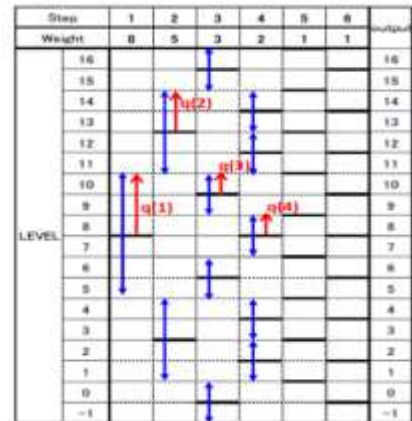


図 4 4-bit 6-step のフィボナッチ数列を用いた逐次比較近似 AD 変換器の冗長探索アルゴリズム。

Fig.4. Redundant search algorithm of a 4-bit 6-step SAR ADC using Fibonacci sequence.

ロジックの適用、冗長設計用 SAR ロジックの適用[2]、フィボナッチ重み付け生成 DAC の適用[6]の 3 種類が存在する。

フィボナッチ加減算 SAR ロジックはバイナリ型の DAC を使用し、DAC の制御パターンを変更することで 2 進重みを用いてフィボナッチ重みを発生させる方式である。バイ

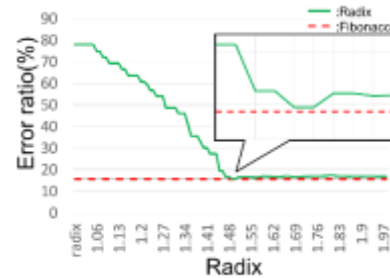


図 5 Radix 手法とフィボナッチ手法の補正力の比較

Fig.5. Comparison between radix method and Fibonacci method.

ナリ型 DAC をそのまま使用できる利点があるが、制御パターンの変更に伴い、フィボナッチ加減算 SAR ロジックが従来ロジックと比較して複雑化してしまう。

冗長用 SAR ロジックは判定結果を一度 2 進数にエンコードし、この値に対応して加算器と減算器を動作させることで加減算を行う。比較電圧重みは RAM 内に事前に記録しておき、最終段で温度計デコーダによるデコードを行い、DAC の制御を行う方式である。この回路もバイナリ型 DAC を使用できるが、使用前に一度比較電圧重みを RAM 内に記録する必要がある。また、演算処理のためにエンコードする必要があり、演算処理前後の遅延が大きい。

加算型フィボナッチ DAC は R-2R 抵抗ラダーDAC の抵抗値を R のみに改良した R-R 抵抗ラダーDAC のことを指す[6, 7]。抵抗値を R に統一することで電流分割がフィボナッチ数と同値になる。これは R-R 抵抗列の電流分割法則とフィボナッチ数列の漸化式が同法則であるからである。この回路は図 6 のように構成が比較的簡単で、2 種類の抵抗値のみで構成できるため、高精度で温度特性の良い DAC がで

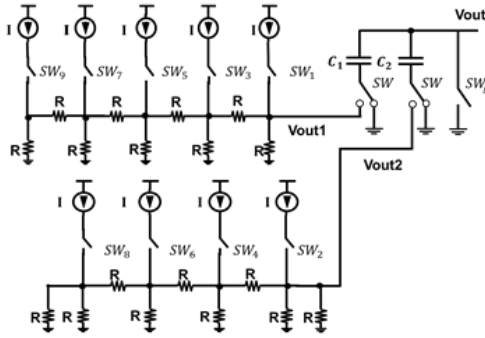


Fig.6. Conventional Fibonacci weighted DAC

きる。逐次比較型の正確な変換には、コンパレータの判定結果を DA 変換器の精度が重要であるため、容易に高精度化できることは大きなメリットとなる。しかし、従来 SAR ロジックとの整合性が悪い、回路の大規模化等、利点が多い反面欠点も多い。これらの課題はフィボナッチ冗長

図 6 従来フィボナッチ数列重み付け DAC
SAR ADC 実現の障壁となっていた。
そこで本論文ではフィボナッチ冗長設計を簡単且つ高精度に実現できる新たな DAC を提案する。

〈4・4〉加減算型フィボナッチ DAC を用いた ADC の実現

従来手法は比較器の判定結果のデジタル値と生成したフィボナッチ比較電圧重みの加減算が 1 対 1 で対応していないため、エンコーダやロジックの変更が必須であった。しかし、本論文で提案する DAC は従来の加算部に加え減算部を追加したことで判定結果と加減算の対応が 1 対 1 となった。これによりエンコーダが不要になり、従来の SAR ロジックを使用することができる。ただし、DAC の初期出力電圧を 0 で維持するために SAR ロジックに D-FF 段を追加する必要がある。ここで n 個のノードを持つ R-R 抵抗ラダー回路の電流分割について考える。各ノードから右側を見たときの合成抵抗は右のノードから次のようになる。

$$(1/1)R, (2/3)R, (5/8)R, (13/21)R, \dots$$

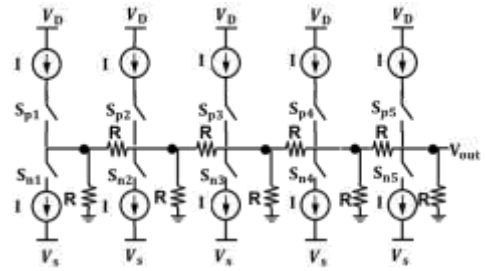
$$\dots, \left(\frac{F_{2(n-m)+1}}{F_{2(n-m)}}\right), \dots, \left(\frac{F_{2n+1}}{F_{2n}}\right)R \quad (5)$$

上式の抵抗比率よりノード毎に電流を GND 側に F_{2n+1} 、次段側に F_{2n} と分割することが確認できる。さらに k-step 目の判定結果後の DAC の電流動作を考える。判定結果が High のとき、各 step に対応した加算用電流源が動作し、一方 Low のときは減算用電流源が動作する。これらを考慮して m-node 目(右端を 1-node)の電圧 $V(m)$ の一般化を行うと

$$V(m) = \pm \left(\frac{F_{2(n-m)+1}}{F_{2n}}\right) IR \quad (6)$$

となる。式中の抵抗値及び電流値は任意変更でき、分子電圧だけを取り出せる。図 7 に 5-node 加減算型フィボナッチ DAC の回路構成を示す。線形素子のみを用いていることから重ね合わせの理が適用でき、この構成によりフィボナッチ数列の奇数項重み DAC が実現できる。

従来回路ではここで奇数項と偶数項で R-R 抵抗ラダー列が計 2 列必要であった(図 6 参照)。しかし、フィボナッチ数



列の漸化式(3)を式変形すると下記の式(7)が得られる。

$$F_{n+1} = F_{n+2} - F_n \quad (7)$$

この式よりフィボナッチ数列の偶数項は隣り合う奇数項の差分で表現でき、R-R 抵抗ラダー列を 1 段にできる。またオペアンプ等による電圧加算も不要になるため、バイナリ型

図 7 提案するフィボナッチ DAC
Fig.7. Proposed Fibonacci DAC

DAC と同等の回路面積で実現できる。さらに 2 進 SAR ロジックとの整合性が良いため、図 1 の従来構成の DAC 部を提案 DAC に変更し、SAR ロジックに D-FF を加えるだけで高速でノイズ耐性に優れた AD 変換器が簡単に実現できる。

5. まとめ

本論文では補正能力の定量化を行い、従来手法と補正力の比較をした。今回はサンプル&ホールド処理後の入力電圧に外部ノイズが瞬間的に(1step 幅でノイズ振幅 $\pm 3V$ 以内)混入した場合を想定した。このときの総判定数に対する誤判定数の割合で比較し、radix 手法に対してフィボナッチ手法の方が補正能力の面で優れていることを示した。

さらに加減算型フィボナッチ DAC を提案し、従来フィボナッチ DAC と比較して回路が小型化できることを示した。さらに 2 進 SAR ロジックとの整合性が良いため、2 進重みの逐次比較近似 AD 変換器に提案 DAC を適用するだけでフィボナッチ冗長設計が実現できる。これにより、逐次比較 AD 変換器のフィボナッチ冗長設計が従来 SAR ADC に比べ回路規模をほとんど増大させることなく、ノイズ耐性に優れた AD 変換器を容易に実現できることを示した。

文 献

- (1) F. Kuttner : "A 1.2V 10b 20MSample/s Non-Binary Successive Approximation ADC in 0.13 μ m CMOS", Tech. Digest of International Solid-State Circuits Conference, San Francisco (Feb. 2002)
- (2) T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori : "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- (3) T. Okazaki, D. Kanemoto, R. Pokharel, K. Yoshida, H. Kanaya : "A Design Methodology for SAR ADC Optimal Redundancy Bit", IEICE Electronics Express, Vol.11, No.10, (Apr. 2014)
- (4) Y. Kobayashi, H. Kobayashi : "SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence", The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 2014)
- (5) Y. Kobayashi, S. Shibuya, T. Arafune, S. Sasaki, H. Kobayashi : "SAR ADC Design Using Golden Ratio Weight Algorithm", The

15th International Symposium on Communications and Information Technologies 2015, Nara, Japan (Oct. 2015).

- (6) T. Arafune, Y. Kobayashi, S. Shibuya, H. Kobayashi, "Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology", IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 2015).
- (7) 桜井進 (著): 「雪月花の数学」, 祥伝社黄金文庫 (2010年6月).