

高信頼・低特性オン抵抗 100VデュアルRESURF LDMOS のスイッチング損失の検討

小島潤也 松田順一 築地伸和 神山雅貴 小林春夫
群馬大学



アウトライン

- 研究背景・目的
- 従来型・提案型LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM (R_{on} Q_g)
 - 損失の周波数特性
- まとめ

アウトライン

- 研究背景・目的
- 従来型・提案型LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM (R_{on} Q_g)
 - 損失の周波数特性
- まとめ

研究背景・目的

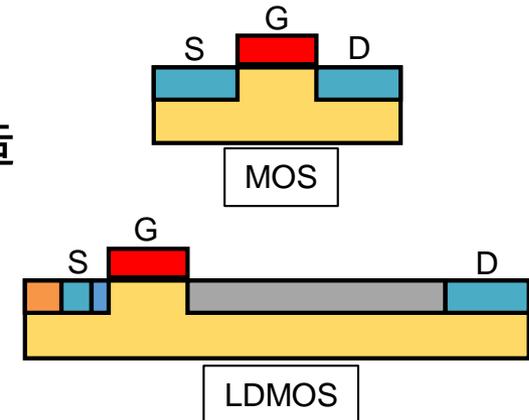
LDMOS (Laterally Diffused MOS)

・横方向拡散MOS

ゲート-ドレイン間の電界強度を緩和する構造
耐圧が高い⇒高電圧を印加可能

・パワーMOSの一種

電源回路のスイッチングなどに使用



集積型中高耐圧 (100V) **車載用LDMOS** に注目

信頼性：車載用LDMOS > 民生用LDMOS

信頼性の低下要因

- ・インパクトイオン化
- ・Kirk効果
- ・電流増大 (Current Expansion: CE)

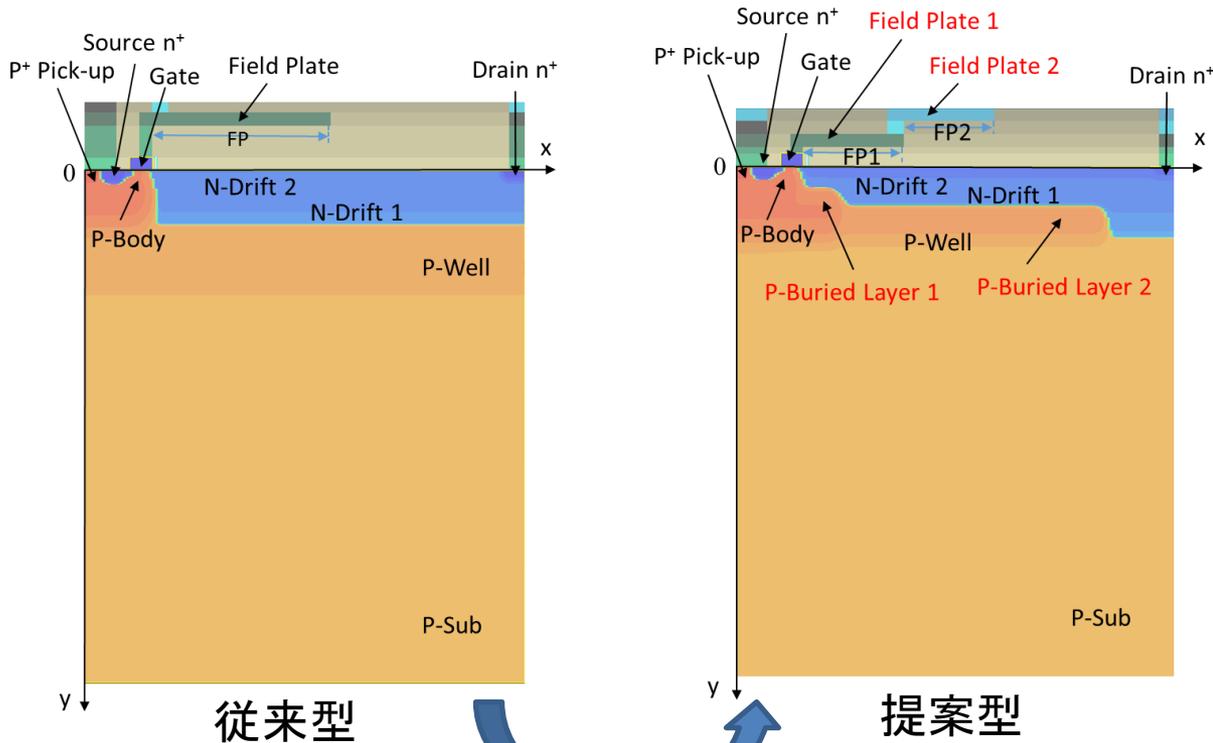
研究目的

**耐圧120V・高信頼性LDMOS構造を提案
(スイッチング損失を検討)**

アウトライン

- 研究背景・目的
- 従来型・提案型LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM (R_{on} Q_g)
 - 損失の周波数特性
- まとめ

従来型と提案型のLDMOS構造



0.35 μm プロセスベース	
ゲート長	0.35 μm
ゲート酸化膜厚	12nm
ドリフト長	5.5 μm
デバイス幅	0.2 μm
(フィールドプレート長	2.75 μm)
(フィールドプレート1長	1.55 μm)
(フィールドプレート2長	1.4 μm)
(ドリフト-フィールドプレート1	
間酸化膜厚	312nm)
(ドリフト-フィールドプレート2	
間酸化膜厚	712nm)

デュアルRESURF構造

+

- ・P-Buried Layer 1 \Rightarrow ドリフト端周りでのRESURFの強化とCEの抑制
- ・P-Buried Layer 2 \Rightarrow ドリフト領域に沿ったRESURFの強化
- ・ドレイン下のP-Buried Layer 2の開口 \Rightarrow CEの抑制と耐圧の維持

2段階フィールドプレート構造

- ・RESURF効果を補強

提案型 低オン抵抗化

I . P-Buried Layer 1 + Field Plate 1

⇒ ゲート付近のRESURFの強化
→インパクトイオン化低減
(ホットキャリア耐性向上)

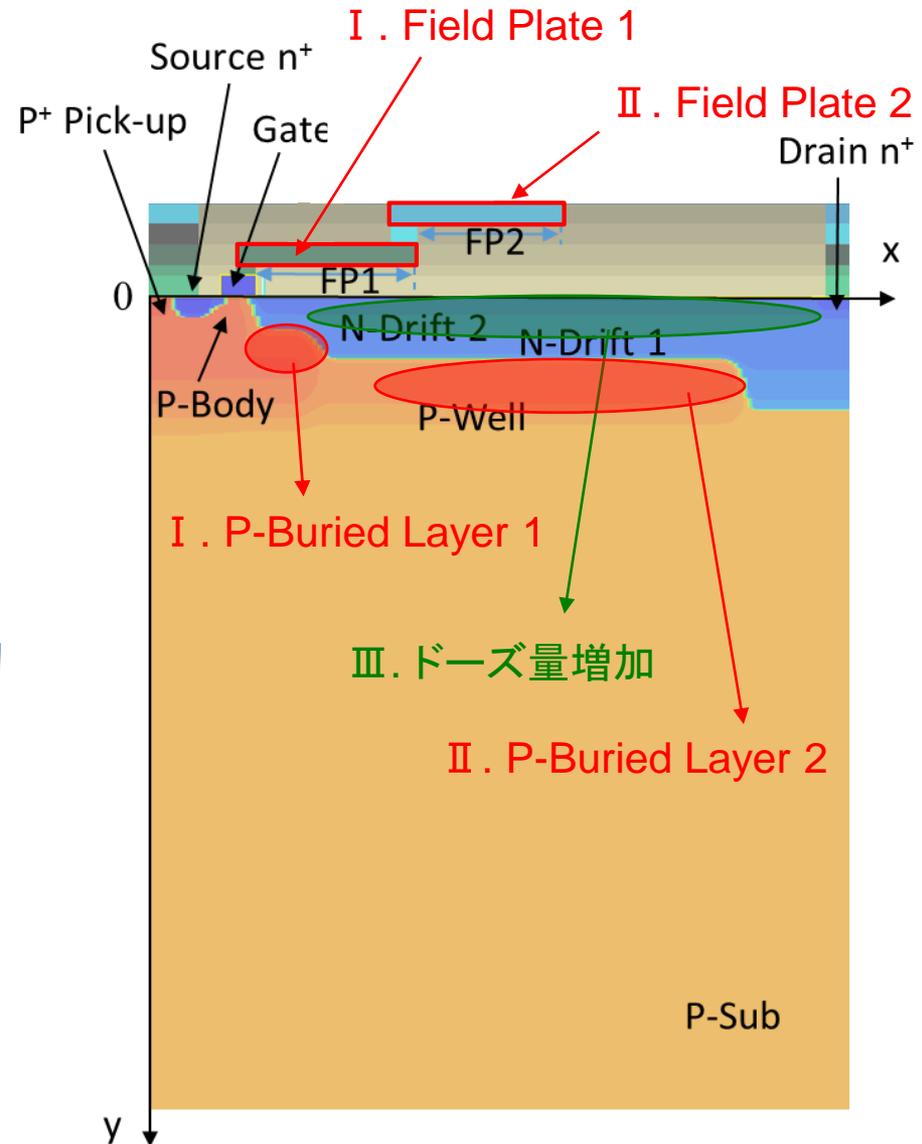
II . P-Buried Layer 2 + Field Plate 2 (2段階フィールドプレート)

⇒ ドリフト領域全体のRESURFの強化
→耐圧向上



III . ドリフト領域のドーズ量の増加

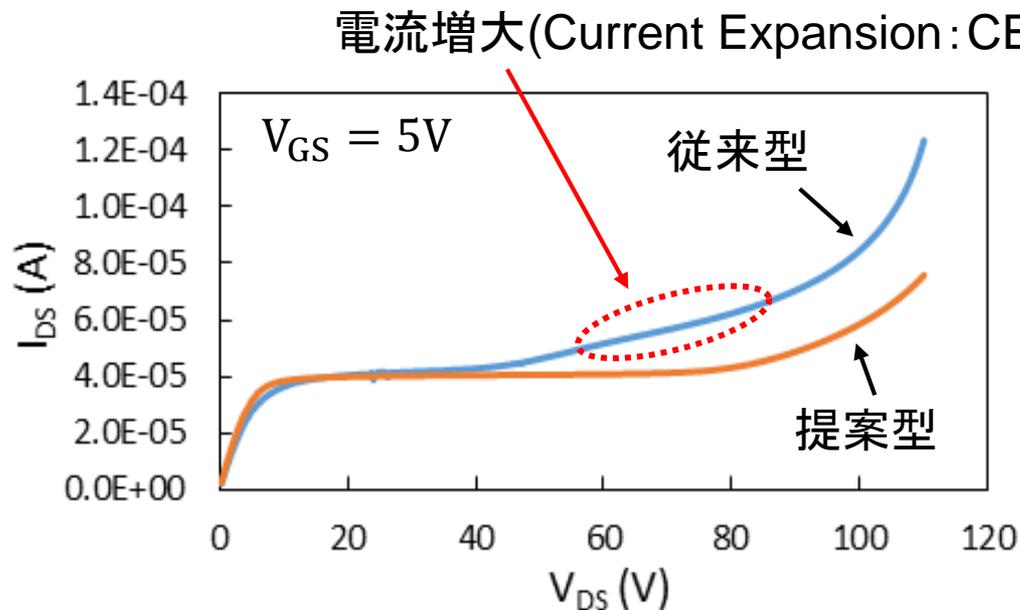
⇒ キャリア ⇒ 増加
⇒ オン抵抗 ⇒ 減少



アウトライン

- 研究背景・目的
- 従来型・提案型LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM (R_{on} Q_g)
 - 損失の周波数特性
- まとめ

従来型と提案型の $I_{DS}-V_{DS}$ 特性の比較



	従来型	提案型
電流増大の抑制	×	○
特性オン抵抗 $R_{on}A$ ($A=\text{width} \times \text{pitch}$)	178m Ω mm ² ($A=0.2 \times 5.5\mu\text{m}^2$)	150m Ω mm ² ($A=0.2 \times 5.5\mu\text{m}^2$)

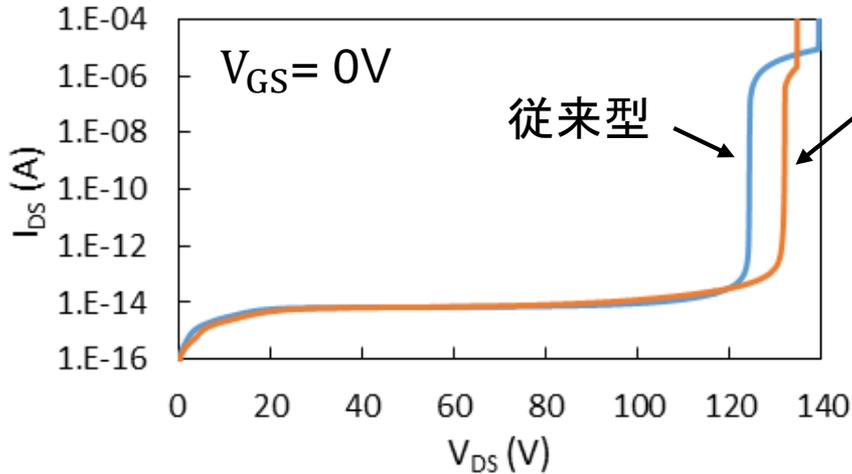
低信頼性

高信頼性

(広いSOA: Safe Operation Area)

低オン抵抗化

従来型と提案型の BV_{DS} の比較

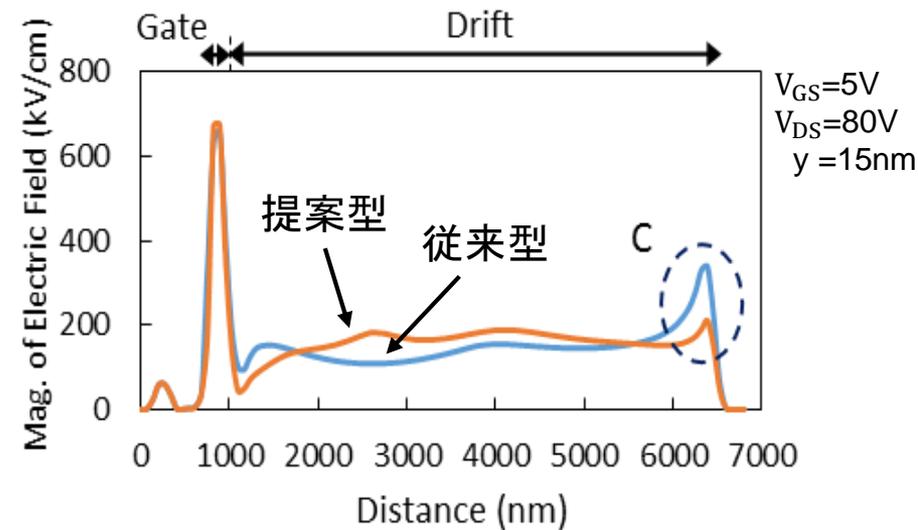
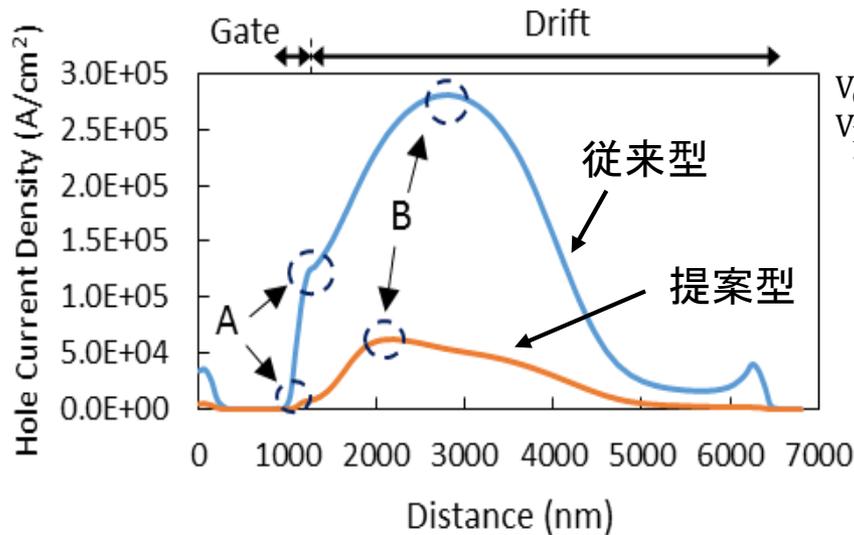


車載用中高耐圧LDMOS(100V動作)へ応用

➡ 両構造で問題なし

	従来型	提案型
ブレークダウン電圧 BV_{DS}	124V	128V
両構造で ブレークダウンは バルク で発生 (界面で発生していない)		
電子・正孔の <div style="display: flex; align-items: center;"> <div style="font-size: 2em; margin-right: 10px;">{</div> <div style="margin-right: 10px;">酸化膜へのトラップ</div> <div style="margin-right: 10px;">界面への影響</div> <div style="border: 1px solid black; border-radius: 50%; padding: 5px; margin-left: 10px;">抑制</div> </div>		

正孔電流密度と電界形状の比較



インパクトイオン化による正孔電流 \propto 電子電流 \times 電界 $\times \exp(-A/\text{電界})$

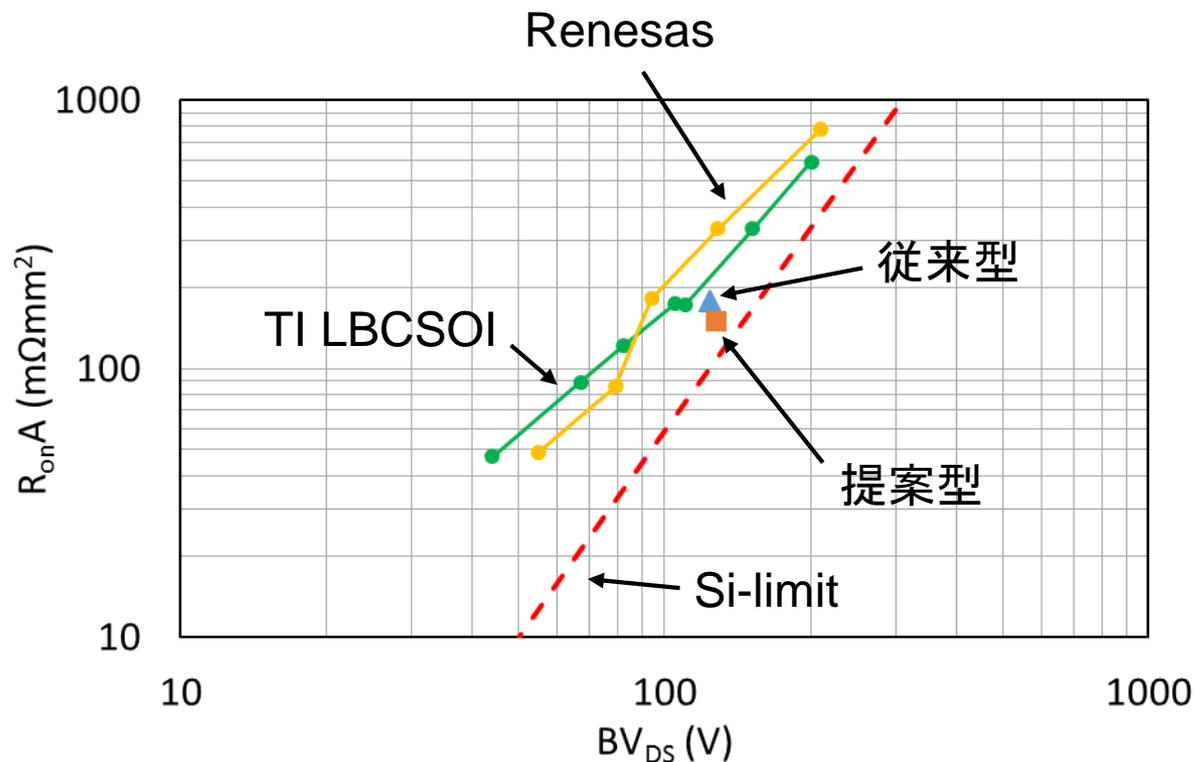
	従来型	提案型
ゲート端周りとドリフト領域の正孔電流密度 (A,B)	高	低
ドレイン端周りの電界の大きさ (C)	高	低



インパクトイオン化の発生率	高	低
---------------	---	---

※デュアルRESURF構造による
(高ホットキャリア耐性)

オン抵抗-耐圧特性



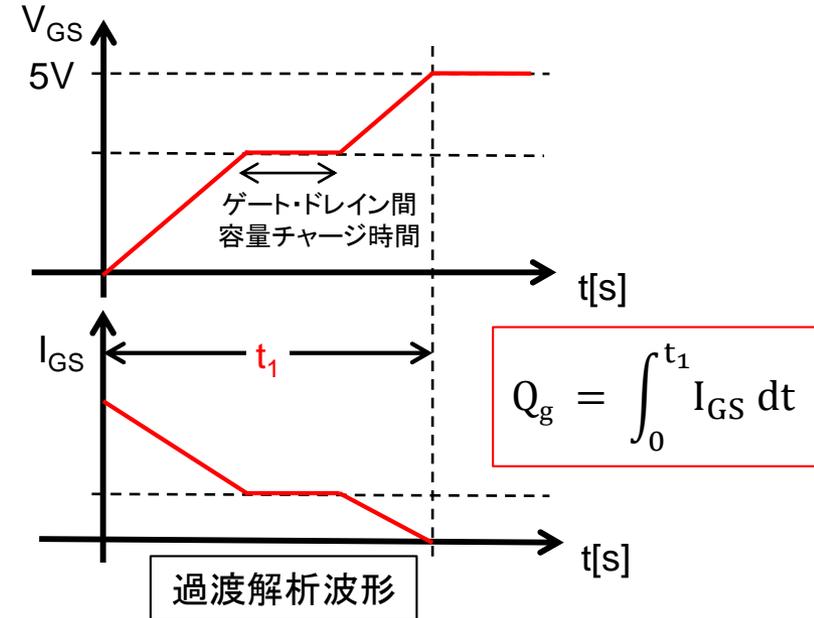
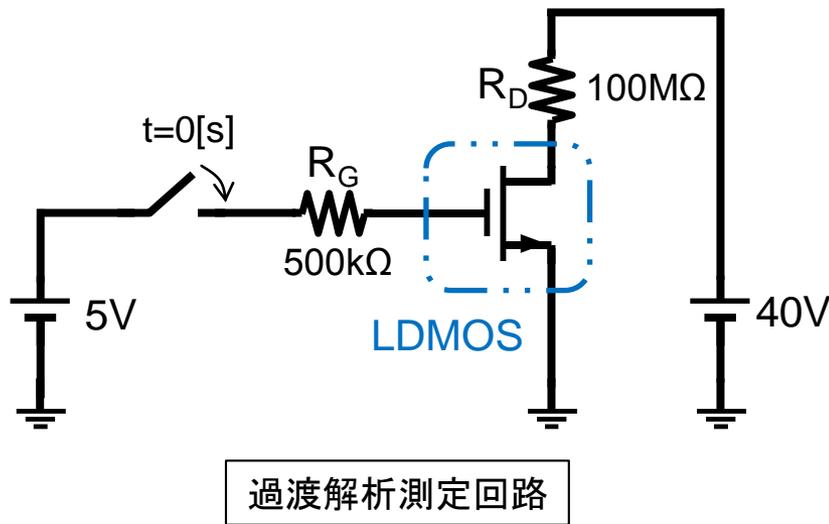
提案型 ⇒ 高い耐圧と低いオン抵抗
(最先端レベルにある)



アウトライン

- 研究背景・目的
- 従来型・提案型LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM (R_{on} Q_g)
 - 損失の周波数特性
- まとめ

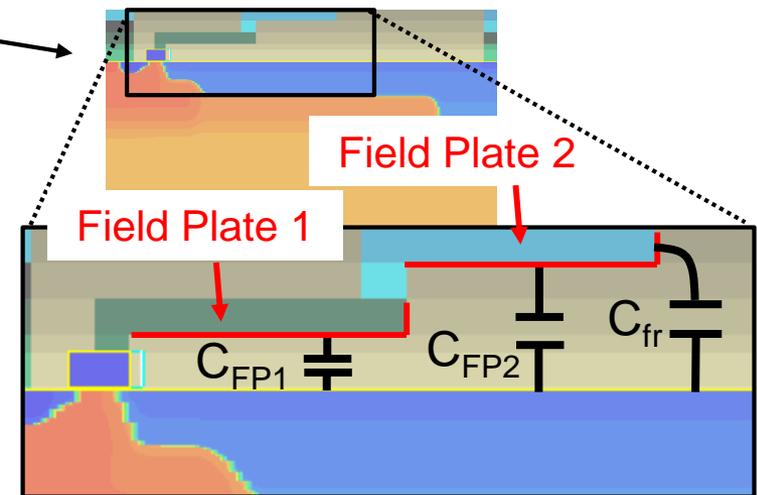
過渡解析



	従来型	提案型
$R_{on}A$ ($m\Omega mm^2$)	178	150
Q_g/A (nC/mm^2)	1.87	2.09
スイッチング特性の性能指数 FOM ($=R_{on} \times Q_g$) ($m\Omega nC$)	332	312

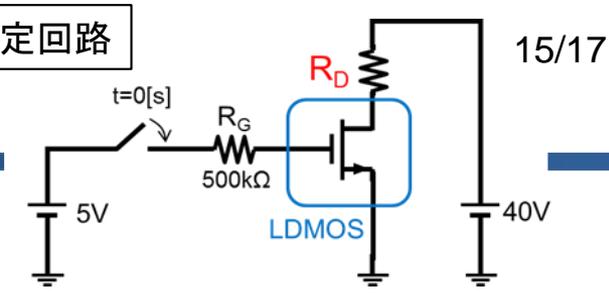
(Figure of Merit)

※ FPによりミラー容量(電荷量 Q_g) **大**



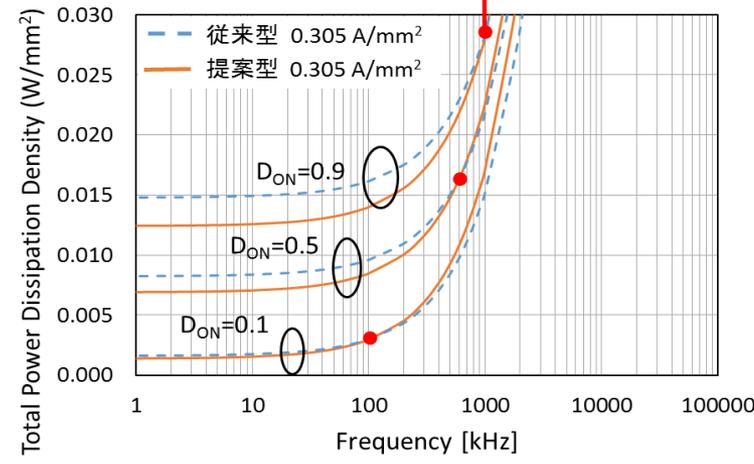
損失の周波数特性

測定回路

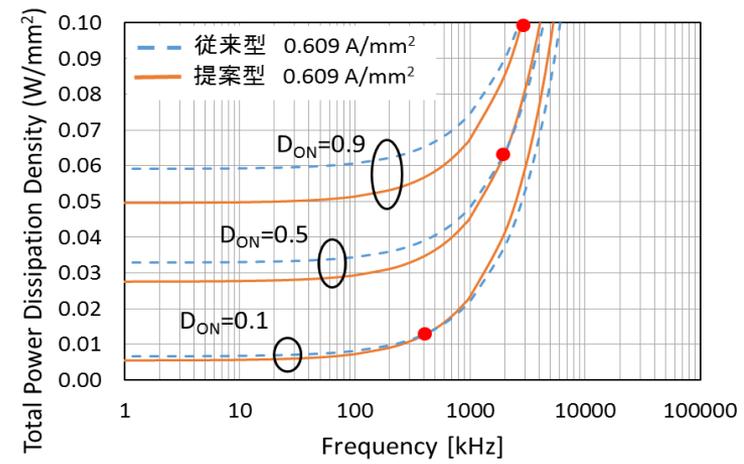


提案型が低損失

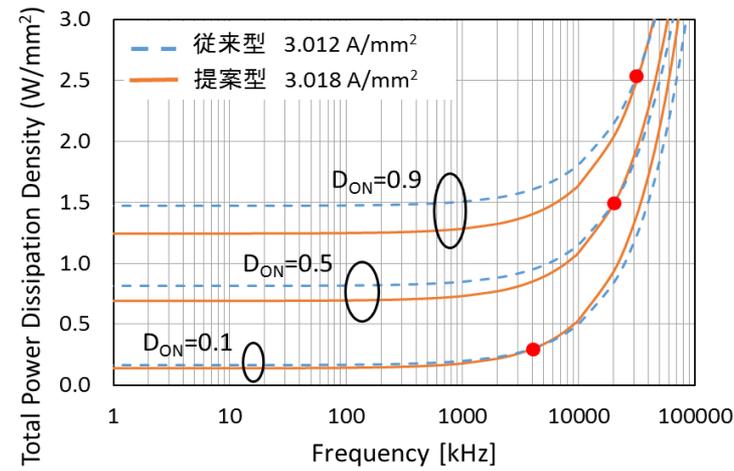
<R_D=100MΩ>



<R_D=50MΩ>



<R_D=10MΩ>



● 特性が交差するスイッチング周波数 (kHz)

導通損失 → 小 ← 大

D _{ON} \ R _D (MΩ)	100	50	10
0.1	100	400	4000
0.5	600	2000	20000
0.9	1000	3000	30000

✓ 全損失 = ゲートドライブ損失 + スイッチング損失 + 導通損失

従来型 > 提案型 😊

(提案型 小)

アウトライン

- 研究背景・目的
- 従来型・提案型LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM (R_{on} Q_g)
 - 損失の周波数特性
- まとめ

まとめ

(1) 高信頼性 (2) 最先端の $R_{on}A$ - BV_{DS} 特性 (3) 低スイッチング損失

の特性であるLDMOSを提案した

項目	従来型	提案型	
電流増大(CE)の抑制	×	○	⇒(1)
$R_{on}A$ ($m\Omega mm^2$)	170	150	⇒(2)
BV_{DS} (V)	124	128	⇒(2)
ブレークダウンの箇所	バルク	バルク	⇒(1)
ゲート端周りでの正孔電流密度	高	低	⇒(1)
ドレイン端周りの電界の大きさ	高	低	⇒(1)
FOM(= $R_{on} \times Q_g$) ($m\Omega nC$)	332	312	⇒(3)
スイッチング損失 (ex. $f < 400kHz$: $R_D = 50M\Omega$, $0.1 < D_{ON} < 0.9$)	大	小	⇒(3)

本研究を進めるにあたり、3D TCADを貸していただいたアドバンスソフト社に深謝いたします。

この3D TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト社で開発されました。

付録

3D TCADシミュレータ ... Advance/DESSERT (β版) アドバンスソフト株式会社

・実物に近いモデルの使用

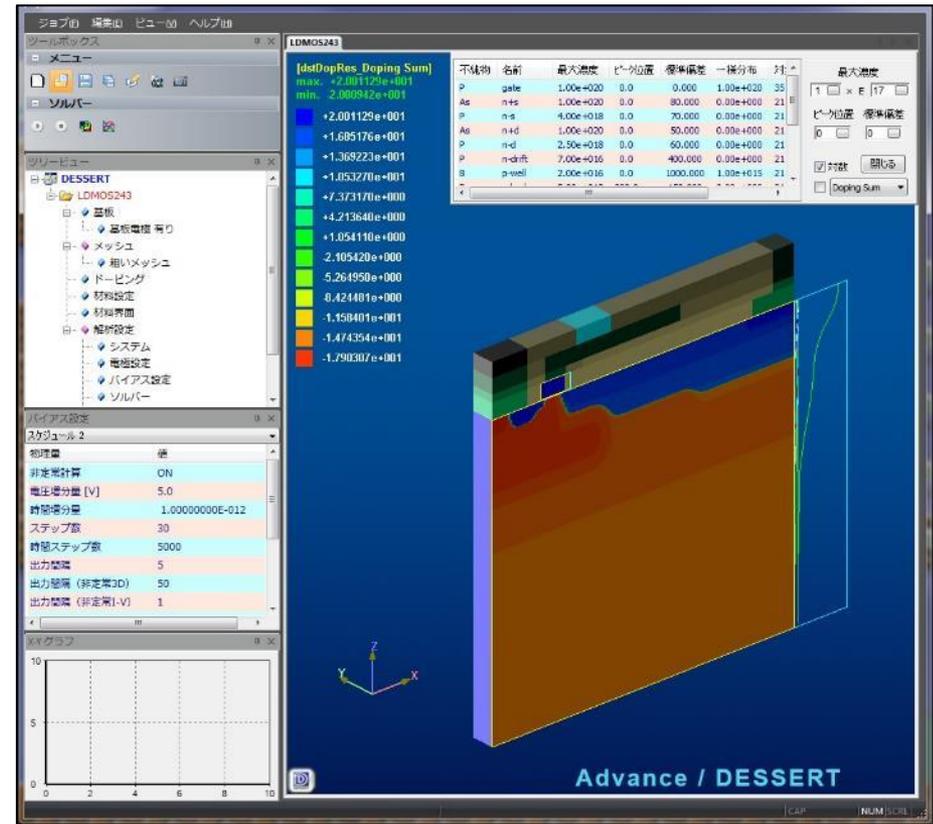


高精度

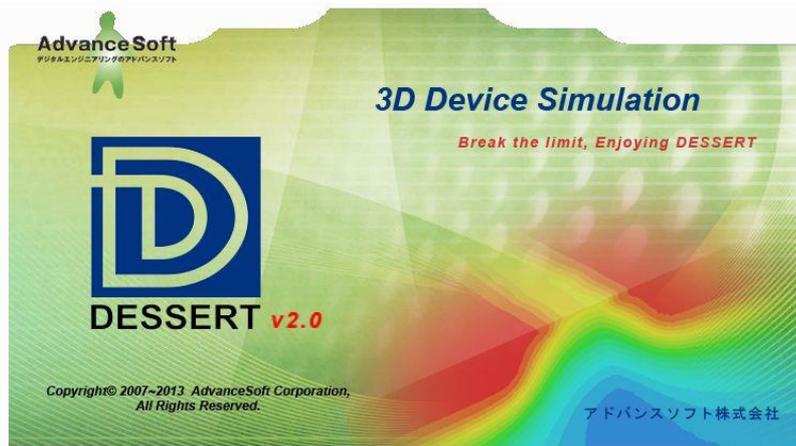
・実物を作らなくても良い



短時間で多くの構造の開発・評価



シミュレータ画面

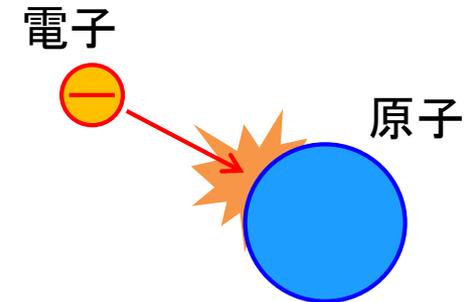


インパクトイオン化(電離衝突)

高い電界によって加速された電子が
結晶格子との衝突によって電子・正孔
対を発生させる現象

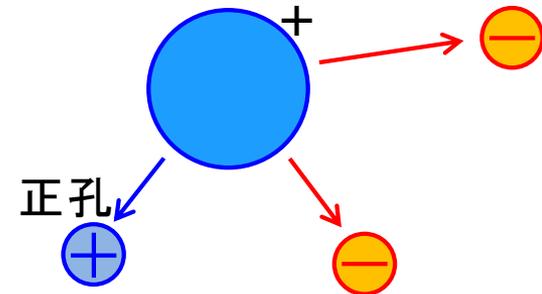
インパクトイオン化による正孔電流
 \propto 電子電流 \times 電界 $\times \exp(-A/\text{電界})$

A: 定数



衝突後

原子(イオン化)



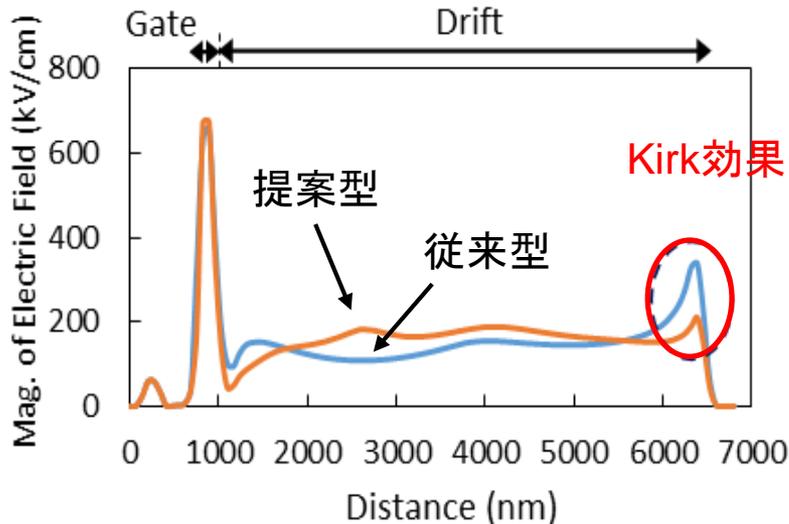
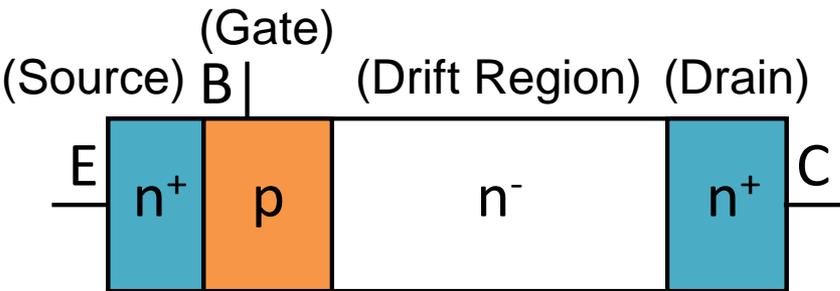
電子正孔対の発生

イメージ図

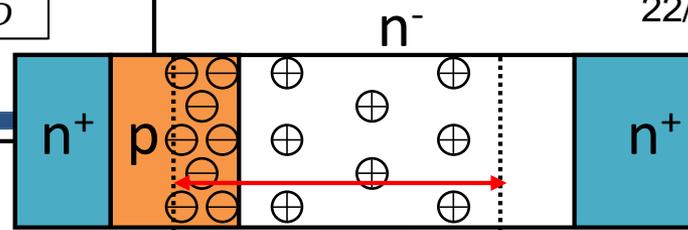
Kirk効果

カーク効果 (コレクタ電流増大時)

バイポーラの増幅率が低下する現象
⇒ドリフト領域の電界分布が変化

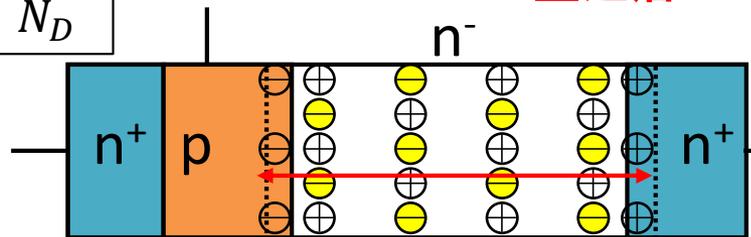


(a) $n \ll N_D$



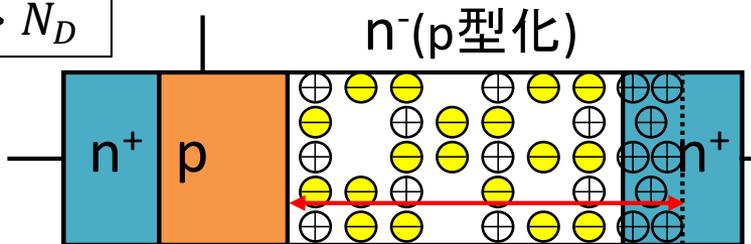
空乏層

(c) $n = N_D$



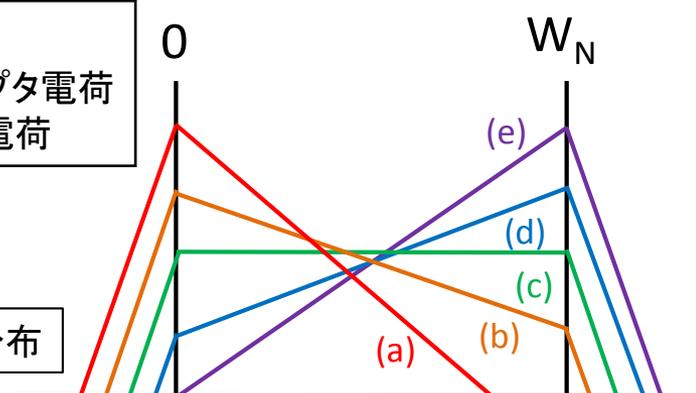
電子が増加⇒ドナー電荷を打ち消す

(e) $n \gg N_D$



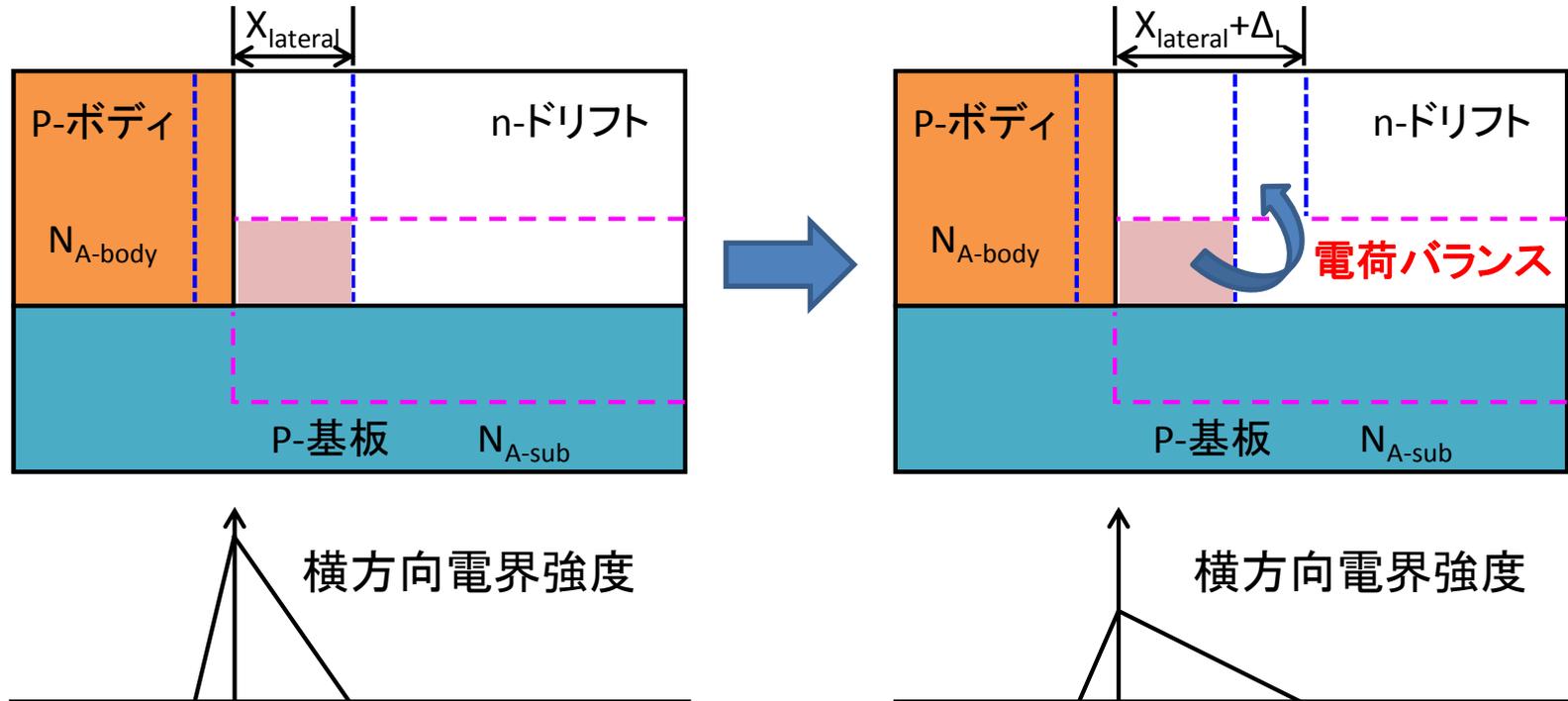
- 電子
- ⊖ アクセプタ電荷
- ⊕ ドナー電荷

電界分布



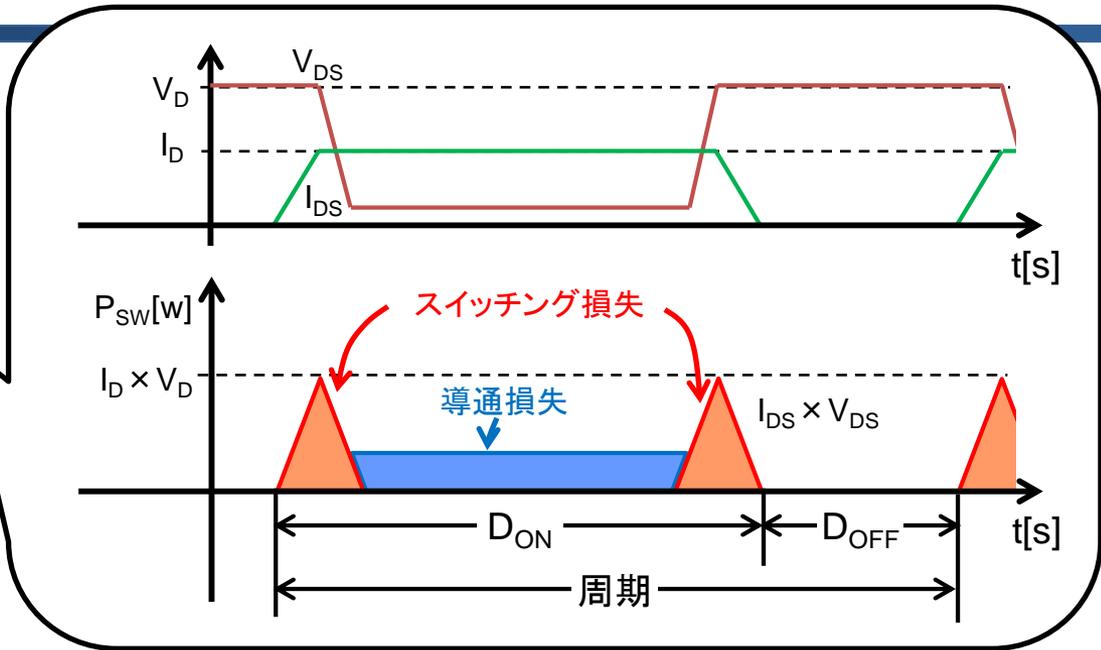
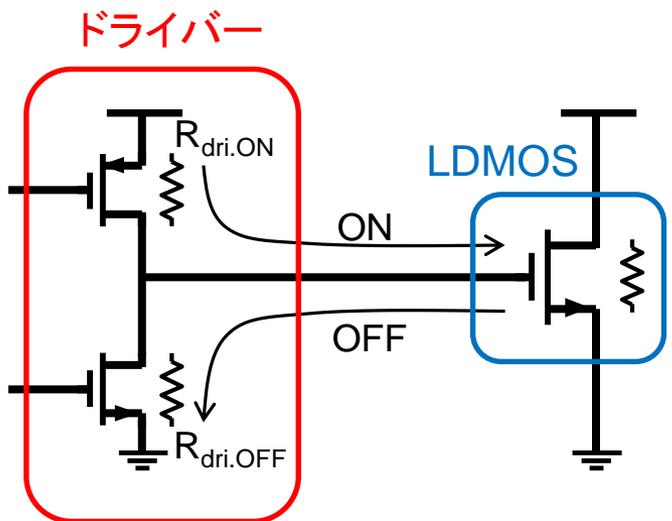
RESURF (Reduced Surface Field)

表面電界を減少させる技術



pn接続による空乏層の縦と横方向電界の相互作用を利用

- ⇒横方向空乏層が拡張
- ⇒横方向の電界緩和



ゲートドライブ損失

(ドライバー部の損失)

ON時 $\frac{1}{2} CV^2$

OFF時 $\frac{1}{2} CV^2$

周期 CV^2

$Q = CV$

スィッチング損失 (スィッチング時)

導通損失

損失_{all} [W] = $f \times Q_g V_{GS}$ + $f \times 2 \int_{turn_ON} i_{ds} v_{ds} dt$ + $D_{ON} \times I_{DS} V_{DS}$

周波数依存

三角形の面積

ON期間 定常状態

周波数依存

デューティ比依存

Q&A

Q1. 測定回路(p.14)で、なぜ $R_G=50k\Omega$ 、 $R_D=100M\Omega$ なのか？
大きくないか？

A1. R_G とLDMOSの寄生容量 C との時定数から、損失が計算できるように R_G の値を調節した。また、LDMOSのドレインに低い電圧を印加するために、 R_D を大きな値としている。今回のLDMOSは幅 $0.2\mu\text{m}$ 、長さ $6.8\mu\text{m}$ であり、これに合う抵抗を選んでいる。

Q2. 提案LDMOSは、他のデバイスと違ってどんな特徴があるのか？ CoolMOSとはどう違うのか？

A2. CoolMOSは耐圧 600V のように高耐圧が要求されるときに使用する。LDMOSはCoolMOSよりも低耐圧の場合に使用する。