

# 黄金比重み付け逐次比較近似 AD 変換器の比較器誤判定と デジタル出力値の関係

小辻 澄人\* 荒船 拓也 澁谷 将平  
新井 宏崇 小林 春夫 (群馬大学)

## Error Suppressive Abilities of Golden-Ratio Weighted SAR ADC

Sumito Kotsuji\*, Takuya Arafune, Shohei Shibuya  
Hirotaka Arai, Haruo Kobayashi (Gunma University)

This paper describes a redundant successive approximation resistor (SAR) ADC design method that enables high-precious AD conversion using digital error correction. We survey the relation between input voltage and error output voltage at the misjudgment of comparator.

キーワード：逐次比較近似, AD 変換器, 冗長アルゴリズム, デジタル誤差補正, 黄金比, DA 変換器, (Successive approximation, ADC, Redundancy, Digital error correction, Golden ratio, DAC)

### 1. はじめに

近年自動車のエレクトロニクス化が進み、車載エレクトロニクス技術は自動車の差別化や付加回路の創出に貢献している。それに伴い、マイコンと組み合わせて使用される逐次比較近似 AD 変換器(SAR ADC)の性能要求は年々厳しくなっている。

SAR ADC の高性能化への試みの 1 つに冗長設計がある。時間的冗長をシステムに組み込むことでデジタル誤差補正が実現でき、高速でエラー耐性のある回路が設計できる[1-6]。しかし、この設計法には最適な基準値の選定法が存在せず、性能向上の妨げになっている。

筆者らは最適な基準値としてフィボナッチ数列の利用を提案し、エラー耐性及び変換速度の面から提案手法の優位性を定量的に示してきた[5]。本論文では冗長設計での補正力の定量化に伴い、誤判定が最終出力に与える影響力を検討した。誤判定ステップの位置と最終収束値(出力デジタル値)の関係式を求め、誤判定時の補正能力(エラー抑制力)を定量的に表した。算出した式を用いて二進探索法及び黄金比探索法の抑制力を比較・検討したので報告する。

### 2. 逐次比較近似 AD 変換器

逐次比較近似 AD 変換器は高分解能(8~18bit)、中速サンプリング(5MSps)の AD 変換器である。低消費電力且つ小チップ面積であることから、車載マイコンの周辺回路として使用される。

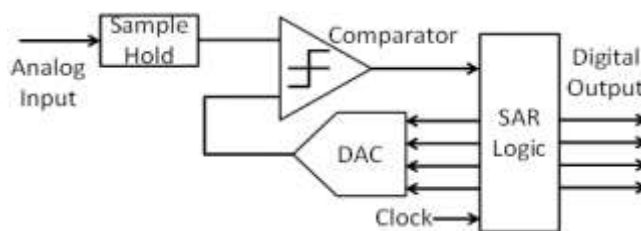


図 1 逐次比較近似 AD 変換器の構成.  
Fig. 1. Block diagram of an SAR ADC.

逐次比較近似 AD 変換器は図 1 のようにサンプル&ホールド回路、DA 変換器、コンパレータ、逐次比較レジスタ(SAR)、クロックの 5 つの要素で構成される。

サンプル&ホールド回路で保持したアナログ入力と DA 変換器から得た比較電圧重みを後段のコンパレータ(天秤)で比較し、1bit(MSB)分のデジタル出力を得る。続けて得た出力結果に対応して SAR ロジック回路が DA 変換器を制御し、比較電圧重み(錘)の大きさを変更する。その後、前述と同様の動作を行い比較・電圧変更を行う。この比較動作と比較電圧変更動作を bit 数回繰り返すことでアナログ入力値をデジタル変換する。このように逐次比較型は“天秤の原理”を用いて変換を行い、解探索法として二進探索アルゴリズムが使用される。図 2 に 4-bit 逐次比較近似 AD 変換器の二進探索アルゴリズムを用いた解探索動作模式図を示す。この図で縦軸が電圧値、横軸が判定ステップを表現しており、太線が各ステップでの比較電圧の大きさである。これ

Step	1	2	3	4	output
Weight p(k)	8	4	2	1	
LEVEL					
15					15
14				↑+p(4)	14
13					13
12			↑+p(3)		12
11					11
10					10
9		↑+p(2)			9
8					8
7	↑+p(1)				7
6		↓-p(2)			6
5					5
4					4
3			↓-p(3)		3
2					2
1				↓-p(4)	1
0					0

図2 4-bit SAR ADC の二進探索アルゴリズム.

Fig. 2 Binary search algorithm of a 4-bit SAR ADC.

らの比較電圧は  $k$ -step 目の比較電圧重み  $p(k)$  の加減算から決定され、二進探索における比較電圧重み  $p(k)$  は二進重み (8, 4, 2, 1) である。二進探索は AD 分解能と同数の比較で実現できるため、比較回数の観点では最も効率の良い探索法とされる。しかしながら、入力信号に瞬時的な外乱や急激な変動が生じた場合、比較判定結果を誤ってしまう可能性がある。二進探索法の場合、一度の誤判定で正しい出力を得られなくなる。これは二進数が十進と 1 対 1 に対応する性質があるからである。

そこで筆者らは非二進探索法を用いた逐次比較近似 AD 変換器の冗長設計に整数論を応用したアルゴリズムを検討してきた [5-6]。

### 3. SARADC の冗長設計と補正能力

逐次比較近似 AD 変換器の冗長設計とはコンパレータの比較回数を増加させる設計指針である。冗長とは予備や余裕を意味しており、ここでは時間的冗長の意味で使用している。比較回数を増やすことに加え、二進重み電圧を非二進重み電圧へ変更することでデジタル誤差補正を可能にする。結果として自己校正が可能になり、入力変動に強い AD 変換器が実現できる。

ここで逐次比較近似 AD 変換器の非二進探索アルゴリズム(重み付け : 8, 6, 3, 2, 1)での解探索動作例を図 3 に示す。図 3 は入力電圧 8.6 LSB における 4-bit 5-step AD 変換で、1st -step 目で正判定または誤判定をした場合の動作例を示している。この二例は判定結果が異なるにも関わらず、後段ステップで補正され、正しい出力が得られていることが分かる。これは比較回数が 1 回増えたことで出力デジタルコードが 1-bit 増加し、表現可能な値の種類は 2 倍となり、ひとつの出力値を複数のデジタルコードで表現するために誤りを補正できる。

ここで逐次比較近似冗長 AD 変換器の補正能力に関して

Step	1	2	3	4	5	output
Weight p(k)	8	6	3	2	1	
LEVEL						
15	1	0	0	0	1	15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1	0	1	1	1	1	1
0						0

図3 4-bit 5step SAR ADC の非二進探索の動作.

Fig. 3 Operation of a 4-bit 5-step SAR ADC in case of correct and incorrect judgments.

式を用いた一般化を行う。N-bit 分解能の AD 変換器を M-step の比較で実現すると、 $k$ -step 目の比較電圧  $V_{ref}(k)$  は式(1)になる。ただし MSB より  $k$  個目の比較電圧重みを  $p(k)$  とし、 $k$ -step 目で  $(k-1)$ -step 目の比較電圧  $V_{ref}(k-1)$  に足し引きする値とする。

$$V_{ref}(k) = \sum_{i=1}^k d(i-1)p(i) \quad (1)$$

逐次比較近似 AD 変換器の冗長設計を上式のように一般化すると、 $k$ -step 目で誤判定を起こしたとしても補正可能な入力範囲差  $q(k)$  を式(2)のように定義することができる [2]。

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i) \quad (2)$$

この入力補正範囲に対して  $q(k) \geq |V_{ref}(k) - V_{in}|$  を満たすと  $k$ -step 目での誤判定を正しい値へと修正できる。式(2)から  $q(k)$  は  $k$ -step 目の比較電圧重み  $p(k)$  によってのみ決定されるため、各ステップの比較電圧重み  $p(k)$  が冗長設計における最も重要なパラメータであることがわかる。

冗長設計の比較電圧重み  $p(k)$  の決定に当たって、隣り合う重みの比率が 1 以上かつ 2 以下である条件を満たすと同時に、判定ステップ数(変換速度)と補正力のトレードオフを配慮しなくてはならない。さらに、整数のみを扱う AD 変換器は小数重みとの整合性が悪く、整数への丸め操作が必要となり補正力を十分に発揮できなくなる。従来の補正力手法では、このような冗長量や補正力を考慮して設計者が最適な比較電圧重み  $p(k)$  を決定していたが、膨大な労力と時間が必要である。

### 4. フィボナッチ数列を用いた冗長設計

フィボナッチ数列とは式(3)の漸化式で定義される数列である。式中の  $n$  は  $n \geq 0$  を満たす任意の自然数である。

$$F_{n+2} = F_n + F_{n+1} \quad (3)$$

ただし  $F_0 = 0, F_1 = 1$

式(3)に従って、いくつかの項を計算すると隣り合う二項の和が次の項になる性質がある。さらに隣り合う二項の比率は式(4)で示される値(黄金比)へと収束する。

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \phi \quad (4)$$

この二性質を冗長設計に利用することで冗長設計条件を満たすと同時に AD 変換器と整合性の高い比較電圧重みが簡単に実現できる。

図4にフィボナッチ数列を冗長設計に応用したフィボナッチ冗長探索アルゴリズムの解探索動作モード図を示す。これまでの研究で本アルゴリズムでは  $k$  step 目の補正可能範囲は  $k+1$  step 目の補正可能範囲と必ず接することが理論的に証明されている[6]。

## 5. 誤判定とデジタル出力値の関係

従来は補正可能範囲内の誤差を前提条件として、フィボナッチ冗長設計が自己校正可能な優れた AD 変換器設計であることを証明し、誤差補正能力の面で優れていることを示してきた[5-6]。一方、本論文では補正可能範囲外の誤差を入力し、自己校正できない場合の出力誤差の抑制力について検討する。これにより、エラー時の補正力の定量化が期待できる。この抑制力は入力電圧とエラー時の出力電圧を 10 進数にエンコードした電圧  $V_{error}$  の差分で表され、差分量が少ないほど抑制力が高く、理想値は 0 である。

抑制力の検討に当たり、エラー出力電圧  $V_{error}$  を式を用いて一般化する。二進探索法、非二進探索法、黄金比探索法の各手法にて、変換過程の比較段で判定を一度誤ったときの  $V_{error}$  分布を解探索モード図を用いて検討する。検討に当たり、パラメータの定義を行う。

$V_{error}(n), V_{ref}(n), d_{error}(n)$  は誤判定が生じた step, エラー

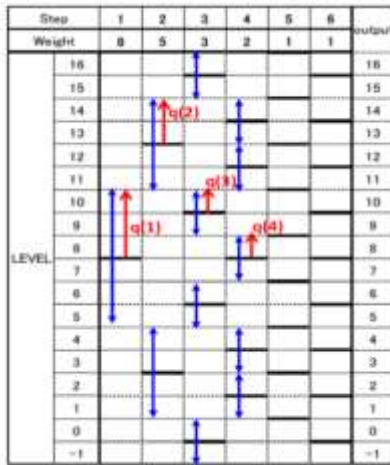


図4 4-bit 6-step のフィボナッチ数列を用いた逐次比較近似的 AD 変換器の冗長探索アルゴリズム。

Fig.4. Redundant search algorithm of a 4-bit 6-step SAR ADC using Fibonacci sequence.

出力電圧, 判定誤りが起きた比較電圧, 誤判定時のデジタル出力を表している。  $d_{error}(n)$  は誤判定の結果が High の場合 1, Low のとき -1 という値を取る。

まず二進探索法の抑制力の一般化に伴い、自己校正できない場合のエラー出力電圧を考える。図5-aに5stepの二進探索法に9Vを入力し、1-step目で判定を誤った場合の誤判定動作一例を示す。同図から初段比較重み電圧  $V_{ref}(1) = 16V$  で誤判定が生じ、最終収束電圧は16Vである。

次に  $n$ -step 目で判定を誤った場合を考える。このときの電圧レベルは  $V_{ref}(n)$  は  $2^{m-n}$  と表される(ただし  $2^{-1}$  での比較電圧重みは  $V_{ref}(m+1)=0.5$ )。この電圧を基準として  $n$  回目の二進重みである  $V_{ref}(n) = 2^{m-n}$  の誤判定処理が行われる。その後の各 step 段での校正可能範囲は  $n$ -step より後段にある比較電圧重みの総計と同値であり、(5)式のように表せる。

$$p(n+2) + \dots + p(m+1) = \sum_{i=0}^{m-n-2} 2^i + 0.5 \quad (5)$$

これら一連の動作よりエラー出力  $V_{error}$  を求めると(6)式のようになる。

$$V_{error}(n) = V_{ref}(n) + d_{error} \times [p(n+1) - \{p(n+2) + \dots + p(m+1)\}] - 0.5 \quad (6)$$

ここで二進数には式(7)のような性質があり、これを式(5)に適用すると式(8)が得られる。

$$2^a - 1 = \sum_{i=0}^{a-1} 2^i \quad (7)$$

$$p(n+2) + \dots + p(m+1) = p(n+1) - 1 + 0.5 \quad (8)$$

この式を式(6)に適用することでエラー電圧の一般式(9)が得られる。

$$V_{error}(n) = V_{ref}(n) + d_{error}(n) - d_{error}(n) \times 0.5 - 0.5 \quad (9)$$

これはデジタル誤判定  $d_{error}$  に依存し、  $d_{error}$  について場合分けして考えると

$$V_{error}(n) = \begin{cases} V_{ref}(n) + 1 - 0.5 - 0.5 & (d_{error}(n) = 1) \\ V_{ref}(n) - 1 + 0.5 - 0.5 & (d_{error}(n) = -1) \end{cases} \quad (10)$$

と表現できる。一般式の後半二項は逐次比較 AD 変換器での最終ステップの計算を表している。

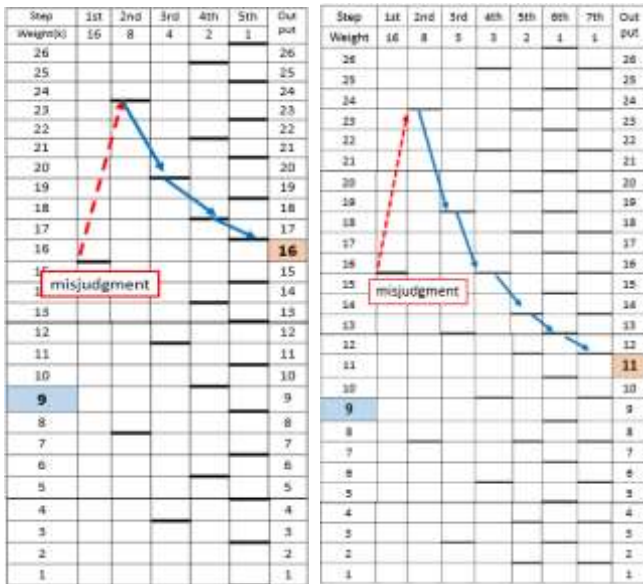
次に非二進探索法においては誤判定処理後の各 step 段での校正可能範囲は  $n$ -step より後段にある比較電圧重みの合計値は  $n$ -step 目の比較電圧重みの大きさと補正能力の合計値と同値であることを考慮すると、(9)式から式(11)への変形ができる。

$$V_{error}(n) = V_{ref}(n) - d_{error}(n) \times q(n) + d_{error}(n) \times 0.5 - 0.5 \quad (11)$$

最後の黄金比探索法は補正力がフィボナッチ数列になるという性質を適用し、式(11)を式(12)に変形できる。

$$V_{error}(n) = V_{ref}(n) - d_{error}(n) \times F_{m-n+1} + d_{error}(n) \times 0.5 - 0.5 \quad (12)$$

導出した式の整合性を確認するために図5-bの黄金比探索法の誤判定動作と比較検証する。この図より1-step目に16Vの電圧レベルで誤判定が生じた場合のエラー電圧は



a. 二進探索法                      b. 黄金比探索法

図5 各探索アルゴリズムの誤判定動作。

Fig.5. Operation of error output in each search algorithm.

11Vであることが確認できる。同様の条件を(12)式に代入すると11Vが算出され、動作図と式の整合性が取れていることが確認できる。

これらの式から校正不可時のエラー電圧は補正力によって緩和できることが確認できる。

次にこれらの式を用いて二進探索法と黄金比探索法にて抑制力の調査を Excel の数値計算で検証した。入力電圧は刻み幅 1V, 0~31V の範囲で入力、ノイズ段は 1-step のみ設け、そこにノイズ成分-10V,10V をそれぞれ重畳する。それを全 step パターン検証し、二進探索法の結果を図 6 に、黄金比探索法の結果を図 7 に示す。図中の横軸は入力電圧、縦軸は入出力電圧の差分を取っている。ただし、デジタル出力はエンコードによる十進数変換処理後の数値を扱っているとす。これらの図より、二進探索法と黄金比探索法の比較では後者の方が、最大入出力電圧差が±6V程小さいことが確認できる。これは校正不可時でもエラー電圧を入力電圧付近まで近づけていることを示唆している。すなわち、エラー抑制力の観点で黄金比探索法は二進探索法に対して優位性を持つことが確認できる。

## 6. まとめ

本論文では逐次比較近似 AD 変換器の補正範囲外に着目し、二進探索法、非二進探索法、黄金比探索法の 3 種類の探索法にて校正できない場合のエラー出力電圧の式の導出及び一般化を行った。この一般式を利用し、二進探索法と黄金比探索法の抑制力をシミュレーションにて比較・検討し、後者が抑制力の面で優れていることを示した。本検証法は冗長設計にて補正力の定量化プロセスの 1 つとして有効であると考えられる。今後は本プロセスを用いて他の冗長アルゴリズムと黄金比探索法を比較・検証していきたい。

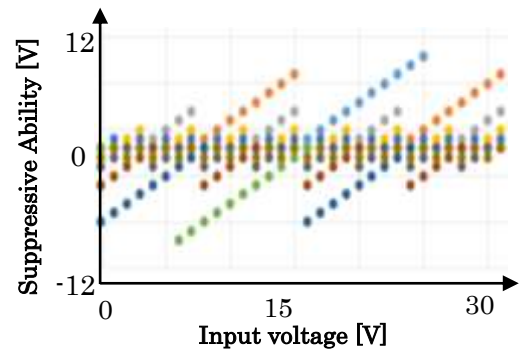


図6 二進探索アルゴリズムの抑制力。

Fig.6. Suppressive ability in binary search algorithm.

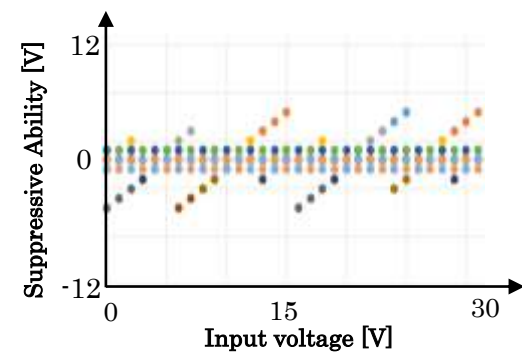


図7 黄金比探索アルゴリズムの抑制力。

Fig.7. Suppressive ability in Golden-ratio search algorithm.

## 文 献

- (1) F. Kuttner : "A 1.2V 10b 20MSample/s Non-Binary Successive Approximation ADC in 0.13μm CMOS", Tech. Digest of International Solid-State Circuits Conference, San Francisco (Feb. 2002)
- (2) T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori : "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- (3) T. Okazaki, D. Kanemoto, R. Pokharel, K. Yoshida, H. Kanaya : "A design technique for a high-speed SAR ADC using non-binary search algorithm and redundancy", Asia-Pacific Microwave Conference (Nov. 2013)
- (4) T. Okazaki, D. Kanemoto, R. Pokharel, K. Yoshida, H. Kanaya : "A Design Methodology for SAR ADC Optimal Redundancy Bit", IEICE Electronics Express, Vol.11, No.10, (Apr. 2014)
- (5) Y. Kobayashi, H. Kobayashi : "SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence", The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 2014)
- (6) Y. Kobayashi, S. Shibuya, T. Arafune, S. Sasaki, H. Kobayashi : "SAR ADC Design Using Golden Ratio Weight Algorithm", The 15th International Symposium on Communications and Information Technologies 2015, Nara, Japan (Oct. 2015).
- (7) 桜井進 (著): 「雪月花の数学」, 祥伝社黄金文庫 (2010年6月).