

# 多段構成オシロスコープ・トリガ回路の検討

櫻井翔太郎 滝上征弥 井田貴士 小澤祐喜 小林春夫 (群馬大学)  
塩田良治 (ソシオネクスト)

## Study of Multistage Oscilloscope Trigger Circuit

Shotaro Sakurai, Seiya Takigami, Takashi Ida, Yuki Ozawa  
Haruo Kobayashi (Gunma University) Ryoji Shiota (Socionext Inc.)

キーワード：トリガ回路，オシロスコープ，逐次比較近似時間デジタイザ 時間差ホールド回路  
(keywords: Trigger Circuit, Oscilloscope, SAR TDC, Time Difference Hold Circuit)

### 1. はじめに

オシロスコープ・トリガ回路はトリガ信号が入力されたタイミングで位相ゼロの正弦波(または余弦波)を出力する回路である. この論文ではこの回路に対して次の検討をしたので報告する.

- (1) テクトロニクス社から提案された2段構成及び3段構成トリガ回路[1]の動作を解析し CMOS 回路として構成して SPICE シミュレーションで動作を確認した.
- (2) 一般の N 段構成に拡張にできることを示した.
- (3) このトリガ回路が時間差情報を保持できる回路(時間差ホールド回路)として使用することを提案する.

逐次比較近似時間デジタイザ(SAR TDC) [3, 4] の前段に用いると, 繰り返し時間タイミングだけでなくワンショットのタイミングを測定できることを示す. すなわちこれまで「電圧情報は保持できるが, 時間差情報は保持できない」と思われていたが, 「時間差情報も保持できる」ことを示す.

### 2. オシロスコープ・トリガ回路の構成

テクトロニクス社から提案されたオシロスコープ・トリガ回路はその名の通りオシロスコープのトリガ部分に用いられる回路で, 入力トリガ信号のタイミングで位相ゼロの正弦波(または余弦波)を出力する(図 1). [1] 回路構成として, トラック&ホールド回路(図 2, 3), 乗算回路(図 4)の2つまたは3つの回路を組み合わせで実現できる(図 5, 図 8).

#### <2-1>トラック&ホールド回路

スイッチとキャパシタの構成で, スイッチが ON している間は入力電圧が出力電圧として現れる(トラックモード). スイッチが OFF している間はキャパシタに蓄電された時の直流電圧が出力される(ホールドモード).

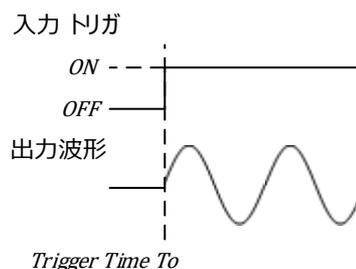


図 1. オシロスコープ・トリガ回路の出力  
Fig. 1 Oscilloscope-trigger circuit.

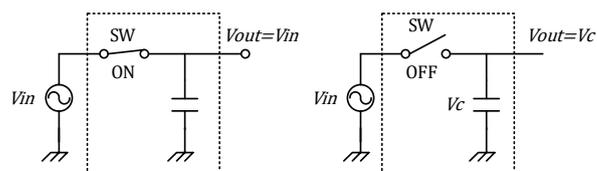


図 2. トラック&ホールド回路  
Fig. 2 Track and Hold circuit.

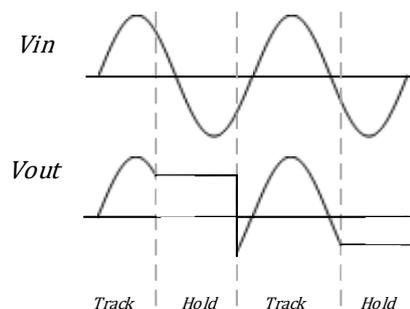


図 3. トラック&ホールド回路の動作  
Fig. 3 Output of the Track and Hold circuit.

<2-2>ギルバート乗算回路

図 4 に CMOS 構成での回路図を示す. 差動増幅回路を 2 つ縦積みした構成になっており, M1, M2 の CMOS は RF 差動入力電圧を電流に変換している. M3 から M6 までの CMOS は乗算機能を果たし, M1 と M2 に流れる RF 差動入力電流と M3 から M6 までの LO 差動入力電流が乗算され, 抵抗を通して差動出力電圧として出力される.

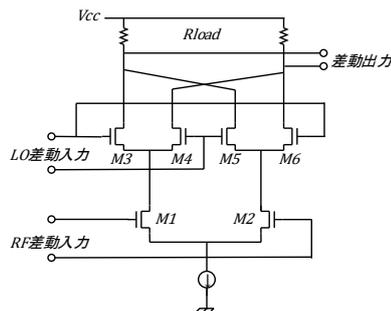


図 4.ギルバート乗算回路  
Fig. 4 Gilbert multiplier.

3. 2 段, 3 段構成オシロスコープ・トリガ回路の解析

<3-1>2 段構成オシロスコープ・トリガ回路

2 段構成オシロスコープ・トリガ回路(図 5)を解析する. まず, トラック&ホールド回路がトラックモードの時, 入力の自乗を足し合わせる形となり, 定数の出力を得る.

$$V_{o,Track} = \sin^2 \omega t + \cos^2 \omega t = 1 \quad (1)$$

次にトリガ時間  $t_0$  において, ホールドモードの出力は次のようになり,  $t_0$  において位相ゼロの余弦波の出力を得られることがわかる.

$$\begin{aligned} V_{o,Hold} &= \sin \omega t * \sin \omega t_0 + \cos \omega t * \cos \omega t_0 \\ &= \cos(\omega(t - t_0)) \end{aligned} \quad (2)$$

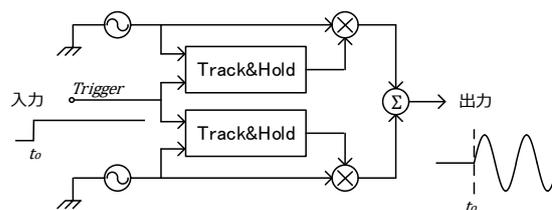


図 5.2 段構成オシロスコープ・トリガ回路  
Fig. 5 Two-stage oscilloscope-trigger circuit.

<3-2>3 段構成オシロスコープ・トリガ回路

3 段構成を図 8 に示す, 各信号源は次のようになる.

$$S_1 = \sin \omega t, \quad S_2 = \sin\left(\omega t + \frac{2\pi}{3}\right), \quad S_3 = \sin\left(\omega t + \frac{4\pi}{3}\right) \quad (3)$$

それぞれを以下のように演算する.

$$S_1(F_2 - F_3) + S_2(F_3 - F_1) + S_3(F_1 - F_2) \quad (4)$$

ここで,  $S_n$  は信号源,  $F_n$  はトリガのかかった信号源を表す. トリガがかかっていないトラックモードの場合,  $F_n = S_n$  となる. この演算は, リングレジスタのように各演算をずらせていくイメージである.  $F_n = S_n$  を代入すると, トラックモードの出力式は,

$$\begin{aligned} V_{o,Track} &= S_1 S_2 + S_2 S_3 + S_3 S_1 - (S_1 S_3 + S_2 S_1 + S_3 S_2) \\ &= 0 \end{aligned} \quad (5)$$

となり定数の出力が得られ, ホールドモードの出力式は,

$$V_0 = \frac{3\sqrt{3}}{2} \sin(\omega(t - t_0)) \quad (6)$$

と正弦波の出力を得ることを解析した.

<3-3>各回路の回路構成とシミュレーション

今回 SPICE シミュレーションにあたり, MOSIS 0.35 $\mu$ m CMOS プロセスパラメータを用いた.

2 段構成オシロスコープ・トリガ回路の CMOS 回路構成を図 6 に, シミュレーション波形を図 7 に示す. 3 段構成オシロスコープ・トリガ回路の CMOS 回路構成を図 9 に, SPICE シミュレーション波形を図 10 に示す. 各々の回路において, トリガの入力に対し, トラックモードとホールドモードでそれぞれ正弦波, 定数の出力が得られた. [4]

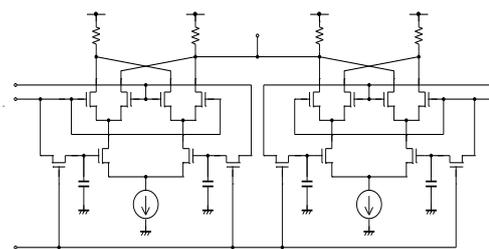


図 6.2 段構成オシロスコープ・トリガ回路の CMOS 構成  
Fig. 6 CMOS circuit of Fig. 5

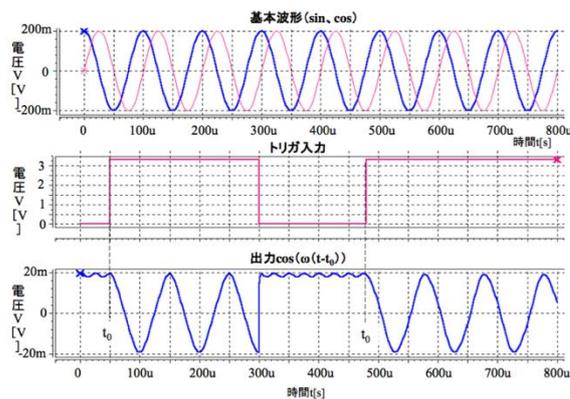


図 7.2 段構成オシロスコープ・トリガ回路のシミュレーション波形

Fig. 7 Simulated waveforms of Fig. 6.

4. N 段構成オシロスコープ・トリガ回路の出力一般式

N 段構成について入出力関係の一般式を導出する. 3 段までの構成から, 同様に段数を増やすことを考える. 段数を増やすことで用いる信号源の数も増え, 段数を N とすると, それぞれの信号源  $S_n$  は次のようになる.

$$S_n = \sin(\omega t + (n-1)\theta), \quad \theta = \frac{2\pi}{N} \quad (7)$$

出力式は以下の式で表せる.

$$\begin{aligned} V_N = & S_1(F_2 - F_3 - F_4 - \dots - F_{N-1} - F_N) \\ & + S_2(F_3 - F_4 - F_5 - \dots - F_N - F_1) \\ & + \dots + S_N(F_1 - F_2 - F_3 - \dots - F_{N-2} - F_{N-1}) \end{aligned} \quad (8)$$

ここで, 階差数列の一般項は,

$$a_N = a_1 + \sum_{k=1}^{N-1} f_k \quad (9)$$

で表せ,  $a_1$  は初項,  $f_k$  は階差を表す. 本回路の出力一般式が階差数列に則ると仮定すると, 階差は以下のように求めることができる.

$$\begin{aligned} f_k = & V_{k+1} - V_k \\ = & S_{k+1}(F_1 - F_2 - \dots - F_k) + S_k F_{k+1} \\ & - F_{k+1}(S_1 + S_2 + \dots - S_k) - 2S_k F_1 \\ = & F_{k+1} \left( S_k - \sum_{l=1}^{N-1} S_l \right) - 2S_k F_1 + S_{k+1} \left( F_1 - \sum_{m=2}^N F_m \right) \end{aligned} \quad (10)$$

ここで, 一般項の式に階差を代入する前に, 初項となるトリガ回路の段数を 2 段と仮定し, 一般項の式を変形すると,

$$\begin{aligned} a_N = & a_2 + \sum_{k=2}^{N-1} f_k \\ \ast a_2 = & S_1 F_2 + S_2 F_1 \end{aligned} \quad (11)$$

と表せる. よって, 階差式(10)を一般項の式(11)に代入すると, N 段オシロスコープ・トリガ回路の一般式は, 次のように導くことができる.

$$\begin{aligned} V_N = & a_2 + \sum_{k=2}^{N-1} \left[ F_{k+1} \left( S_k - \sum_{l=1}^{N-1} S_l \right) - 2S_k F_1 \right. \\ & \left. + S_{k+1} \left( F_1 - \sum_{m=2}^N F_m \right) \right] \end{aligned} \quad (12)$$

本一般式では, 2 段トリガ回路と 3 段以上のトリガ回路で回路構成が異なるため, (12)式では 3 段以上のトリガ回路についての一般式となる.

N 段オシロスコープ・トリガ回路においても, 2, 3 段と同様に構成した回路構成を図 11 に示す.

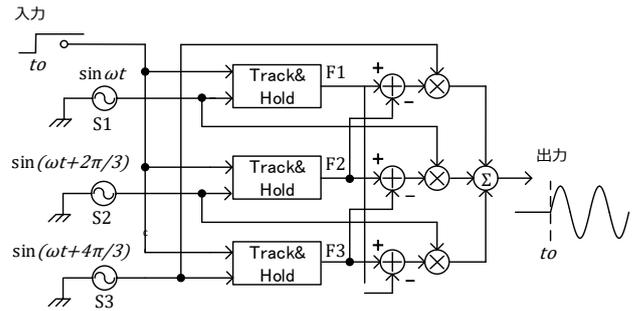


図 8.3 段構成オシロスコープ・トリガ回路  
Fig. 8 Three-stage oscilloscope-trigger circuit.

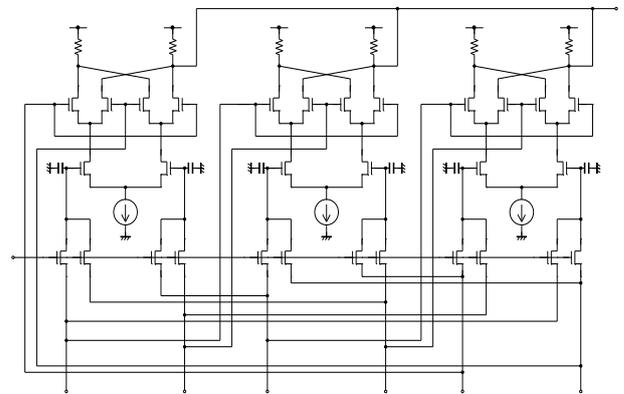


図 9. 3 段構成オシロスコープ・トリガ回路の CMOS 構成  
Fig. 9 CMOS circuit of Fig. 8.

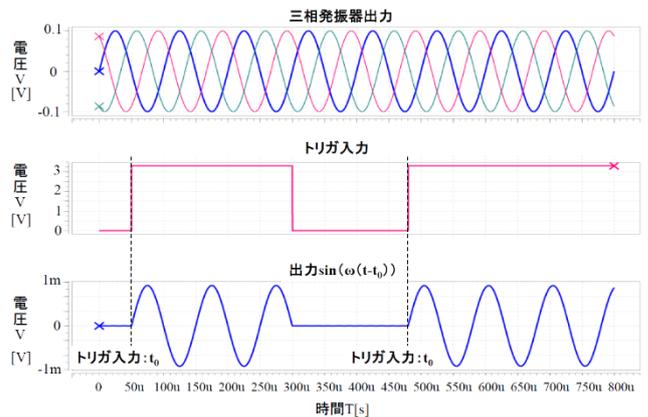


図 10. 3 段構成オシロスコープ・トリガ回路のシミュレーション波形  
Fig. 10 Simulated waveforms of Fig. 9.

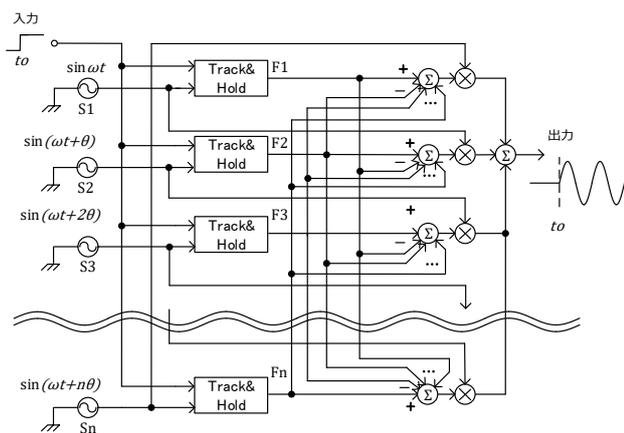


図 11. N 段構成オシロスコープ・トリガ回路  
Fig. 11 N- stage oscilloscope-trigger circuit.

### 5. SAR-TDC への適用

逐次比較近似時間デジタイザ(SAR TDC)とは、逐次比較型 ADC のアナログ出力電圧をアナログ入力電圧と一致させるように二進探索アルゴリズムで逐次比較して近づけていき出力をデジタル値に変換する原理を、時間をデジタル値に変換する TDC に適用したもので、二つの繰り返しクロック間の時間差測定に用いるための逐次比較型 TDC(図 12)が検討されている。[2, 3]

「SAR-TDC は電圧信号は保持できるが、時間信号を保持出来ない。そのため繰り返しタイミング信号のみが測定できる」と考えられてきたが、本オシロスコープ・トリガ回路を SAR-TDC の前段に用いることで単発信号も測定できる。図 13 に回路構成を、図 14 にタイミングチャートを示す。START と STOP 信号間のタイミング差を持つ Ck1, Ck2 の繰り返しクロックを生成できる。

### 6. まとめ

本研究では、オシロスコープ・トリガ回路の多段構成の検討を行うために N 段構成の出力一般式を導出した。本トリガ回路は、SAR TDC 前段に用いる構成を提案した。2つのトリガ回路を用いることで時間差を保持する機能を果たし、SAR TDC でワンショットタイミングの測定を可能にする。

本回路構成において、乗算器にギルバート乗算器を用いたが、ギルバート乗算器はトランジスタのばらつきによって、入力電位差が離れてしまい、乗算の近似出力ができなくなり、非線形な出力になってしまう問題がある。しかし、多段構成にすることで、回路に使用するトランジスタのばらつきを平均化でき、安定した出力を得られると期待している。また、サイズの小さいトランジスタを用いることで回路の集積と共に多段構成のトリガ回路を作成することができる。今後はこれらを検証していく。

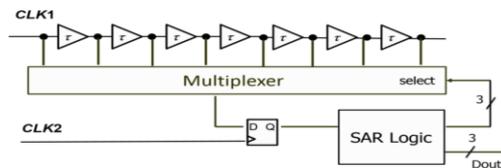


図 12 逐次比較型 TDC の構成

Fig. 12. SAR TDC configuration.

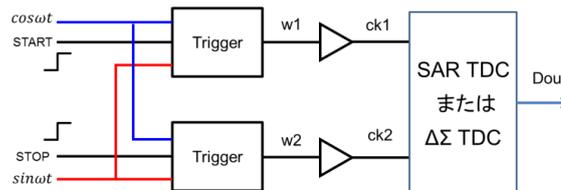


図 13 トリガ回路を前段に用いた SAR TDC

Fig. 13 SAR ADC circuit using the trigger circuits.

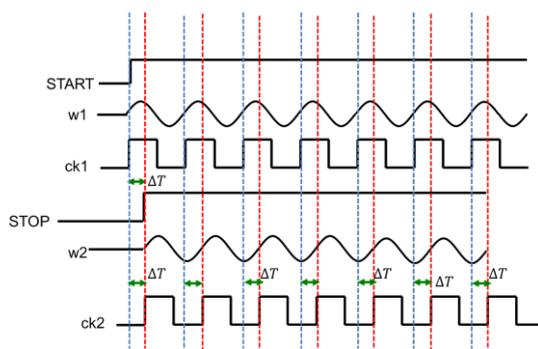


図 14 図 13 の回路におけるタイミングチャート

Fig. 14 Timing chart for the circuit of Fig.13.

### 文 献

- [1] M. Nelson, "A New Technique for Low-Jitter Measurements Using Equivalent-Time Sampling Oscilloscope", Automatic RF Techniques Group 56th Measurement Conference - Metrology and Test for RF Telecommunications, Boulder, Colorado (Dec. 2000).
- [2] R. Jiang, C. Li, M. Yang, H. Kobayashi, Y. Ozawa, N. Tsukiji, M. Hirano, R. Shiota, K. Hatayama, "Successive Approximation Time-to-Digital Converter with Vernier-level Resolution", 21th IEEE International Mixed-Signal Testing Workshop, Catalunya, Spain (July 2016)
- [3] 井田貴士, 小澤祐喜, 姜日晨, 小林春夫, 塩田良治 「2 ステップ逐次比較時間デジタイザの自己校正法とトリガ回路の検討」 電子情報通信学会 回路とシステム研究会, 日立製作所中央研究所 (2016年10月)
- [4] 滝上征弥, 群馬大学卒業論文 (2001年3月)

