

フィボナッチ数列重み付け逐次比較近似 AD 変換器と 黄金分割探索法の関係

新井 宏崇* 荒船 拓也 渋谷 将平 小林 佑太郎 小林 春夫 (群馬大学)

Fibonacci Sequence Weighted SAR ADC as Golden Section Search of Unimodal Function

Hiroataka Arai, Yutaro Kobayashi, Haruo Kobayashi

This paper presents the equivalence between a Fibonacci sequence weighted SAR ADC and an SAR ADC based on the golden section search algorithm using the unimodal function obtained by the absolute value of the difference between the input voltage and the output of the internal DAC. The golden section search is used for finding effectively the extreme value of the unimodal function. We have designed an SAR ADC configuration based on this golden section search, and we show that this is equivalent to the Fibonacci sequence weighted SAR ADC. We explain their principle, configuration, and operation as well as some simulation results.

キーワード：黄金分割探索法，逐次比較近似 AD 変換器，フィボナッチ数列，黄金比，冗長性
(Golden Section Search, SAR ADC, Fibonacci Sequence, Golden Ratio, Redundancy)

1. はじめに

車載用エレクトロニクス技術は自動車に付加価値や競争力を生む一つの方法として注目を集めている。車載用マイコンと組み合わせて使用される AD 変換器には分解能、消費電力、チップ面積の面で優れた逐次比較型 ADC が広く使用される。そして車載用エレクトロニクスの発展に伴い、その逐次比較近似 AD 変換器への性能要求が厳しくなっている。これらの背景のもと、筆者らは逐次比較近似 ADC のアルゴリズムの研究開発を行ってきた。高信頼性・高速性を実現するために冗長アルゴリズムを用いた逐次比較近似 AD 変換器 (SAR ADC) としてフィボナッチ数列重み付けを用いる方式を検討し、その様々な優れた性質を明らかにしてきた。[1-9]

本論文では単峰性関数の極値を求めるアルゴリズムである“黄金分割探索法”を、入力電圧と内部 DAC の出力の差の絶対値をとった単峰関数に適用したアルゴリズムに基づく SAR ADC とフィボナッチ数列重み付け SAR ADC が一致することを示す。

2. 逐次比較近似 ADC の構成と動作

SAR ADC は高分解能(8-18bit 程度)、中速サンプリング(5-20MSps 程度)の AD 変換器の実現に適している。低消費電力・小チップ面積の特徴から、自動車や工業用制御などで広く用いられている。またオペアンプを使用しない回路構成であるため微細 CMOS 実現に適する方式である。

SAR AD 変換器の構成要素は図 1 のようにサンプル&ホールド回路、DA 変換器(DAC)、コンパレータ、逐次比較レジスタ(SAR) ロジック回路、クロック発生回路の 5 つである。正確な変換のためには、サンプル&ホールド回路と DA 変換器に精度が必要である。

SAR AD 変換器の動作は“天秤の原理”を用い、一般には 2 進探索アルゴリズムを適用する。サンプル&ホールド回路でアナログ入力を保持し、コンパレータ(天秤)によって DA 変換器出力電圧(錘)と比較し、これら二入力の大小比較結果から出力デジタル値の 1 ビット分を決定する。続けて前ステップの比較結果によって SAR ロジック回路を動作させて比較電圧の大きさを決定し、DA 変換器を通してアナログ信号に変換する。このようにして変更された比較電圧とサンプル&ホールド回路からの入力電圧とを一回目と同様に比較する。これらの比較操作と比較電圧変更操作を繰り返してアナログ信号をデジタル信号へ変換する。

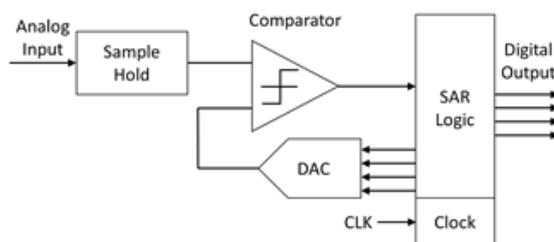


図 1. 逐次比較近似 ADC の構成図
Fig. 1. Block diagram of an SAR ADC

図2に2進探索アルゴリズム 4-bit 逐次比較近似 AD 変換器の探索動作図を示す。図2での太線の部分が各ステップでの比較電圧の大きさであり、これらの値と入力電圧値を逐次比較することで最終デジタル値を得る。比較電圧より入力アナログ電圧値が大きければコンパレータは1を、逆であれば0を出力する。一般的に比較電圧の大きさは、2進重みの加減算から構成される数字を使って比較しており、時間(ステップ数的)に無駄がなく効率は一番良い。

しかしながら2進重みづけ SAR ADC は一度比較誤りがあると正しいデジタル出力値が得られないので、冗長アルゴリズムを用いることを研究してきている。

3. 逐次比較近似 ADC の構成と動作

(1) 黄金分割法

黄金分割法は、単峰関数の極値を効率的に求める際の探索アルゴリズムである(図3)。関数の極値が存在する区間を定めると、区間内の二点の関数値を比較することができれば、極値の存在する区間を縮小していくことで極値を求められる。区間を一定の比率で無限に分割する方法を考えると区間を

$$X : 1 = 1 : X - 1 \quad \text{すなわち} \quad X^2 - X - 1 = 0$$

を満たすように分割する。このXは黄金比(=1.61803...)となるため、この極値探索アルゴリズムは黄金分割法と呼ばれる。

Step	1	2	3	4	output
Weight	8	4	2	1	
LEVEL	15				15
	14				14
	13				13
	12				12
	11				11
	10				10
	9				9
	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

図2. 4-bit SAR ADC の2進探索アルゴリズム
Fig.2 Binary search algorithm of a 4-bit SAR ADC.

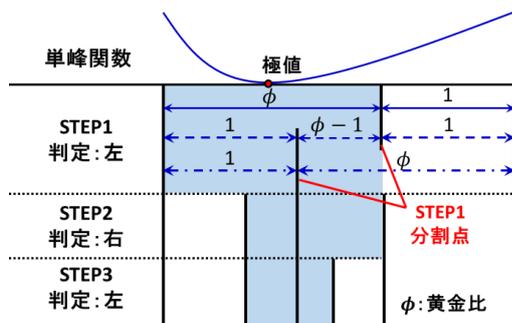


図3. 黄金分割法による単峰関数の極値探索
Fig. 3 Golden section search algorithm.

黄金分割法の極値探索を図3に示す。薄青塗の部分が極値の存在範囲と判定する。黄金分割法は一定の比率で区間を縮小するため収束性が保証され、測定回数が限られているとき最も小さい区間に縮小できることが証明されている。

(2) フィボナッチ探索法

黄金分割法は整数区間を小数である黄金比で分割するために、整数のみを扱うADCと相性が悪い。そこでADC設計への応用にフィボナッチ探索法の適用を検討した。フィボナッチ数列とは以下の漸化式で定義される数列である。[10-11]

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1} \quad (1)$$

初めの数項を計算すると以下の整数値となる。

0, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233...

また隣り合う項の比率は以下の黄金比に収束する。

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 \quad (2)$$

すなわちフィボナッチ数列において隣り合う項の和が次の項になり、隣り合う項の比率が黄金比である。

フィボナッチ探索法はこれらの性質を利用し、黄金分割をフィボナッチ数の並びで置き換える(図4)。フィボナッチ数法は黄金分割法(の近似)を整数で行う方法であり、黄金分割法を用いたADCの実現はフィボナッチ探索法を用いて設計できると考察した。

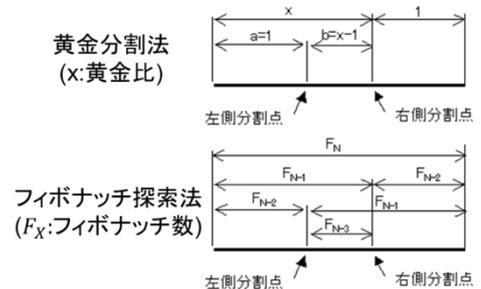


図4. 黄金分割探索法とフィボナッチ探索法

Fig. 4 Golden section search algorithm and Fibonacci search algorithm.

Step	1	2	3	4	5	6	output
Weight	8	5	3	2	1	1	
LEVEL	16						16
	15						15
	14						14
	13						13
	12						12
	11						11
	10						10
	9						9
	8						8
	7						7
	6						6
	5						5
	4						4
	3						3
	2						2
	1						1
	0						0
	-1						-1

図5. 4-bit のフィボナッチ数列重み付け SAR ADC
Fig. 5 Fibonacci-sequence-weighted 4-bit SAR ADC

4. フィボナッチ数列重み付け SAR ADC

式(1)からフィボナッチ数列は整数のみで構成される数列である。式(8)から隣り合う項の比率は黄金比の約 1.62 になる。別の表現をすると、端数処理がまったく使われていない整数のみで、基数が黄金比である約 1.62 進の数列を実現できる。一般に整数の小数倍は小数となるが、フィボナッチ数列は整数の小数倍(約 1.62 倍)が整数となる。整数項で一定比率を保持できるフィボナッチ数列の性質を用いて SAR ADC の設計を行う。

SAR ADC をフィボナッチ数列重みにするため k ステップ目での比較電圧重み a_k の変更を行う。式(3)のように比較電圧重みを小さいほうからフィボナッチ数の大きさに決定する。

$$a_1 = 2^{N-1}$$

$$a_k = F_{M-k+1} \quad (3)$$

フィボナッチ数列の性質に従えばこの方法で整数のみの約 1.62 進を実現できる。このとき利用する総ステップ数 M は、従来法と同様に式(4)を満たすように決定する。

$$2^{N-1} - 1 \leq \sum_{i=0}^{M-2} p(M-i) \quad (4)$$

フィボナッチ数列を組み合わせた 4-bit 6-step の SAR ADC の解探索動作を図 5 に示す。最初のステップは入力フルスケールの半分を選択し、以降は式(3)にしたがってフィボナッチ数重みで実現している。図 5 で太線が比較電圧である。

5. 黄金分割探索 SAR ADC

SAR ADC 入力電圧と内部 DAC 出力の差の絶対値を取ると図 6 のようになる(入力 2.7 の場合である)。これは極小値を持つ単峰関数であるため 黄金分割法を用いることができる。黄金分割探索法を用いた 4-bit の AD 変換の解探索を図 7 に示す(入力 10.7 の場合である)。図 7 において外側の二本の太い実線が解の存在可能範囲を表し、破線が入力電圧、鎖線が比較電圧である。

動作は黄金分割法とはほぼ同じである。どちらの分割点で探索範囲を縮小するかをコンパレータが入力電圧と解の存在範囲の中間点である比較電圧を比較することで決定し、入力の存在範囲を限定(狭く)していく。フィボナッチ数の性質より最後は必ず整数の比較が行われデジタル値へ変換できる。コンパレータの出力は入力電圧が比較電圧より大きいと判定したとき 1 を出力し、小さいと判定したときは 0 を出力する。

この黄金分割探索 SAR ADC の回路は、図 1 の従来の SAR ADC の回路を使用し、DAC の構成にフィボナッチ数列重みづけを使用する。その DAC の構成図を図 8 に示す。この回路ははじめにスイッチ S_L を ON にして、全体の半分の電圧である $10I$ を DAC から出力し、その電圧と入力電圧をコンパレータで比較する。コンパレータの出力が 0 のときは S_L を OFF にし、1 のときは S_R を ON にすることで解の存在範囲を絞っていく。解の存在範囲が 2 つまで絞られた

ところで、そのときのコンパレータの値が 0 のときは(DAC の入力値) - 1 を出力するデジタル値とし、1 のときは DAC の入力値を出力するデジタル値とする。

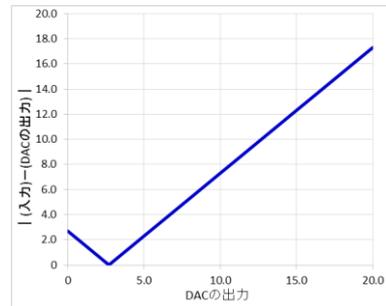


図 6. 入力電圧と DAC の出力電圧の差の単峰関数 (入力が 2.7 の場合)

Fig. 6 Unimodal function of the absolute value of the difference between the input (=2.7) and the DAC output.

回数	1st	2nd	3rd	4th	5th
20					
19					
18					
17					
16					
15					
14					
13					
12					
11					
10					
Level					
9					
8					
7					
6					
5					
4					
3					
2					
1					
0					
-1					

図 7. 黄金分割探索法を用いた 4-bit SAR ADC

Fig. 7 4-bit SAR ADC using golden section search

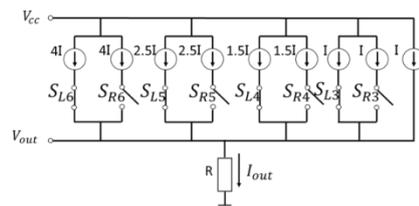


図 8. 黄金分割探索 SAR ADC 用内部 DAC の構成例
Fig. 8 DAC configuration example of the SAR ADC based on golden section search algorithm.

6. 数式での証明・シミュレーション

ここでは k-ステップ目の DAC 出力電圧であり、比較電圧でもある数列を a_k とし、DAC 構成から a_k を数式で表す。この a_k とシミュレーションを行った DAC 出力電圧のグラフを比較し、 a_k の表現式が正しいことを検証する。

(1) 数式での証明

検討している黄金分割探索 SAR ADC がフィボナッチ数列重み付け SAR ADC と一致することを証明する。

入力電圧を V_{in} とする。フィボナッチ数列は(1)式のようになり、フィボナッチ数列を最大値から累算を行った数列を次のようにおく。

$$\begin{aligned} S_1 &= F_n \\ S_2 &= F_n + F_{n-1} \\ S_n &= F_n + F_{n-1} + \dots + F_1 \end{aligned} \quad (5)$$

a_k は図8より1回目の比較電圧は全体の半分の電流であるので次のようになる。

$$a_1 = \frac{S_n}{2} \quad (6)$$

2回目以降の比較電圧を求める。

$a_k < V_{in}$ のとき： S_{Lk} がOFFのため次式を得る。

$$a_{k+1} = a_k - \frac{F_{n-k+1}}{2} \quad (7)$$

$a_k > V_{in}$ のとき： S_{Rk} がONのため次式を得る。

$$a_{k+1} = a_k + \frac{F_{n-k+1}}{2} \quad (8)$$

(9)式を用いて(10)式の数列を解くと次式を得る。

$$a_k = \frac{S_n}{2} - \frac{S_k}{2} \quad (9)$$

同様に(9)式を用いて(11)を解くと次のようになる。

$$a_k = \frac{S_n}{2} + \frac{S_k}{2} \quad (10)$$

よって $2a_k$ は次のように表すことができる。

$$2a_k = (F_n + F_{n-1} + \dots + 1) + (\pm F_n \pm F_{n-1} \pm \dots \pm F_{n-n+1}) \quad (14)$$

(14)式より $2a_k$ はすべてフィボナッチ数で表すことができる。ゆえにこの回路はフィボナッチ数列重み付け SAR ADC と一致することが証明された。

(2) シミュレーションでの確認

まず(12)式、(13)式が正しいことを示すために $V_{in} = 0, S_n$ のとき、例として4パターンのシミュレーションを行った。 $n = 26$ として① $V_{in} = 0, ②V_{in} = S_n = 317810$, ③ $V_{in} = (1.2349/2)S_n = 196231.78$, ④ $V_{in} = (0.35931/2)S_n = 57096.156$, ⑤ $V_{in} = (1.7325/2)S_n = 275302.91$, ⑥ $V_{in} = (0.8469/2)S_n = 134576.64$ のときのシミュレーションを行った $2a_k$ のグラフを図9に示す。

図9は(9)式、(10)式、(11)式を用いて実際の SAR ADC の動作を想定して Scilab を用いてシミュレーションを行った。

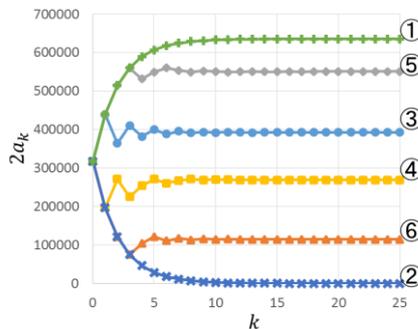


図9. $V_{in} = 0, S_n, (1.2349/2)S_n, (0.35931/2)S_n,$

$(1.7325/2)S_n, (0.8469/2)S_n$ のときの比較電圧のグラフ

Fig. 9 Graph of comparator input (DAC output) voltage

in case of $V_{in} = 0, S_n, (1.2349/2)S_n, (0.35931/2)S_n,$

$(1.7325/2)S_n, (0.8469/2)S_n$

図9より①は0, ②は $S_n = 635620$, ③は392462, ④は114192, ⑤は550604, ⑥は269152に収束しており, これらは期待通りの動作をしているため, (12)式, (13)式は正しいことがわかる。

ここでは $V_{in} = 0$ を用いて(12)式を, $V_{in} = S_n$ を用いて(13)式を検証した。(12)式は(9)式を用いて(10)式を解いたものであり, (13)式は(9)式を用いて(11)式を解いたので, (9)式と(10)式, (11)式が検証できたといえる。

黄金分割探索 SAR ADC の比較電圧は1回目は(9)式, 2回目以降は(10)式または(11)式が用いられる。そのため $V_{in} = 0, S_n$ の2通りのシミュレーションのみで V_{in} が $0 \sim S_n$ のすべての値が期待値に収束する。

7. まとめ

本論文では, 逐次比較近似 ADC で単峰関数の極値を求めるアルゴリズムである黄金分割法を, 入力電圧と DAC の出力電力の絶対値を取った単峰関数に適用した構成を検討した。その結果の SAR ADC はフィボナッチ数列重み付け SAR ADC と一致することを確認した。これはこれまで筆者らが研究を行ってきたフィボナッチ数列重み付け SAR ADC の興味深い性質の一つである。

文 献

- (1) T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, pp.415-423 (Feb. 2010).
- (2) 新井宏崇, 小林佑太郎, 小林春夫「フィボナッチ数列重み付け逐次比較近似ADCと単峰関数の黄金分割探索法との関係の考察」電子情報通信学会 回路とシステム研究会, 東京 (2016年10月)
- (3) 小林佑太郎, 香積正基, 楊志翔, 小林春夫, "ADC/DAC のフィボナッチ数列を用いた冗長性設計の検討", 電気学会 電子回路研究会, 奈良(2013年10月).
- (4) 小林佑太郎, 小林春夫 「逐次比較近似ADCの整数論に基づく冗長アルゴリズム設計」電気学会 電子回路研究会, 鳥根 (2014年7月)
- (5) Y. Kobayashi, H. Kobayashi, "Redundant SAR ADC Algorithm Based on Fibonacci Sequence", Advanced Micro-Device Engineering VI, Key Engineering Materials pp.117-126 (2016).
- (6) Y. Kobayashi, H. Kobayashi, "Redundant SAR ADC Algorithm Based on Fibonacci Sequence", Advanced Micro-Device Engineering VI, Key Engineering Materials, pp. 117-126 (2016).
- (7) Y. Kobayashi, S. Shibuya, T. Arafune, S. Sasaki, H. Kobayashi, "SAR ADC Design Using Golden Ratio Weight Algorithm", The 15th International Symposium on Communications and Information Technologies, Nara, Japan (Oct. 2015).
- (8) T. Arafune, Y. Kobayashi, S. Shibuya, H. Kobayashi, "Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology", IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 2015).
- (9) H. Kobayashi, H. Lin, "Analog/Mixed-Signal Circuit Design based on Mathematics", IEEE 13th International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016).
- (10) 中村滋(著):フィボナッチ数の小宇宙, 日本評論社 (2002年9月).
- (11) A. S. Posamentier, I. Lehmann (著), 松浦俊輔 (訳): 不思議な数列フィボナッチの秘密, 日経BP社 (2010年8月).