

ラテン方陣, 魔方陣レイアウトアルゴリズムによる セグメント型 DA 変換器の線形性向上

姚丹 孫逸菲 東野将史 荒船拓也 小林春夫 (群馬大学)

DAC Linearity Improvement With Layout Technique Using Latin and Magic Squares
Dan Yao, Yifei Sun, Masashi Higashino, Takuya Arafune, Haruo Kobayashi (Gunma Univ.)

This paper proposes using Latin and magic square layout techniques to improve the linearity of a segmented DAC to cancel systematic mismatch effects among unit current (or capacitor) cells. Simulation results and discussions are shown for comparison among magic square, random walk and regular layout techniques.

キーワード: ラテン方陣, 魔方陣, DA 変換回路, 線形性, ミスマッチ, レイアウト
(Latin Square, Magic Square, DAC, Linearity, Mismatch, Layout)

1. はじめに

電子機器は高速化, 小型化が求められており, デジタル回路はそれらに適している. デジタル化の進展に伴い, 多くの電子機器には DA 変換器(DAC) が搭載されている. 半導体素子を構成しているシリコンウェハ上では, MOSFET 特性, R, C 値等にシステムティックな相対ばらつきが存在する(特性, 値がレイアウト配置により傾斜をもつ). これにより DAC 入出力特性の線形性劣化の問題がある. そこで本論文では, セグメント型 DA 変換器の線形性の向上を検討した. ラテン方陣, 魔方陣(Magic Square) [1-3] を用いた単位電流セル(または単位容量セル) 配列のレイアウト方法により, 1 次及び 2 次システムティックミスマッチの影響をキャンセルする方法を検討した.

2. セグメント型 DA 変換器の構成と動作

DA 変換器は, バイナリ(Binary) 型とユナリ(Unary) 型があり, 両者を組み合わせたものがセグメント型である.

バイナリ型とは, 2 進数の要素を加算するものである. ユナリ型は, 2 進数データを一旦デコードし, 数値に変換してから単位要素をその個数分加算するものである[6][7].

ユナリ型は, 最小単位の電圧, 電荷もしくは電流を $2^N - 1$ 個用意し, デジタル値に応じて加算することで DA 変換を実現する. 図 2 は電流源を用いたものである. デコーダにより, 2 進データをデコードし, そのデジタルデータに応じた単位要素分の電流源を ON にすることで, アナログ信号に直すものである.

ユナリ型は, 素子のミスマッチがあっても, バイナリ型と比べて出力信号への影響が少ない. グリッチも小さく単調性も原理的に保証される. 素子数が多くなってしまうのが欠点である. 高線形性の DA 変換器を実現しようとする単位セル(図 1 の単位電流 I) 間の相対ミスマッチが問題になり, この影響を軽減するレイアウト技術を論じる.

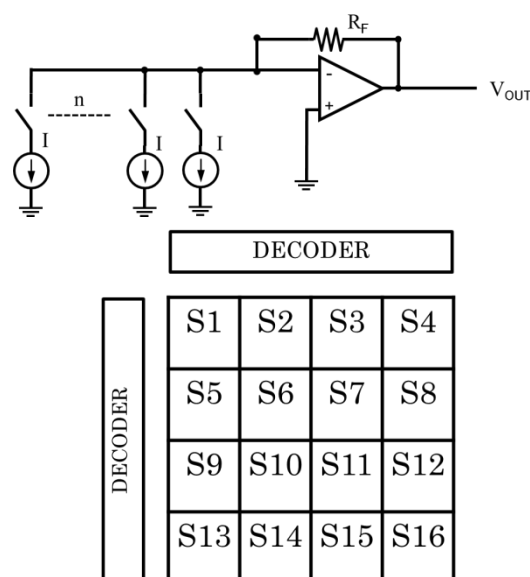


図 1 ユナリ型 DA 変換器と単位電流セルのレイアウト
Fig. 1. Unary DAC circuit and layout of unit cell array.

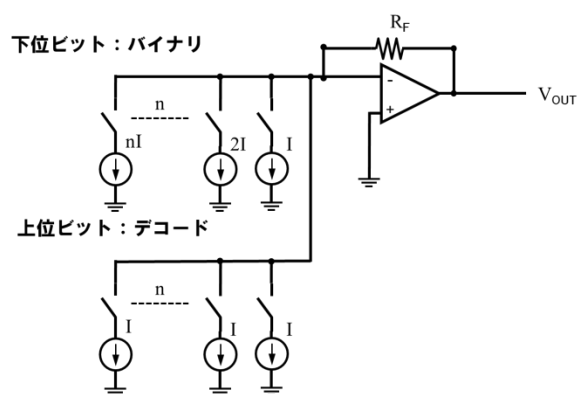


図 2 セグメント型 DA 変換器
Fig. 2. Segmented DAC

多くの DA 変換器では, バイナリ型とユナリ型を組み合わせたものが用いられている. 上位ビットには素子感度の低いユナリ型を用い, 下位ビットでは, 素子数の少ないバ

イナリ型が用いられる。これにより、高精度な DA 変換器を適正な回路規模・消費電力で実現できる。

3. 回路素子特性のばらつき

回路を構成している素子は IC チップ上で特性の製造ばらつきが生じる。配置(場所)によるシステムティックなばらつきと、配置に依存しないランダムなばらつきが存在する。これにより、DA 変換器の入力信号と出力信号は、本来であれば線形関係にあるはずであるが、非線形になってしまう問題がある。各ばらつきの原因について示す[4-8]。

1) システムティックなばらつき

- ・配線での電圧降下
- ・温度分布
- ・CMOS の製造プロセス
 - a) ドーピング分布
 - b) 酸化膜の厚さによる、しきい値電圧の変化
- ・ウエハ面内の精度
- ・機械的ストレス

2) ランダムなばらつき

- ・デバイスのミスマッチ

システムティックなばらつきは、配置による一次の二次の傾斜のばらつきがある。回路上では、それらを足し合わせたものが、実際のばらつきとなって回路動作に影響してくる。一次及び二次のばらつきに関して以下に示した。

1) 一次の傾斜のばらつき(Linear gradient)

- ・配線での電圧降下
- ・CMOS の製造プロセス

2) 二次の傾斜のばらつき(Quadratic gradient)

- ・温度分布
- ・ウエハ面内の精度
- ・機械的ストレス

上記のばらつきは、セグメント型 DA 変換器の入出力信号の線形性に大きく影響する。DA 変換器を構成する電流源のばらつきを図 3, 45 に示した。(x, y) をその素子のチップ上での位置の座標とすると一次及び二次のばらつきは、以下の式で表される。

1) 一次

$$\varepsilon_l(x, y) = g_l * \cos \theta * x + g_l * \sin \theta * y$$

θ : 傾きの角度, g_l : 傾きの大きさ

2) 二次

$$\varepsilon_q(x, y) = g_q * (x^2 + y^2) - a_0$$

g_q : 変化量, a_0 : 位置

3) 一次+二次

$$\varepsilon_j(x, y) = \varepsilon_l(x, y) + \varepsilon_q(x, y)$$

システムティックなばらつきの DA 変換器の線形性への影響は、回路のレイアウト技術により緩和できることが知られている。セグメント型 DA 変換器の場合、従来方法である酔歩(random walk) によりばらつきを軽減し、線形性を向上させている。

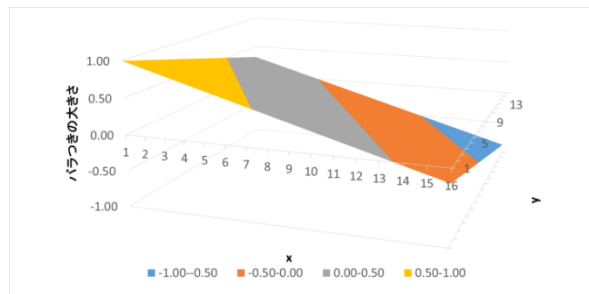


図 3 一次のばらつき

Fig. 3. Linear error

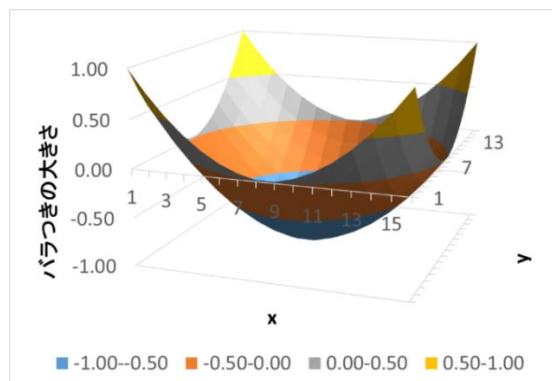


図 4 二次のばらつき

Fig. 4. Quadratic error

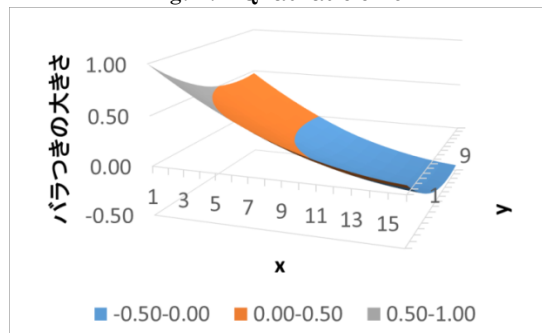


図 5 一次+二次のばらつき

Fig. 5. Linear and quadratic joint errors

4. 魔方陣について

魔方陣には、各行・列・対角成分の要素の和が全て一定である性質をもつ。この性質から、ユニタリ型 DA 変換器の単位セルの配列のバランスがよいのではと考え、DA 変換器におけるレイアウトに応用できる(システムティックの影響を軽減できる)のではないかと考えた。

〈4-1〉魔方陣の性質

魔方陣とは、1 から始まる連続した自然数を $n \times n$ の基盤の目状に並べ、各行、列及び対角線上の数の和が全て等しいものである(定和性)。各行、列、対角線上に含まれる数が n 個であることから、一般 $n \times n$ である魔方陣を n 次の魔方陣あるいは n 次方陣と呼ぶ。また、 n 次方陣の各行、列、対角線要素の定和 S は、以下の式で表される。

$$S = \frac{n^2(n^2+1)}{2}$$

図 6 に示した魔方陣は、各行・列・対角成分の要素の和が全て一致していることが確認できる。

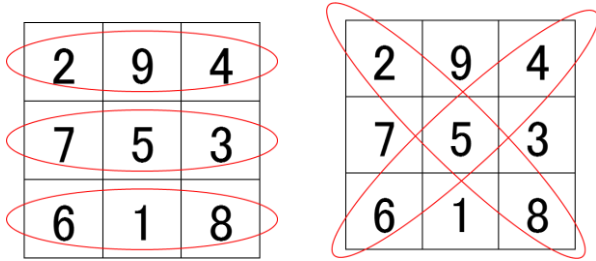


図 6 定和性の一致

Fig. 6. Equivalent constant sum characteristics.

これら性質を利用して、電流源を用いたセグメント型 DA 変換器のスイッチング順序に魔方陣を利用することによって、システムティックなばらつきを軽減できるのではないかと考え、魔方陣による単位セルレイアウトのアルゴリズムを考察した。

同心魔方陣は、魔方陣の外側からひと側ずつ取り除いていっても、残る部分が常に定和性を失わないものである。解析で用いた 8 次の同心魔方陣を図 7 に示す。この方陣を 4 つ組み合わせることにより、8bit のセグメント型 DA 変換器を実現する。

59	5	4	62	63	1	8	58
9	18	17	49	50	42	19	56
55	20	28	33	29	40	45	10
54	44	38	31	35	26	21	11
12	43	39	30	34	27	22	53
13	24	25	36	32	37	41	52
51	46	48	16	15	23	47	14
7	60	61	3	2	64	57	6

図 7 8 次同心魔方陣

Fig. 7. Eighth-order concentric magic square

〈5・1〉同心魔方陣を用いたアルゴリズム

図 11 に示した同心魔方陣を 4 つ組み合わせさせた 8bit の場合をシミュレーションで線形性の確認をした

〈5・2〉解析結果と考察

1) 一次のばらつき

最大値は、±1 になるように設定し、角度 θ のみを変化させて、そのときの INL (積分非直線性) の変化を調べた。一次のばらつきでは、Random Walk よりも同心魔方陣を用いたアルゴリズムの方が、ばらつきを軽減できた。

2) 二次のばらつき

二次のばらつきでは、同心魔方陣を用いるより Random Walk アルゴリズムのほうが非線形性低減できた。

3) 一次+二次のばらつき

一次の方が大きい場合は同心魔方陣のアルゴリズムが適

しており(図 10)、二次の方が大きい場合は Random Walk が適している(図 11)ことがわかった。

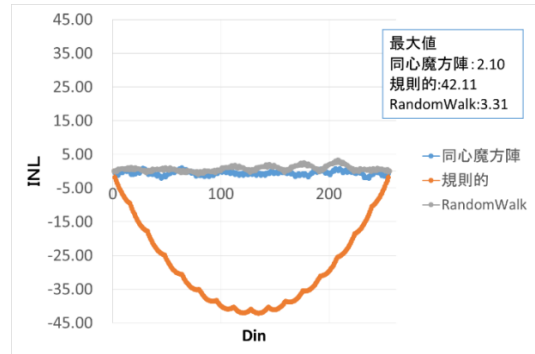


図 8 $\theta = 30^\circ$ の時の INL シミュレーション結果

Fig. 8. Simulated INL ($\theta = 30^\circ$)

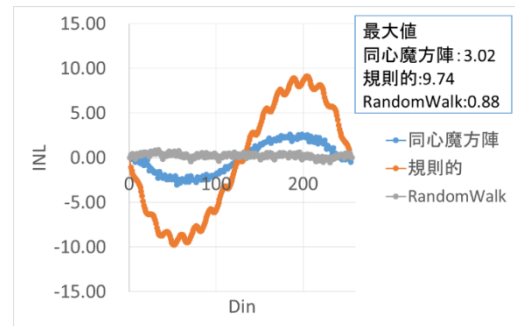


図 9 二次のばらつきのシミュレーション結果

Fig. 9. INL in case of quadratic gradient error

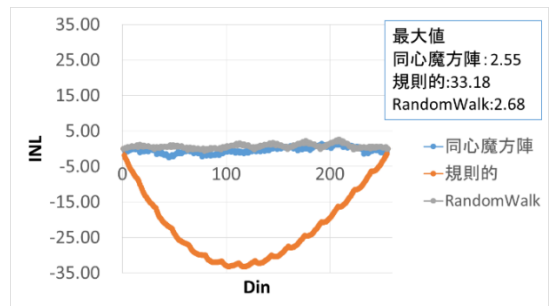


図 10 一次の方が二次より大きい場合の解析結果

Fig. 10. Simulated INL when linear gradient error is bigger than quadratic gradient error.

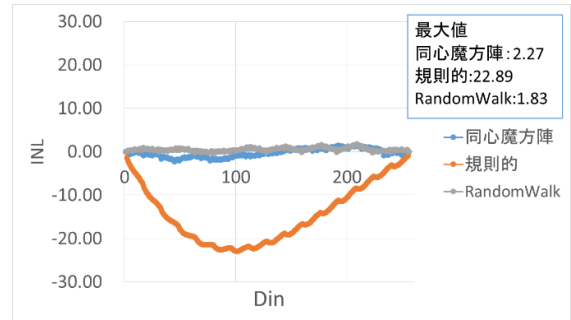


図 11 二次の方が一次より大きい場合の解析結果

Fig. 11. Simulated INL when quadratic gradient error is bigger than linear gradient error.

6. ラテン方陣

ラテン方陣とは n 行 n 列の表に n 個の異なる記号を、各記号が各行および各列に 1 回だけ現れるように並べたものである。(図 12) [9,10] とくに図 12 (b)の構成を標準ラテン方陣とよぶ。数学者のオイラー (Leonhard Euler 1707-1783) 等によって研究された。

1	2	3	4
3	4	1	2
4	3	2	1
2	1	4	3

1	2	3	4
2	3	4	1
3	4	1	2
4	1	2	3

図 12 (a) 4x4 ラテン方陣 (b) 4x4 標準ラテン方陣
Fig. 12 (a) 4x4 Latin Square (b) 4x4 Standard Latin Square

6bit (8x8) の場合の規則的レイアウト (図 13), コモンセントロイドレイアウト (図 14), 標準ラテン方陣レイアウト (図 15) で一次、二次傾斜のばらつきの場合の DA 変換器の線形性の比較を行った。

1	2	3	4	5	6	7	8
9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24
25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40
41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56
57	58	59	60	61	62	63	64

図 13 電流源の規則的レイアウト

Fig. 13 Regular layout of 2D array of current cells

1	7	4	6	2	8	3	5
7	2	5	8	4	1	6	3
4	5	2	3	7	6	1	8
6	8	3	1	5	7	4	2
2	4	7	5	1	3	8	6
8	1	6	7	3	2	5	4
3	6	1	4	8	5	2	7
5	3	8	2	6	4	7	1

図 14 電流源のコモンセントロイドレイアウト

Fig. 14 Common centroid layout of 2D array of current cells

1	2	3	4	5	6	7	8
2	3	4	5	6	7	8	1
3	4	5	6	7	8	1	2
4	5	6	7	8	1	2	3
5	6	7	8	1	2	3	4
6	7	8	1	2	3	4	5
7	8	1	2	3	4	5	6
8	1	2	3	4	5	6	7

図 15 電流源の標準ラテン方陣レイアウト

Fig. 15 Standard Latin square layout of 2D array of current cells

一次傾斜ばらつきの場合の数値シミュレーション結果を図 16 に、二次傾斜ばらつきの場合の結果を図 17 に示す。ラテン方陣とコモンセントロイド法はほぼ同等の線形性であることがわかる。

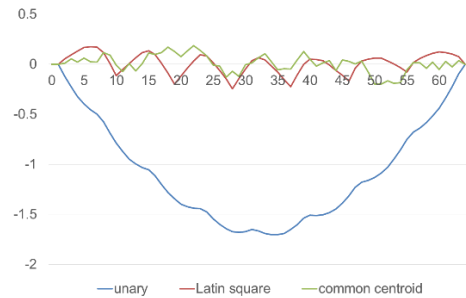


図 16 一次傾斜ばらつきの場合の INL

Fig. 16 Simulated INL in case of linear gradient

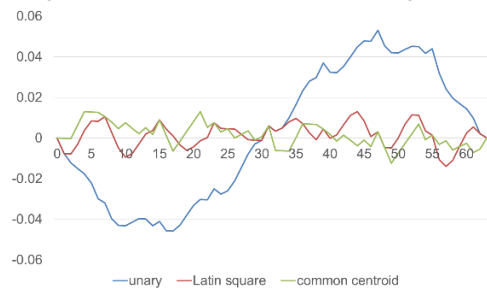


図 17 一次傾斜ばらつきの場合の INL

Fig. 17 Simulated INL in case of linear gradient

ラテン方陣はコモンセントロイド的に電流源選択を行いアルゴリズムを改良できる余地がある。

7. まとめ

この論文では、魔方陣、ラテン方陣を用いて電流源を用いたセグメント型 DA 変換器の入出力関係の線形性向上を考案した。魔方陣、ラテン方陣の配列を工夫することにより擬似乱数を再現し、従来の技術である Random Walk, コモンセントロイド法よりも線形性が向上できる可能性があることを示した。

文 献

- (1) 大森清美「魔方陣の世界」、日本評論社 (2013 年 8 月)。
- (2) 佐藤肇「幾何学の魔術-魔方陣から現代数学」日本評論社 (2002 年)。
- (3) 東野将史, 小林春夫「セグメント型 DA 変換器の魔方陣レイアウト技術による線形性向上」電気学会 電子回路研究会 (2014 年 10 月)
- (4) Xueqing Li, et. al., "Balanced Switching Schemes for Gradient-Error Compensation in Current-Steering DACs", IEICE Trans. Electron, (Nov. 2012).
- (5) Yonghua Cong, et. al., "Switching Sequence Optimization for Gradient Error Compensation in Thermometer-Decoded DAC Arrays", IEEE Trans. Circuits and Systems II, (July 2000)
- (6) A. M. Geert, et. al., "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC", IEEE Journal of Solid-State Circuits, (Dec. 1999).
- (7) Ko-Chi Kuo, Chi-Wei Wu, "A Switching Sequence for Gradient Error Compensation in the DAC Design", IEEE Trans. Circuits and Systems II (Aug 2011).
- (8) Takahiro Miki, et. al., "An 80-MHz 8-bit CMOS D/A Converter", IEEE Journal of Solid-State Circuits (Dec. 1986).
- (9) 大村平 「数理パズルの話」、日科技連 (1998 年)
- (10) 芳沢光雄「いかにして問題をとくか 実践活用編」丸善出版 (2012 年)