

逐次比較時間デジタイザの高性能化の検討

井田 貴士* 小澤 祐喜 小林 春夫 (群馬大学)
塩田 良治 ((株)ソシオネクスト)

Design Consideration of High Performance SAR TDC
Takashi Ida*, Yuki Ozawa, Haruo Kobayashi, (Gunma University)
Ryoji Shiota, (Socionext Inc.)

This paper describes three techniques for a high performance successive-approximation-register time-to-digital converter (SAR TDC) measuring the time difference between two timing signals. (1) Two-step SAR TDC configuration for fine time resolution. (2) PVT fluctuation correction of delay cells for absolute value measurement of the time difference. (3) Employment of a trigger circuit in front of the SAR TDC for measurement of not only repetitive timing signal but also one shot timing signal. We show their principle, circuit configuration, operation, and simulation results.

キーワード：時間デジタイザ回路, 逐次比較, バーニア遅延線, 自己校正, トリガ回路

(Time-to-Digital Converter, Successive Approximation, Vernier Delay Line, Self-Calibration, Trigger Circuit)

1. はじめに

CMOSプロセス技術の微細化につれ回路の低電圧化が進み、アナログ回路における電圧分解能の向上がますます困難になっている。そこでアナログ信号を電圧軸ではなく、時間軸で信号を扱う時間領域アナログ回路を考える。時間デジタイザ回路(Time-to-Digital Converter : TDC)は2つのタイミング信号のエッジ間の時間差を測定しデジタル出力を得る回路である。遅延素子が微細化によりさらに小さい遅延が得られるようになり、TDC回路で時間分解能における高性能化が実現することができる。またTDC回路はデジタル回路で構成でき、サブナノCMOS時代において重要な役割を果たすことが期待される。[1-7]

この論文では高時間分解能TDCを小面積/低消費電力のデジタル回路で実現するための2ステップ逐次比較近似(Successive Approximation Register: SAR) TDC構成と下記の高性能化技術を検討した。

(1) 内部の遅延素子配列のプロセス・電源電圧・温度変動による遅延素子間の相対ばらつき、遅延の平均値の絶対ばらつきがTDC線形性、測定精度を劣化させる。この論文では遅延の平均値の絶対ばらつきの自己校正法を検討する。なお、遅延素子間の相対ばらつきによる自己校正法は [4, 5, 6] にすでに発表している。

(2) SAR TDC では測定クロックは繰り返し信号であるが、単発タイミング信号も測定可能にするためトリガ回路

をその前段に設けることを提案する。

2. 逐次比較 TDC(SAR TDC)

逐次比較型 TDC に入る前に逐次比較型 ADC について述べる。逐次比較型 ADC は DA 変換器からの出力電圧をサンプルホールドされたアナログ入力電圧に一致するように2進探索アルゴリズムで逐次比較して接近することでデジタル出力を決める方式である。著者らはその逐次比較近似の原理を利用し、二つの繰り返しクロック間の時間差測定のための逐次比較型 TDC を検討している (図 1)。

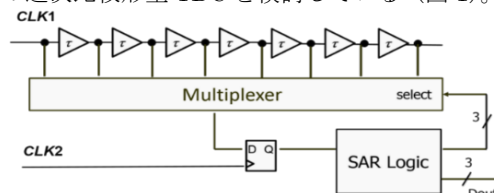


図 1 逐次比較型 TDC の構成

Fig. 1. SAR TDC

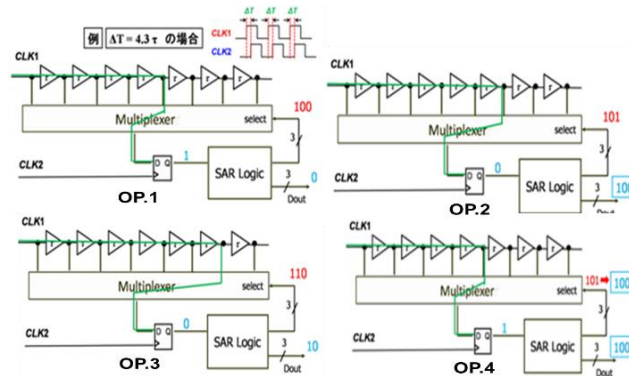


図 2 SAR TDC の動作

Fig.2. Operating principle of SAR TDC

CLK1 を入力して遅延線を通し各遅延素子の出力をマルチプレクサに入力する。SAR Logic デジタル出力に応じてそれらの入力（すなわち CLK1 をどれだけ遅延させたものを用いるか）を選択する。その出力をコンパレータの役割をする D フリップフロップの D 信号として入力し、CLK2 をクロック信号として入力する。その出力 Q（CLK1 の遅延信号と CLK2 との比較の結果）を SAR Logic に入力する。それをもとに SAR Logic は 2 進探索の原理に基づき、マルチプレクサの選択信号を出力する。これらの動作を繰り返し、二つのクロックを n 回繰り返し比較すると SAR ロジックが n ビットデジタル出力を得る。(図 2)

ビット数 n が大きい場合の逐次比較型 TDC のフラッシュ型 TDC に対する得失は次のようになる。

- 必要な D フリップフロップ数は（したがって消費電力も）激減する。即ち $(2n-1)$ 個からコンパレータと SAR ロジックに使う $1+2(n+1)$ 個に大幅減少する。
- 遅延バッファ数は同じ
- マルチプレクサと SAR Logic はわずかな回路
- フラッシュ型は 1 回で測定可、SAR 型は n 回のステップで測定
- フラッシュ型は単発のタイミング信号間の測定可、SAR 型は繰り返しタイミング信号のみ測定可。

3. 高時間分解能化の実現：

逐次比較近似+バーニア型 TDC

この節では逐次比較型 TDC の時間分解能向上のための回路を示す⁽¹⁾。初段の逐次比較型 TDC により、CLK1 の遅延させた CLK1 と CLK2 は立ち上がりエッジのタイミング差で接近した (τ 以下) ものとなる。残差時間(図 4)をさらにバーニア型 SAR TDC で測定し、初段の SAR TDC 結果と合わせることで高時間分解能、広測定時間範囲を実現する。

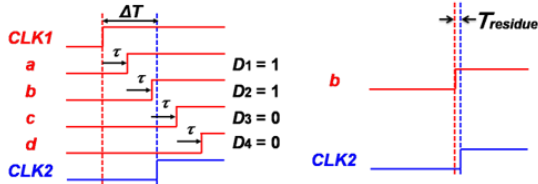


図 3 逐次比較近似型 TDC の測定結果と残差時間

Fig. 3. SAR TDC output and residue time difference

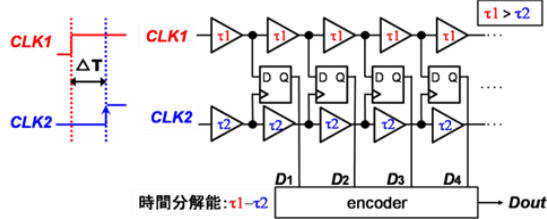


図 4 バーニア型 TDC

Fig.4. Vernier TDC.

基本フラッシュ型 TDC でバッファ遅延により制限された時間分解能をより小さくするためにバーニア型 TDC が提案されている (図 4)。バーニア型 TDC はノギスの原理を利用し、遅延時間が少しづれる二種類のバッファ (例えば $\tau_1 > \tau_2$) からなる二つの遅延線の構造で、二種類のバッファの遅

延時間の差 ($\tau_1 - \tau_2$) の時間分解能を得ることができる (2)(3)。しかし、同じ段数のバーニア型 TDC はフラッシュ型 TDC に比べるとさらに二倍のバッファ数が必要となる。また、バーニア型 TDC の時間分解能が高いため、逆に測定できる時間範囲は制限され、同じ段数ではフラッシュ型 TDC もしくは SAR TDC の測定範囲の $(\tau_1 - \tau_2) / \tau_1$ 倍しか持たない。長い時間差を測定する場合、バーニア型 TDC の二つの遅延線は長くなってしまふ。そこでバーニア型 TDC を先に述べた逐次比較近似型 TDC と組み合わせ、高分解能と広い測定範囲を両立させ、同時に回路規模の縮小化を提案する(図 5)。

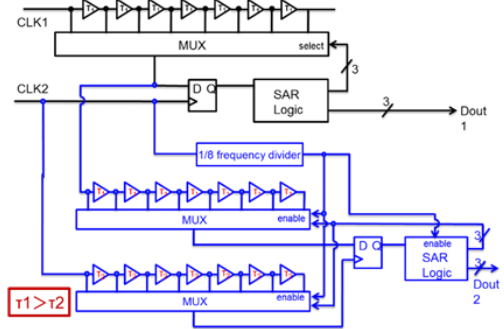


図 5 (3bit) 逐次比較近似+(3bit) バーニア型 TDC

Fig. 5. (3bit) SAR + (3bit) Vernier TDC

先に提案した逐次比較近似 TDC に、残差時間を測る高時間分解能 (バーニア型) TDC 回路に加える。すなわち図 5 は 2 ステップ方式の逐次比較近似+バーニア型 TDC (である。第一段は逐次比較近似 TDC 回路で時間差の「整数部分(Dout1)」と残差時間を得る。第二段は逐次比較近似+バーニア型逐次比較近似 TDC 回路で残差時間を算出し、

それは時間差の「小数部分 (Dout2)」になる。最後に「小数部分」を「整数部分」に結合して全体の TDC 出力とする。図 6 では $\tau_1 > \tau_2$, $\tau_1 \cdot \tau_2 = 1/8\tau_1$ と設定する。

ステップ 1 では初段の逐次比較近似 TDC だけが動作する。その安定の出力 Dout1 を得てから (4 回の繰り返し入力) ステップ 2 の動作を行う。即ち分周器で下段の二つのマルチプレクサと SAR Logic_2 を動作させ Dout2 を得る。

4. 自己校正アルゴリズム

この節では前節で述べた逐次比較近似型+バーニア型 TDC の遅延素子の平均値の絶対ばらつきの影響の自己校正法を検討する。ここではタイミング時間差が既知の 2 つのクロック信号を校正時に TDC に与え、そのデジタル出力値から (平均) 遅延値を測定 (推定) してその値をもとにデジタル補正する方式を検討する。タイミング時間差が既知の 2 つのクロック信号は、例えば比較的高周波の基準クロックを分周して多相クロックを生成し、それらから 2 つを選択することで実現できる。なお、遅延を Delay Locked Loop (DLL)により一定に制御する方式も考えられるが、回路が複雑になり、また全デジタル回路での実現が難しい。

図 5 の逐次比較近似型+バーニア型 TDC において、現実的には遅延素子にばらつきが生じる。そこで実際の残差時

間 $((\tau_1 - \tau_2) = \tau_3)$ を正確に求める必要があり、今回はその残差時間の校正アルゴリズムを提案する。

$$n_{\square}\tau = T_{\square} \quad (n_{\square}; \text{実数}, T_{\square}; \text{遅延時間}, \tau; \text{時間分解能})$$

$$\begin{cases} n_A\tau \cong T_A \\ n_B\tau \cong T_B \\ n_C\tau \cong T_C \end{cases} \rightarrow \begin{cases} \tau \cong T_A/n_A \\ \tau \cong T_B/n_B \\ \tau \cong T_C/n_C \end{cases} \quad \tau = \frac{T_A + T_B + T_C}{n_A + n_B + n_C}$$



図 6 アルゴリズムの概要

Fig.6 Overview of the algorithm

図 6 は今回提案するアルゴリズムの簡易的な概要である。先に述べたように遅延素子は素子ごとに遅延時間にばらつきが生じ、理想的な設計に対し誤差が生じる。そこで図 6 のようにばらつきのある素子をいくつか測定し、その平均をとることにより、遅延素子の時間分解能の推定を試みた。

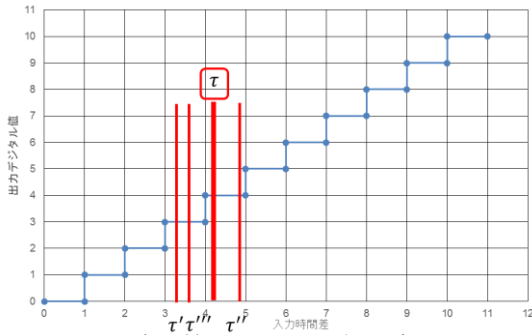


図 7 自己校正アルゴリズムの概略図

Fig.7 Schematic diagram of the self-calibration algorithm

図 7 は今回提案する自己校正アルゴリズムの概略図である (τ', τ'', τ''') は後述する(5)(6)式を足したものであり以下のように示す。

$$\begin{cases} \tau' = m_1\tau_1 + n_1\tau_3 \cong T_1 \\ \tau'' = m_2\tau_1 + n_2\tau_3 \cong T_2 \\ \tau''' = m_3\tau_1 + n_3\tau_3 \cong T_3 \end{cases}$$

図 6 で行ったように出力デジタル値と入力時間差の関係の場合で平均をとる。つまり仮想的に図 6 におけるDout1,Dout2 より一定数のサンプル $[\tau^* (*: \text{サンプル数})]$ をとり、それらの平均値をとることにより残差時間の推定 $[\tau]$ を行い、TDCの自己校正へとつなげる。

5. 遅延値の推定計算方法

この節では前節に述べた自己校正アルゴリズムの検証方法について述べる。Dout1 から得られた値を τ_1 とし、Dout2 から得られた値を $\tau_3 (= \tau_1 - \tau_2)$ とすると、サンプルをとった場合、出力は $\tau_1 + \tau_3$ 、つまり

$$m_{\square}\tau_1 + n_{\square}\tau_3 \cong T_{\square} \quad (1)$$

$(m_{\square}, n_{\square}; \text{実数}, T_{\square}; \text{遅延時間(入力時間差)})$

と表すことができる。つまり一回目のサンプルの(1)式は

$$m_A\tau_1 + n_A\tau_3 \cong T_A \quad (2)$$

と表すことができる。二、三回目にサンプルをとった場合は

$$m_B\tau_1 + n_B\tau_3 \cong T_B \quad (3)$$

$$m_C\tau_1 + n_C\tau_3 \cong T_C \quad (4)$$

と定義し、以後このようにサンプルを収集していく。次に遅延素子の分解能を導出するために、例として 2 回のサンプルを収集したときの場合を示す。(2)(3)式において連立方程式を解くことによって時間分解能を求める。よって

$$\tau_1 \cong (m_A * T_B - m_B * T_A) / (m_A * n_B - m_B * n_A) \quad (5)$$

$$\tau_3 \cong (n_B * T_A - n_A * T_B) / (m_A * n_B - m_B * n_A) \quad (6)$$

と解くことにより、時間分解能を推定することができる。次に三回のサンプルを収集したときの場合を示す。

三回目以降は総渡りで時間分解能を求める。(2)(3)(4)式より τ'_1, τ'_3 (A と B により算出されたもの)、 τ''_1, τ''_3 (A と C により算出されたもの)、 τ'''_1, τ'''_3 (B と C により算出されたもの)を三回のサンプルによる時間分解能とする。

$$\begin{cases} \tau_1 = (\tau'_1 + \tau''_1 + \tau'''_1) / 3 \\ \tau_3 = (\tau'_3 + \tau''_3 + \tau'''_3) / 3 \end{cases} \quad (10)$$

このようにして、四回目、五回目、・・・、n 回目のサンプルをとった時の分解能を求めていく。

今回の検証方法では(5)(6)式において分母がゼロ、つまり解が存在しない場合は省いた。また、各 Buffer 遅延については、ヒストグラム法を用いた補正で対応できるため[5]、相対ばらつきなしで検証を行った。

6. 遅延時間推定の検証および考察

前節で述べたアルゴリズムの正確性を仮想的に検証するために scilab-5.5.2 を用いシミュレーションを行った。今回のシミュレーションでは、仮に $\tau_1 = 1 [\text{ps}]$ 、 $\tau_3 = 0.1 [\text{ps}]$ という分解能をもつ遅延素子が存在したと仮定し「何回のサンプリングによりどの程度、分解能を推定可能か」を検証した。シミュレーションはサンプル回数に対し各 100 回の試行を行い、誤差の割合を平均化した。結果を図 10, 11 に示す。

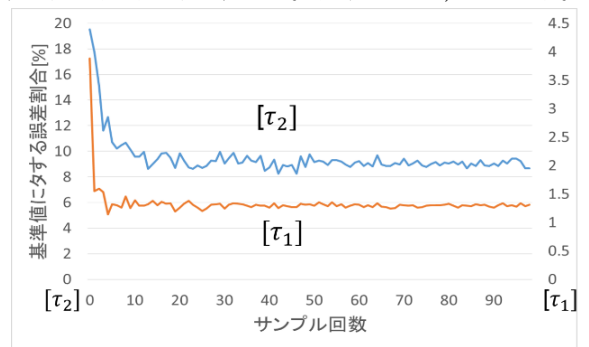


図 8 τ のサンプルに対する誤差割合

Fig.8 Error ratio of the sample of τ

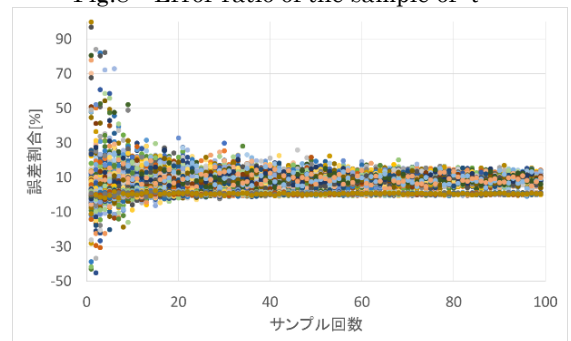


図 9 τ の推定値に対するばらつき

Fig.9 Variance of the estimated value[τ]

図8よりサンプルの回数を増やすことにより誤差の割合を減少していくことがわかる。またサンプルの回数が増るごとに推定値の誤差割合の減少が緩やかになっていくが、図9よりサンプル数の増加により誤差自体のばらつきの割合は減少する。これよりサンプル数を増やすことにより、推定値に対する信頼性の向上が見込まれる。

7. トリガ回路を用いた単発タイミング測定

「電圧信号は保持できるが時間信号は保持できないので SAR TDC は単発タイミング信号は測定できず、繰り返しタイミング信号のみが測定できる。」と考えられてきた。しかしながら、立ち上がり信号(トリガ信号)が入力されると、そのタイミングから決められた初期位相から発振を開始するトリガ回路を SAR TDC の前段に用いることで単発信号も測定できる構成を提案する。

図10にテクトロニクス社から提案されたオシロスコープに用いるトリガ回路を示す[8, 9]。cos波、sin波を基準信号として与え、Trigger 入力立ちあがると、そのタイミングで位相ゼロの出力信号と同じ周波数の余弦波が出力される。(次式)

track-and-hold回路が

•track mode

$$\begin{aligned} V_{out} &= \cos(\omega t) \cos(\omega t) + \cos(\omega t + \pi/2) \cos(\omega t + \pi/2) \\ &= \cos^2(\omega t) + \sin^2(\omega t) \\ &= 1 \quad (\text{一定の値}) \end{aligned}$$

•hold mode

$$\begin{aligned} V_{out} &= \cos(\omega t) \cos(\omega t_0) + \sin(\omega t) \sin(\omega t_0) \\ &= \cos(\omega(t-t_0)) \end{aligned}$$

※ trigger time: t_0

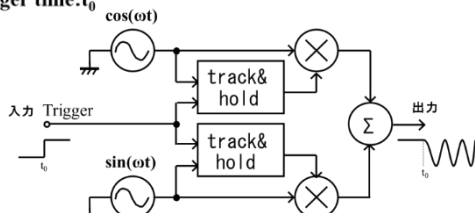


図10 回路に用いるトリガ回路例

Fig. 10 Example of trigger circuit to be used in the circuit

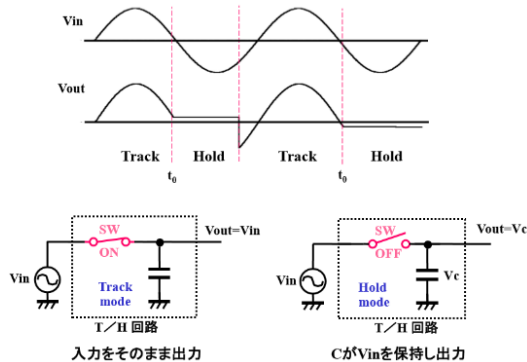


図11 トリガ回路の入出力波形

Fig.11 Input and output waveform of the trigger circuit

このトリガ回路を2つ用いて SAR TDC の前に用いた回路を図12に、そのタイミングチャートを図13に示す。

START と STOP 信号間のタイミング差をもつ Ck1, Ck2 の繰り返しクロックを生成できる。

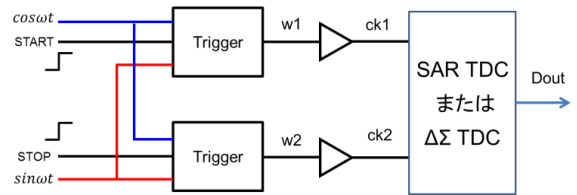


図12 トリガ回路を用いたSARTDC

Fig.12 SAR ADC circuit using a trigger circuit.

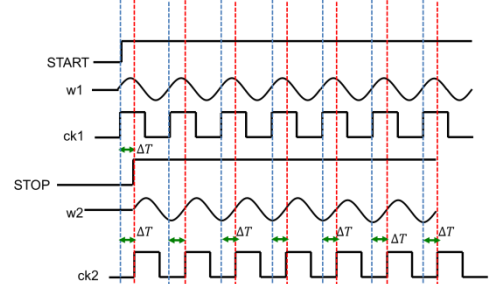


図13 図12の回路におけるタイミングチャート

Fig.13 The timing chart in the circuit of Fig. 13

8. まとめ

この論文では高時間分解能・高線形性 TDC 回路を少量回路/低消費電力で実現するため、2ステップ SAR TDC の構成とその遅延素子配列の(平均)遅延値のばらつきの推定・補正法を検討、また SAR TDC で単発タイミング測定を可能にするため前段にトリガ回路を用いる構成を提案した。有意義なご議論をいただきました、群馬大学 中谷隆之先生、畠山一実先生、滝上征弥氏に感謝いたします。

文献

- (1) Y. Arai, T. Baba, "A CMOS Time to Digital Converter VLSI for High-Energy Physics", IEEE Symposium on VLSI Circuits (1988).
- (2) 小林春夫「様々な時間デジタイザ回路アーキテクチャのタイミングテスト応用への比較検討」第75回FTC研究会, 伊香保, 群馬(2016年7月)
- (3) 姜日晨, 小林春夫「バーニア原理を用いた高時間分解能逐次比較型時間デジタイザ回路の設計」第5回電気学会東京支部栃木・群馬支所合同研究発表会, 宇都宮 (2015年3月)
- (4) R. Jiang, C. Li, M. Yang, H. Kobayashi, et al., "Successive Approximation Time-to-Digital Converter with Vernier-level Resolution", IEEE IMSTW, Catalunya, Spain (July 2016).
- (5) 小澤祐喜, 姜日晨, 小林春夫, 築地伸和, 塩田良治, 畠山一実「逐次比較時間デジタイザ回路の線形性自己校正技術」第75回FTC研究会, 伊香保, 群馬 (2016年7月)
- (6) S. Ito, S. Nishimura, H. Kobayashi, et al., "Stochastic TDC Architecture with Self-Calibration," IEEE Asia Pacific Conf. Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- (7) T. Chujo, D. Hirabayashi, K. Kentaroh, C. Li, Y. Kobayashi, J. Wang, K. Sato, H. Kobayashi, "Experimental Verification of Timing Measurement Circuit With Self-Calibration", IEEE IMS3TW, Brazil (Sept. 2014).
- (8) M. Nelson, "A New Technique for Low-Jitter Measurements Using Equivalent-Time Sampling Oscilloscope", Automatic RF Techniques Group 56th Measurement Conference - Metrology and Test for RF Telecommunications, Boulder, Colorado (Dec. 2000).
- (9) 滝上征弥, 群馬大学卒業論文 (2001年3月)

- (10) 小林春夫「デルタシグマ変調技術を用いた時間デジタル変換回路
・時間領域アナログ回路のキーコンポーネント」 電子情報通信
学会 集積回路研究 学生・若手研究会、東京 (2014年12月1日)