

マルチビット $\Delta\Sigma$ DA変換器の 線形性向上アルゴリズムの検討 - DWA 自己校正およびその組み合わせ

小島潤也 村上正紘 小林春夫
群馬大学



アウトライン

- 研究背景・目的
- DWAアルゴリズム
- 自己校正アルゴリズム
- シミュレーション結果①
- シミュレーション結果②(フィードバック値制限)
- まとめ

アウトライン

- 研究背景・目的
- DWAアルゴリズム
- 自己校正アルゴリズム
- シミュレーション結果①
- シミュレーション結果②(フィードバック値制限)
- まとめ

研究背景



集積回路の信号処理



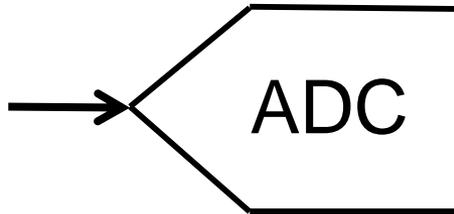
デジタル回路に恩恵

{ アナログ・デジタル変換器 (ADC)
 デジタル・アナログ変換器 (DAC)

高性能を要求

アナログ: 連続的な信号

- ・自然界の信号(音、光)
- ・アナログ時計

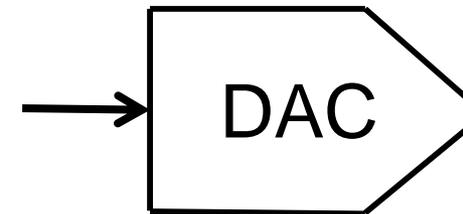


デジタル



デジタル: 離散的な数値の信号

- ・2進数
- ・デジタル時計



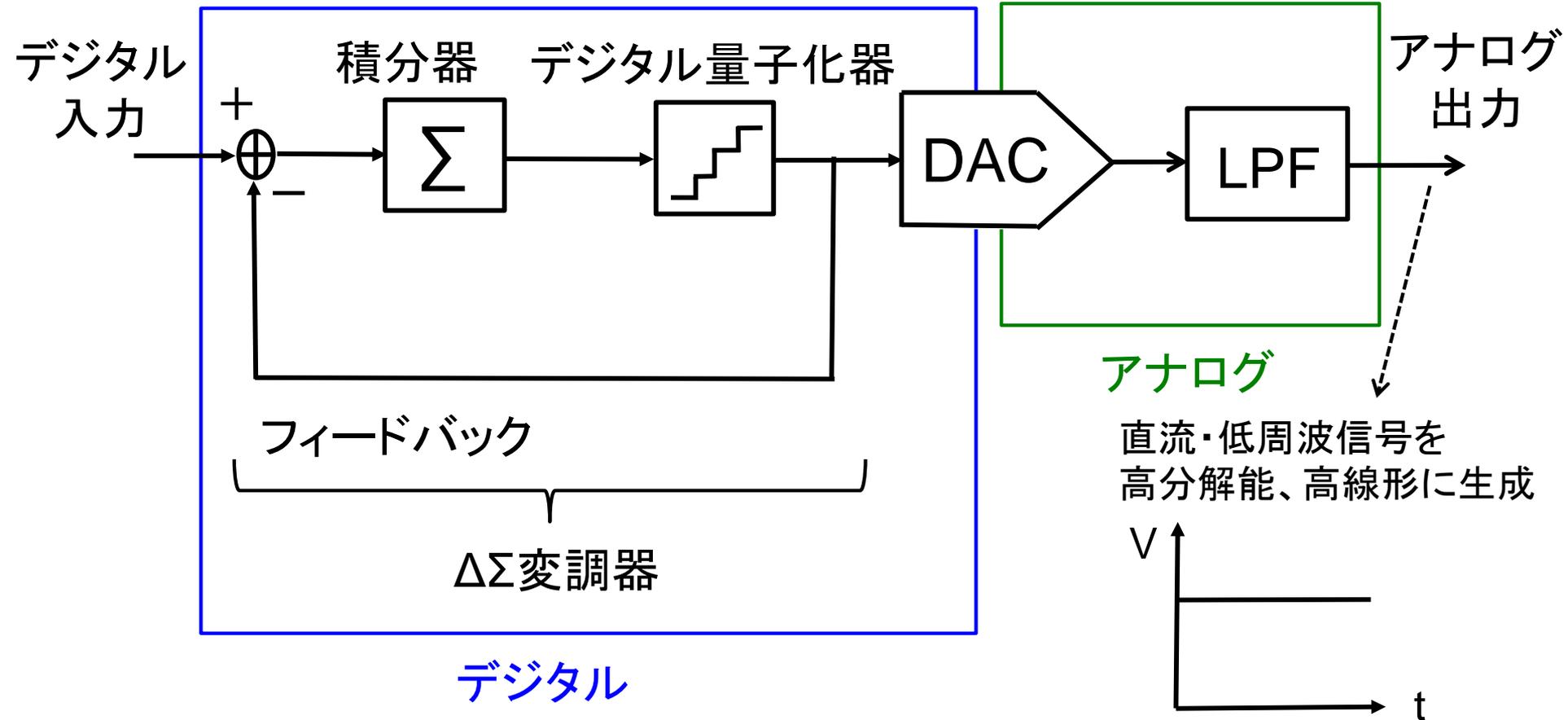
アナログ



高分解能・高線形で出力

「 $\Delta\Sigma$ デジタル・アナログ変換器」に注目

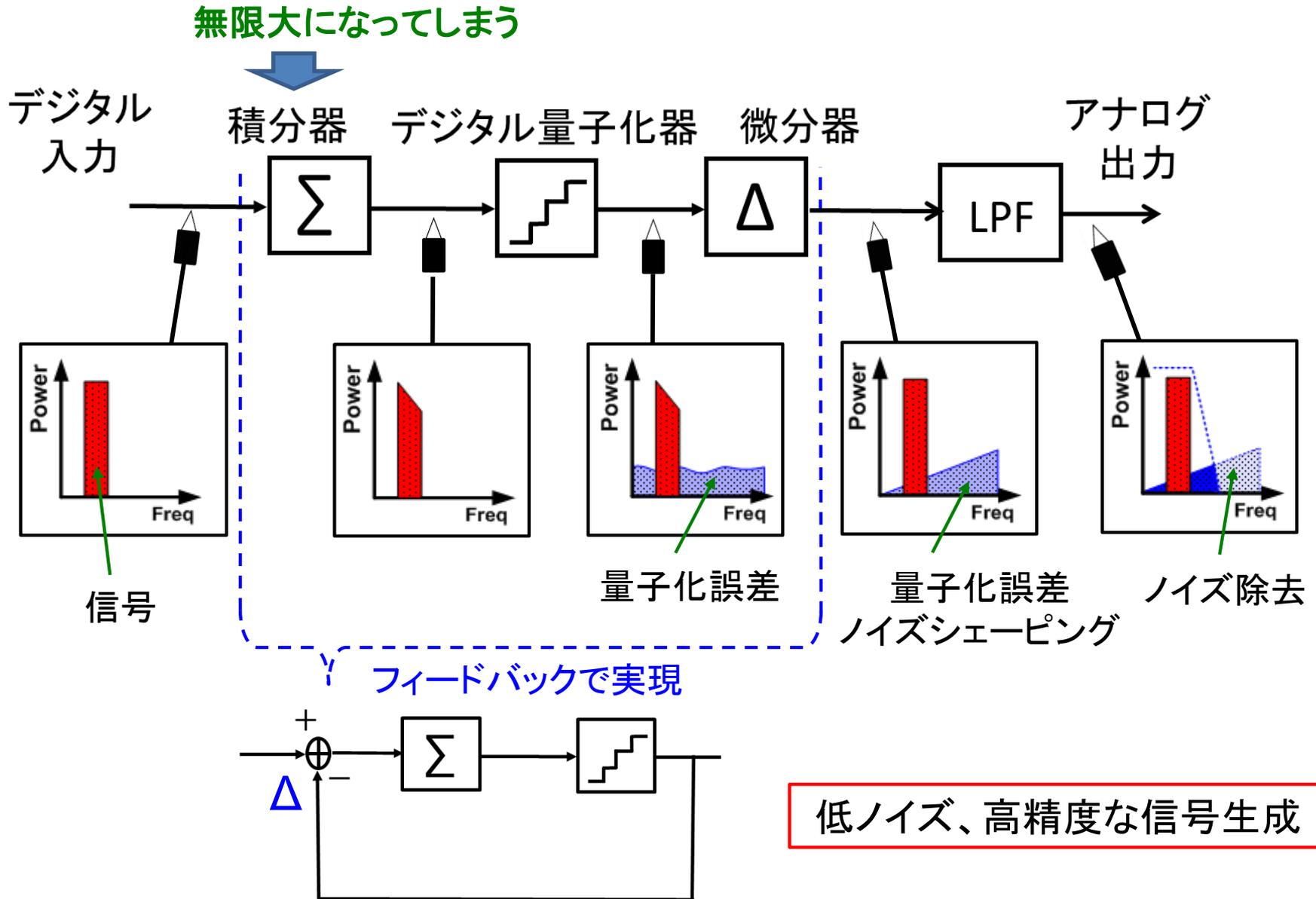
$\Delta\Sigma$ 変換器の構成



※ナイキストDAC⇒ { 10bit以上 高線形性 の回路設計は難しい…

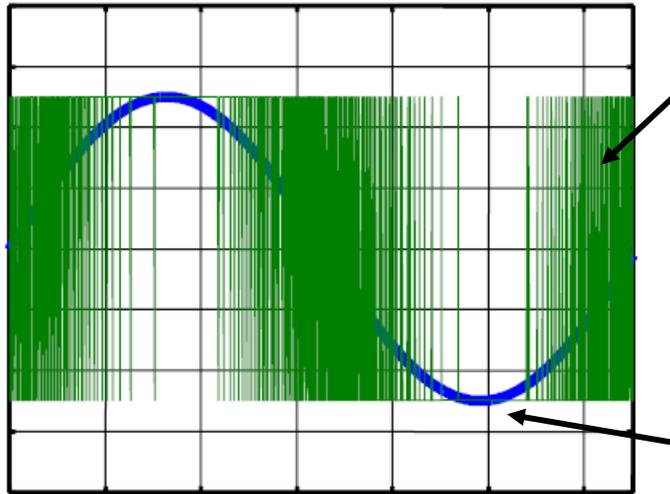
- ・ 電子計測器
- ・ オーディオ装置に使用

$\Delta\Sigma$ 変換器の特徴

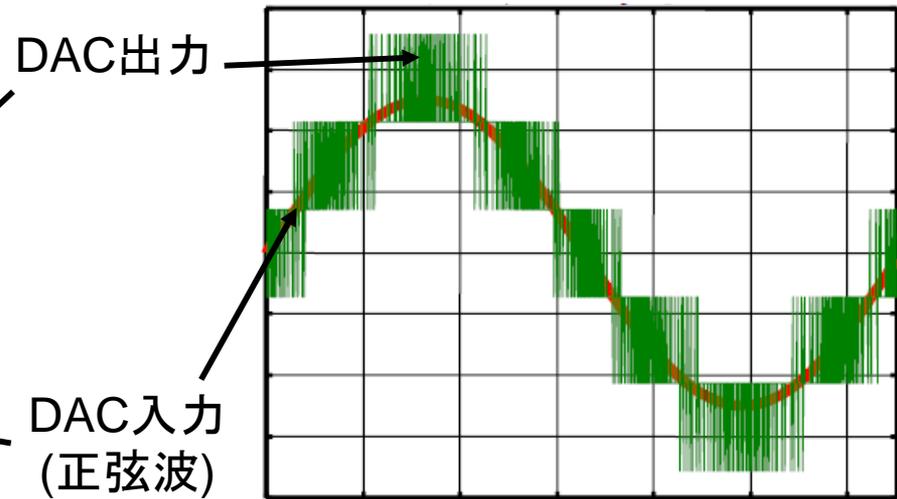


$\Delta\Sigma$ 変換器の種類

1ビット DAC



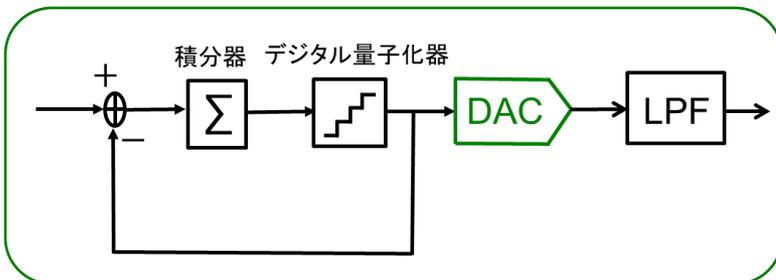
マルチビット DAC



- 回路構成が比較的容易
- フィードバックのDACの線形性保証

メリット

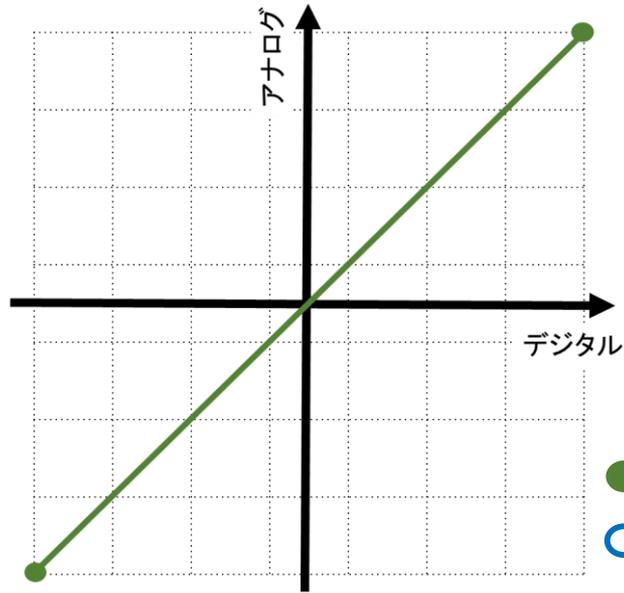
- 量子化誤差の低減
- 後段LPFの性能要求緩和
- ループ安定性が向上



Very Good!

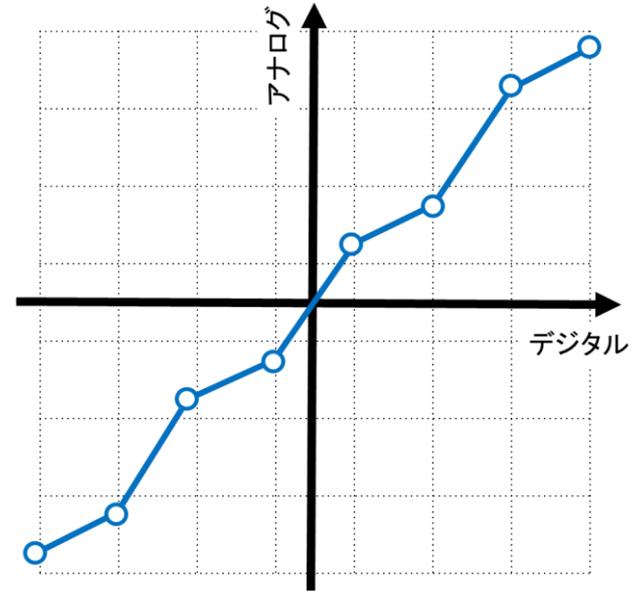
$\Delta\Sigma$ 変換器の線形性

1ビット DAC



- 1ビット出力
- マルチビット出力

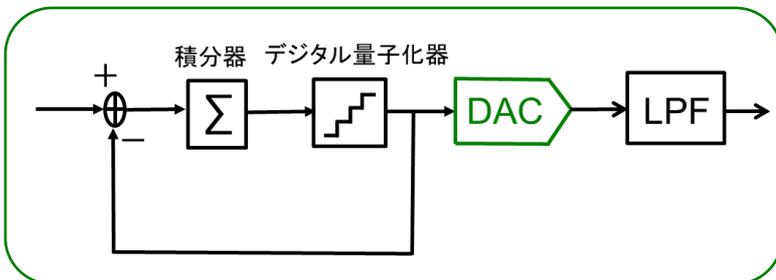
マルチビット DAC



デメリット

- ICチップ製造上において
DAC内にプロセスのバラツキあり

➡ 非線形性 (精度の低減) ☹️



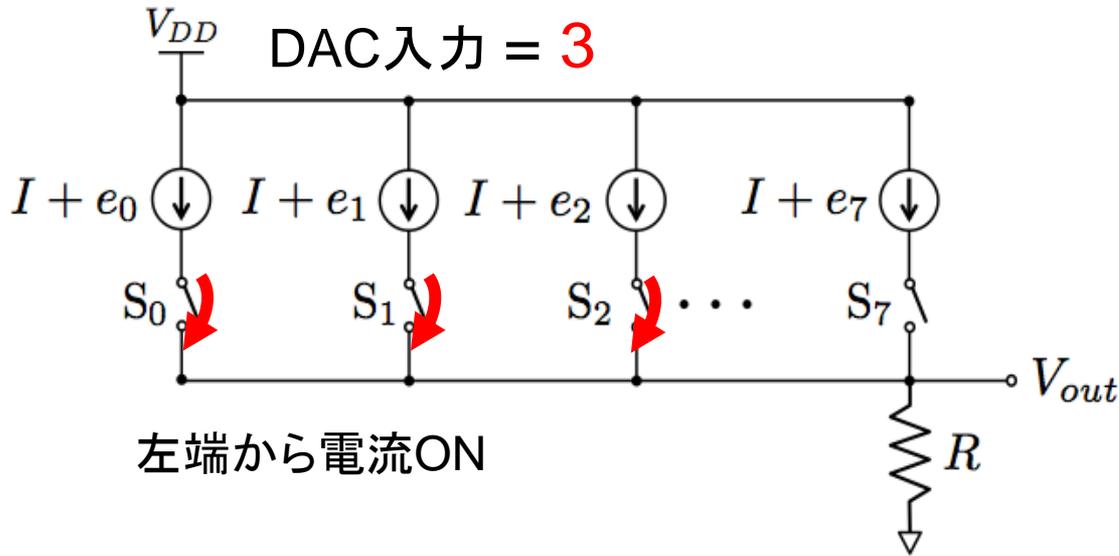
研究目的 線形性の向上

アウトライン

- 研究背景・目的
- **DWAアルゴリズム**
- 自己校正アルゴリズム
- シミュレーション回路の構成
- シミュレーション結果①
- シミュレーション結果②(フィードバック値制限)
- まとめ

マルチビットDAC (1/3)

◆ 通常のセグメント型DAC



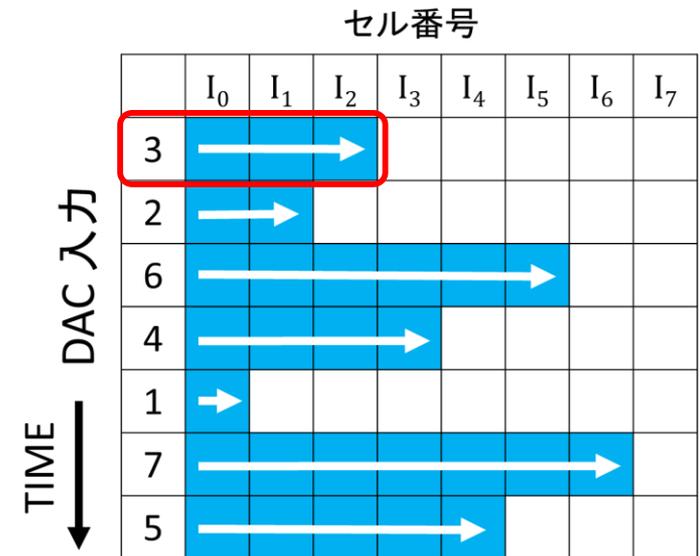
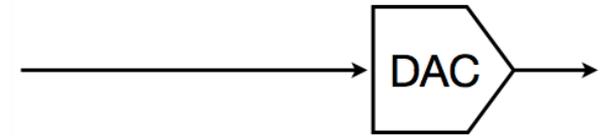
✓ 理想 ⇒ すべて等しい



✓ 現実 ⇒ プロセスのバラツキによりミスマッチ

$$\text{電流 } I_k = I + e_i$$

e_i : 電流セルのバラツキ

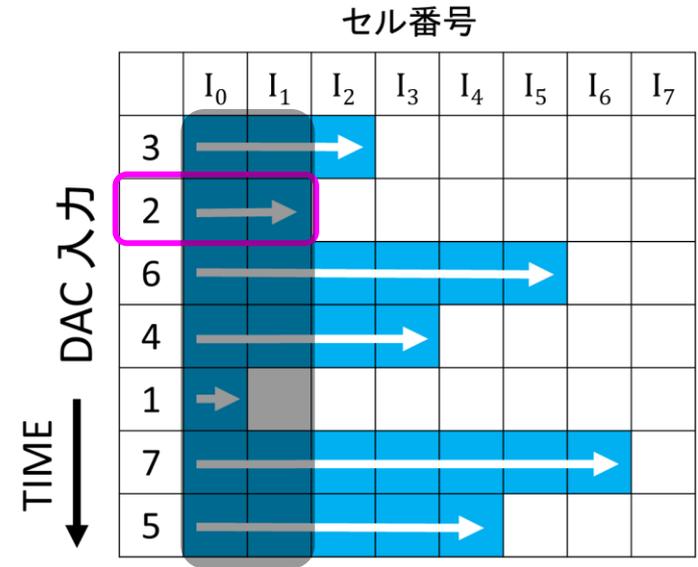
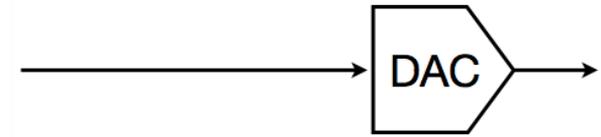
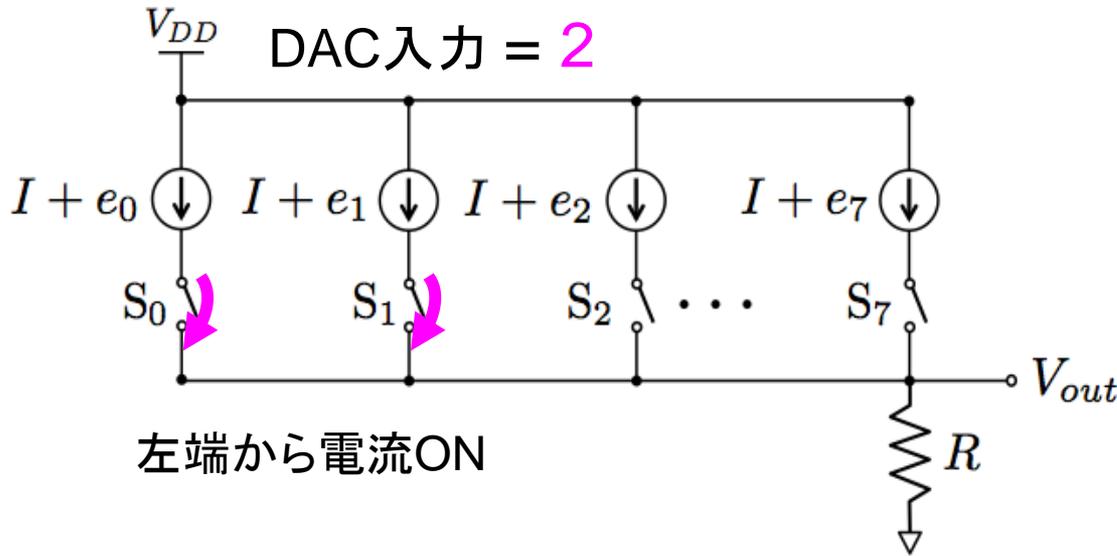


特定セルのミスマッチが累積
 e_i

➡ 非線形性 ☹☹

マルチビットDAC (3/3)

◆ 通常のセグメント型DAC



✓ 理想 ⇒ すべて等しい



✓ 現実 ⇒ プロセスのバラツキによりミスマッチ

$$\text{電流 } I_k = I + e_i$$

e_i : 電流セルのバラツキ

特定セルのミスマッチが累積
 e_i

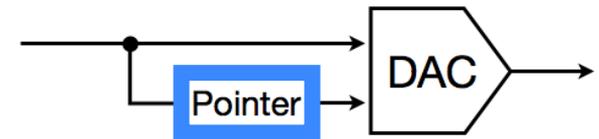
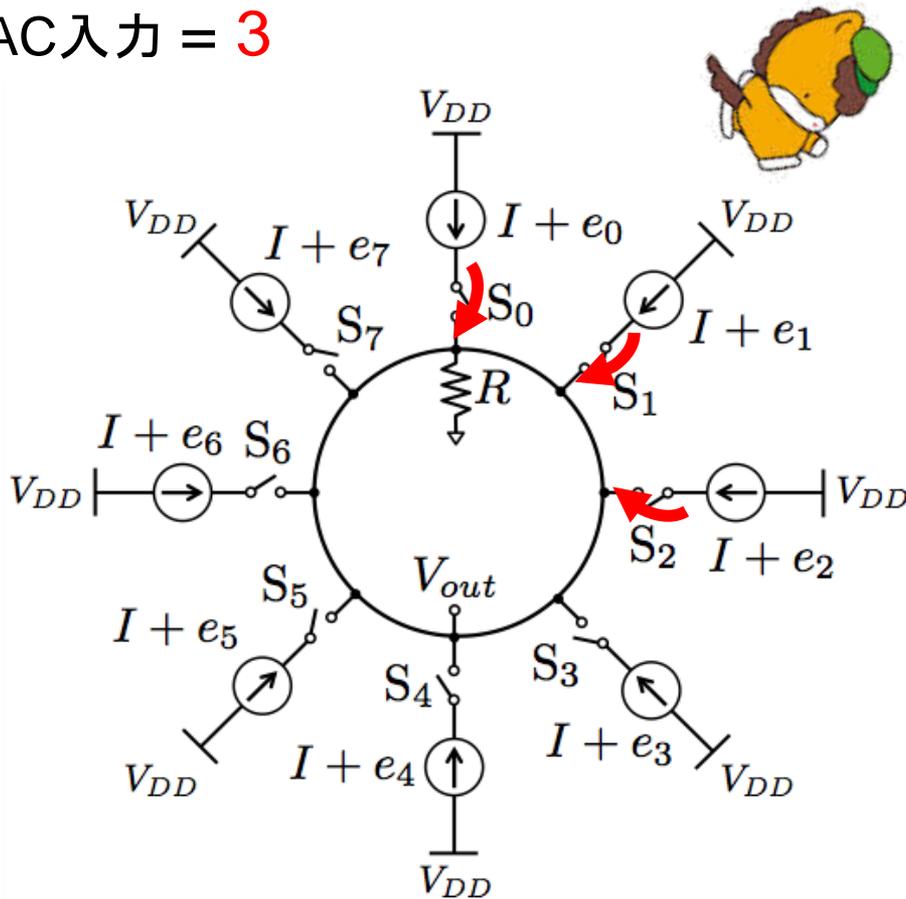
➡ 非線形性 ☹️

マルチビットDAC + DWA (1/3)

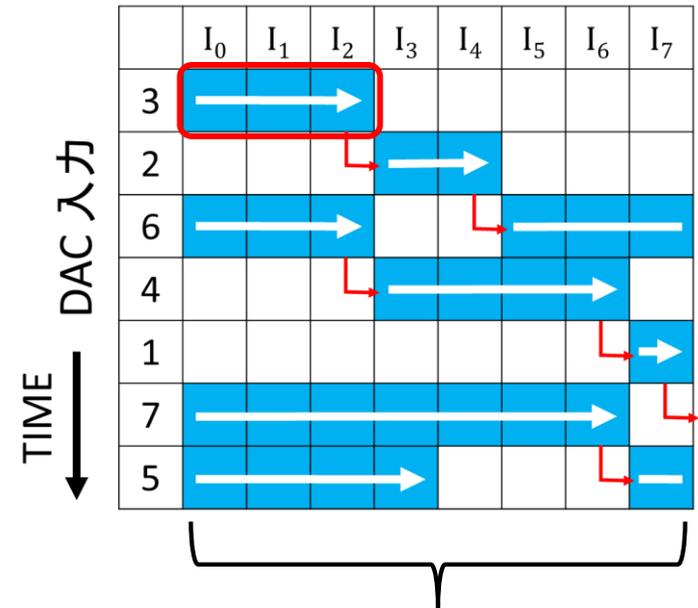
◆ DWA型DAC

(Data Weighted Average) 順番に電流ON

DAC入力 = 3



セル番号



特定セルの**ミスマッチ**が**分散**
⇒時間的に平均化

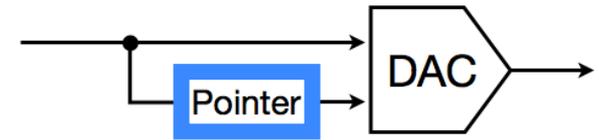
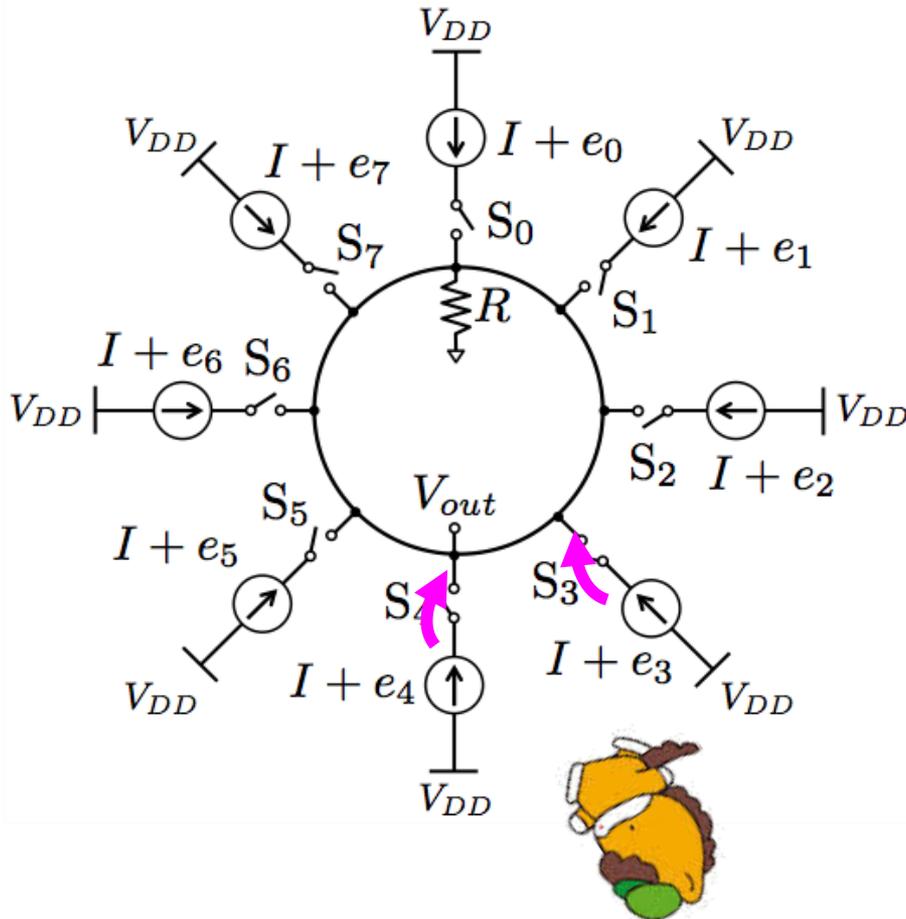
➡ 線形性向上 😊

マルチビットDAC + DWA (2/3)

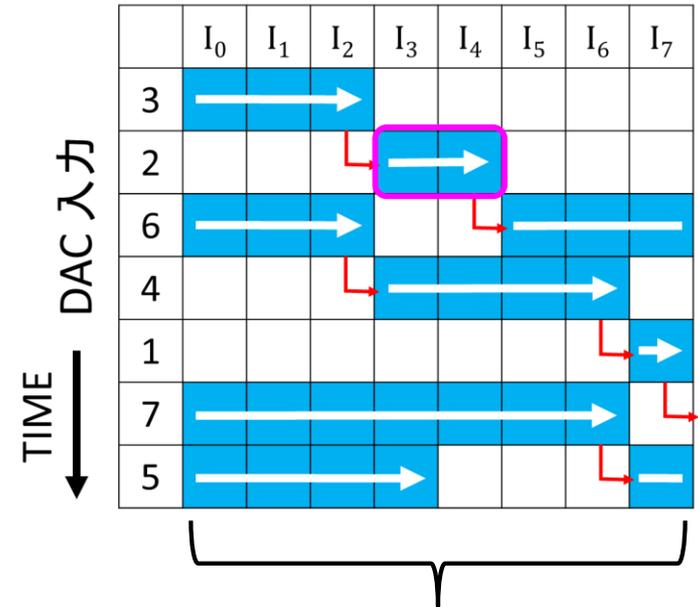
◆ DWA型DAC

(Data Weighted Average) 順番に電流ON

DAC入力 = 2



セル番号



特定セルのミスマッチが分散
⇒時間的に平均化

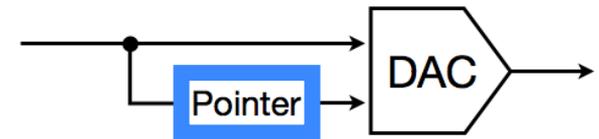
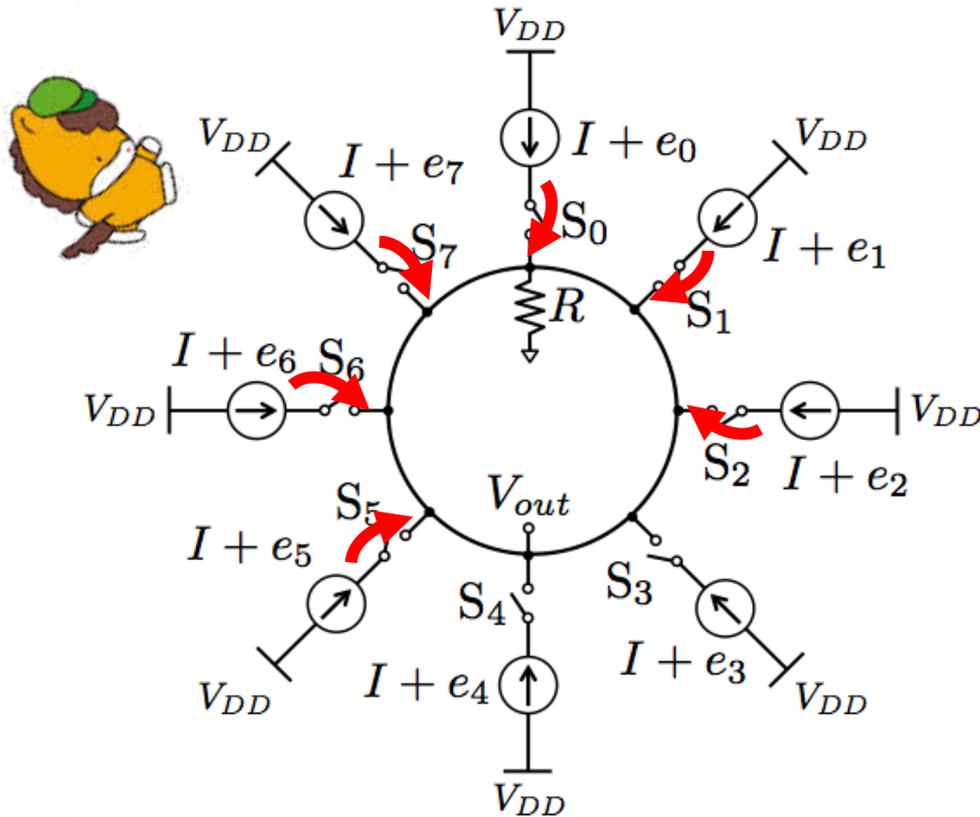
➡ 線形性向上 😊

マルチビットDAC + DWA (3/3)

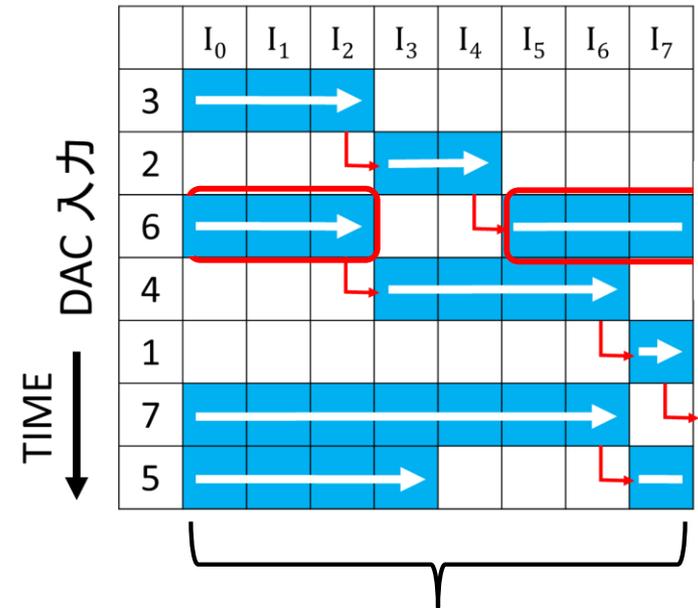
◆ DWA型DAC

(Data Weighted Average) 順番に電流ON

DAC入力 = 6



セル番号



特定セルの ミスマッチ が 分散
⇒ 時間的に平均化

➡ 線形性向上 😊

アウトライン

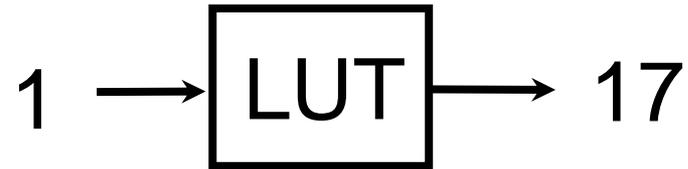
- 研究背景・目的
- DWAアルゴリズム
- **自己校正アルゴリズム**
- シミュレーション結果①
- シミュレーション結果②(フィードバック値制限)
- まとめ

ルックアップテーブル (Look Up Table: LUT)

- LUT: 予めデータを保存 → 入力に対応するデータを出力

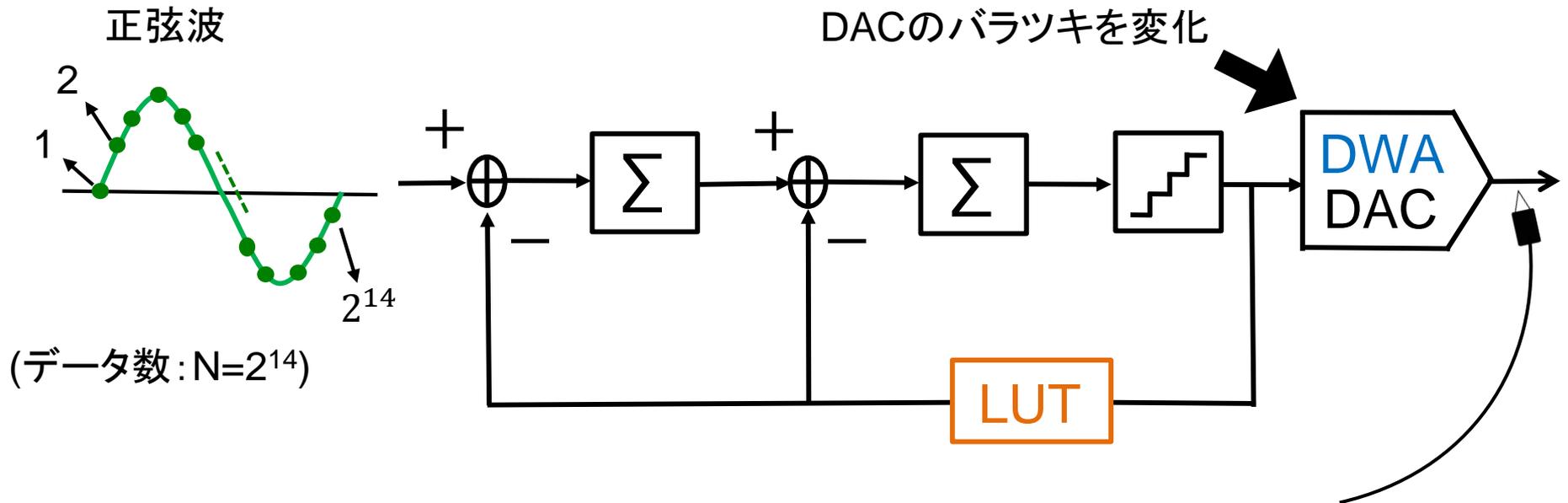
例えば...

猫の年齢	人間の 相当年齢
1	17
2	23
3	28
4	32
5	36
6	40
7	44
8	48



アウトライン

- 研究背景・目的
- DWAアルゴリズム
- 自己校正アルゴリズム
- **シミュレーション結果①**
- シミュレーション結果②(フィードバック値制限)
- まとめ



● 組み合わせの有効性を比較

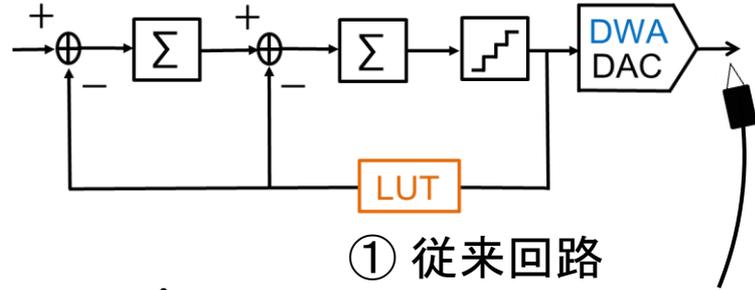
- ① 2次 $\Delta\Sigma$ 変調器 + 非線形DAC
- ② 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + 自己校正
- ③ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + DWA
- ④ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + 自己校正 + DWA (← 新規)

● 線形性の評価

$$\text{SNDR} = \frac{\text{信号電力}}{\text{ノイズ電力} + \text{ひずみ電力}}$$

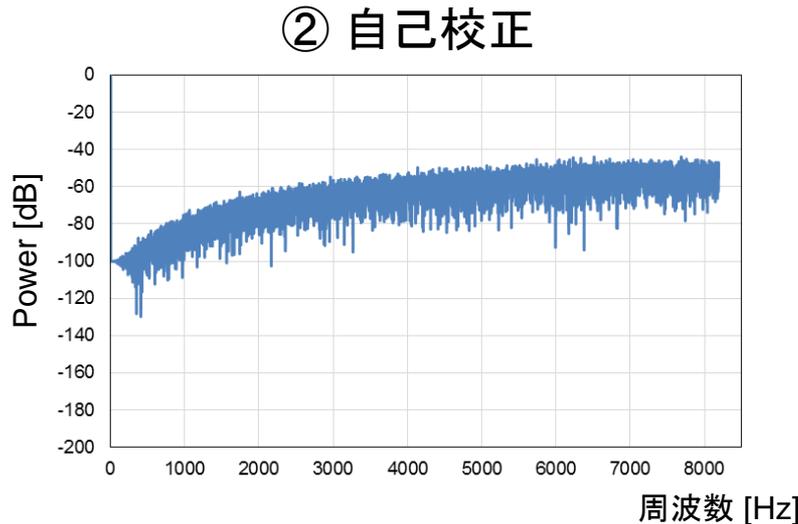
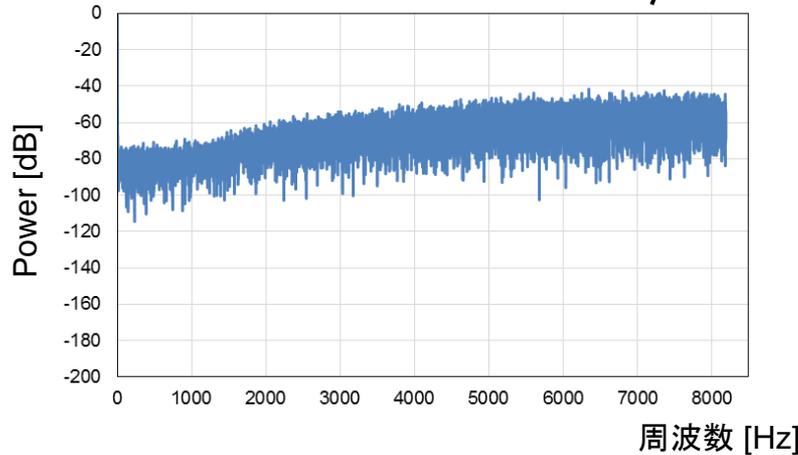
(Signal to Noise and Distortion Ratio)

シミュレーションのスペクトラム



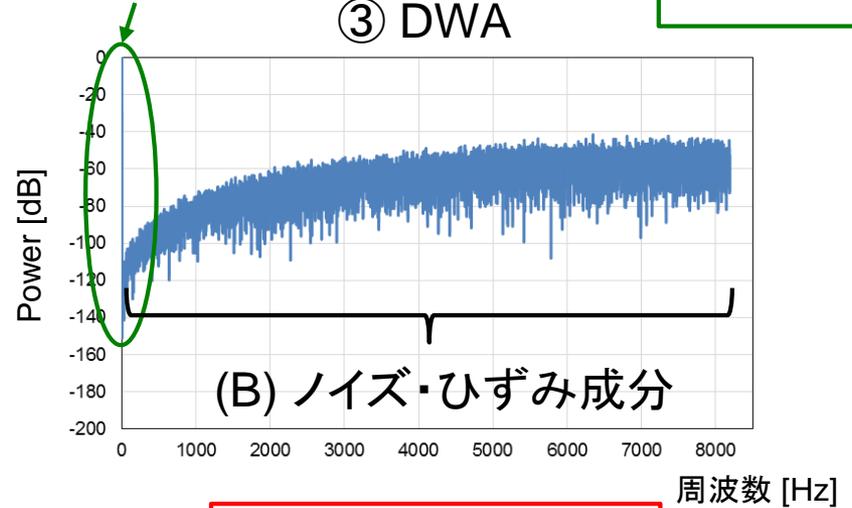
✓ バラツキ標準偏差 $\delta = 21\%$ のとき

$$\text{SNDR} = \frac{(A)}{(B)}$$

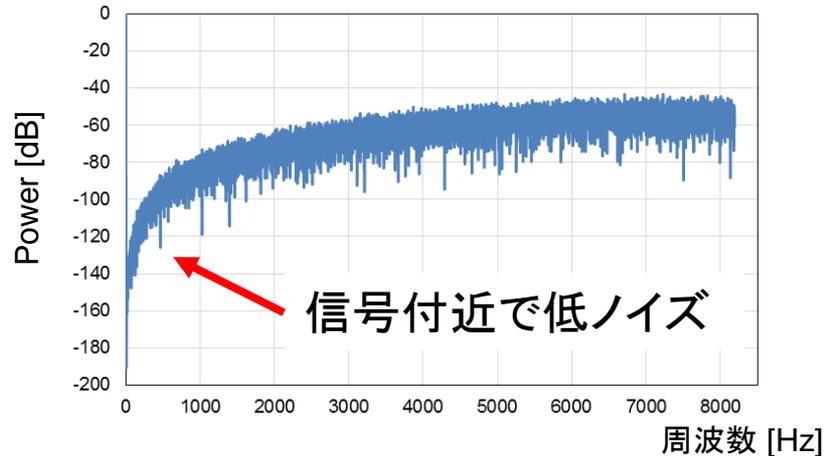


(A) 信号成分

③ DWA

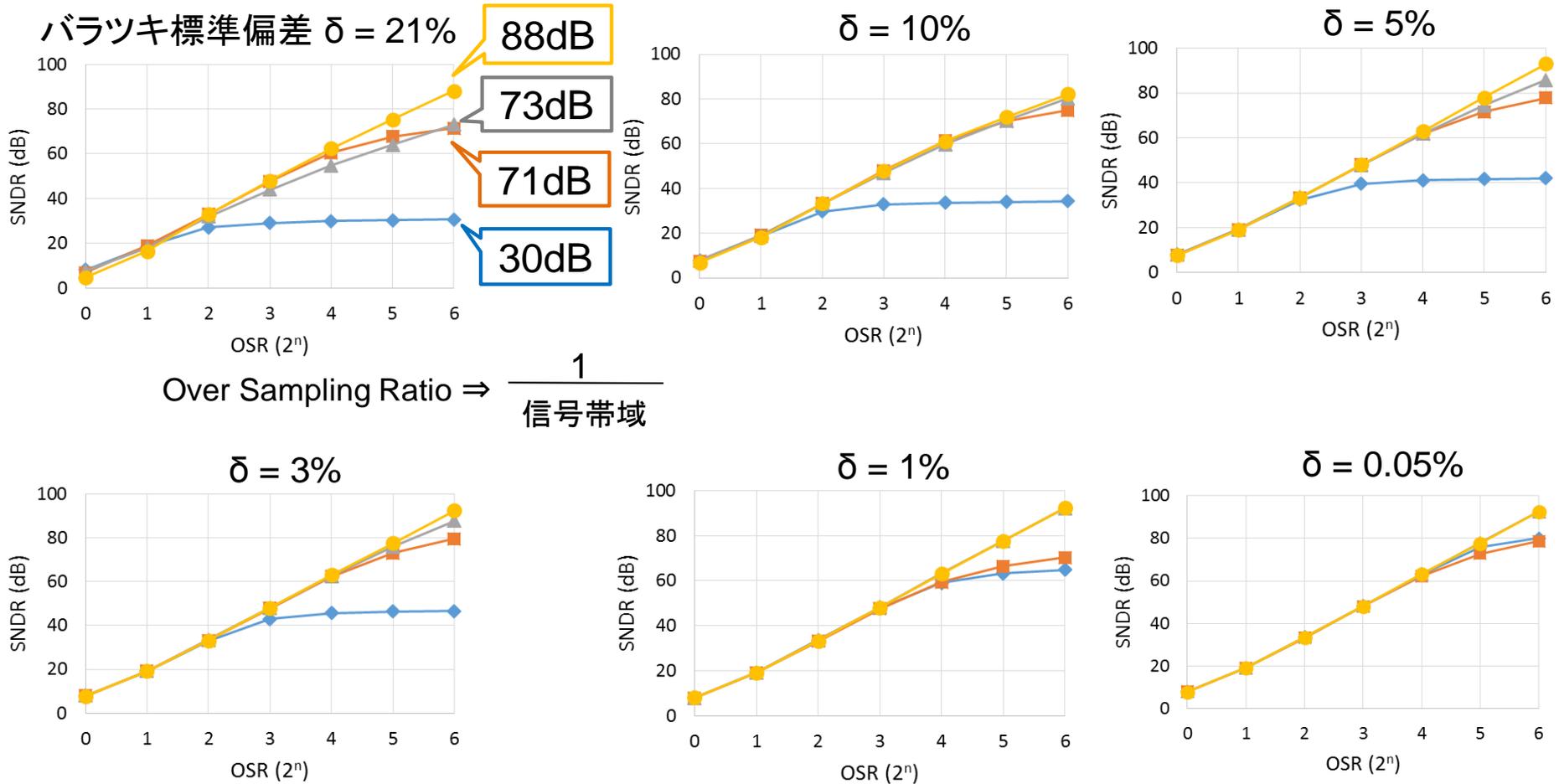


④ 自己校正+DWA



SNDRの比較

- ◆ ①
 ■ ② 自己校正
 ▲ ③ DWA
 ● ④ 自己校正+DWA



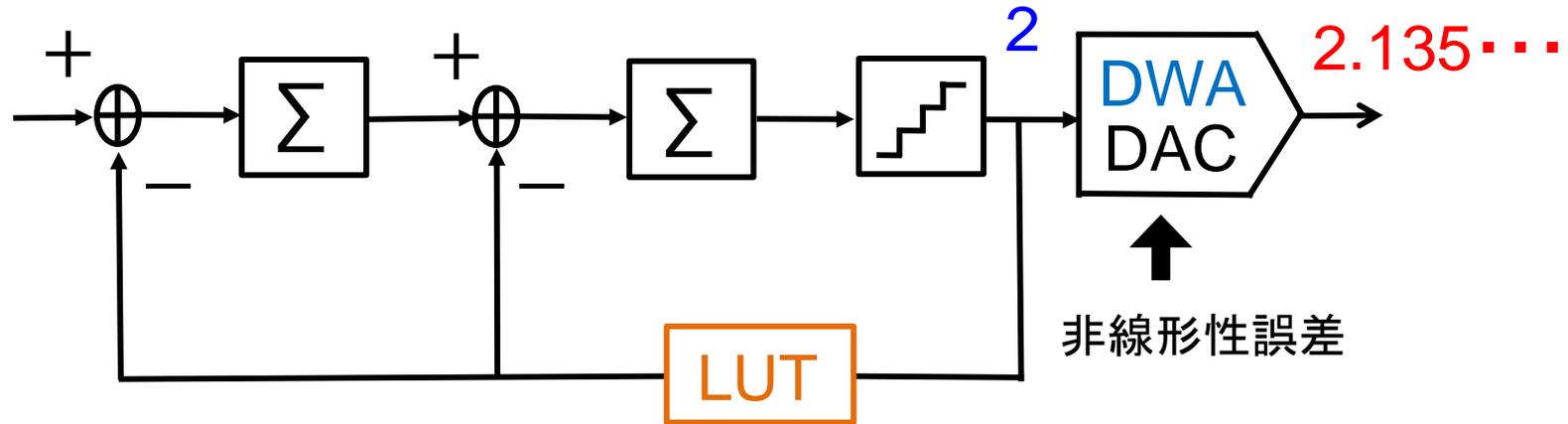
バラツキが大きいほど「④自己校正+DWA」が有効

アウトライン

- 研究背景・目的
- DWAアルゴリズム
- 自己校正アルゴリズム
- シミュレーション結果①
- **シミュレーション結果②(フィードバック値制限)**
- まとめ

フィードバックデータ桁数制限

◆ 自己校正



フィードバック値の桁数が多い ~~2.135~~

⇒ 回路規模 (大)

小数桁数を制限

(小)

2.13

2.1

2

DAC

Input LUT

Output LUT

LUT

2

2.135

2.13

2.1

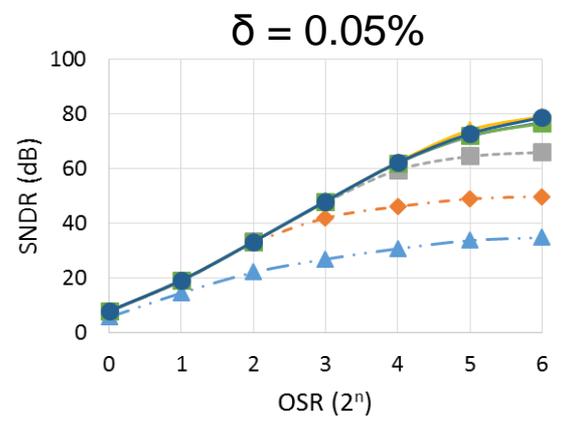
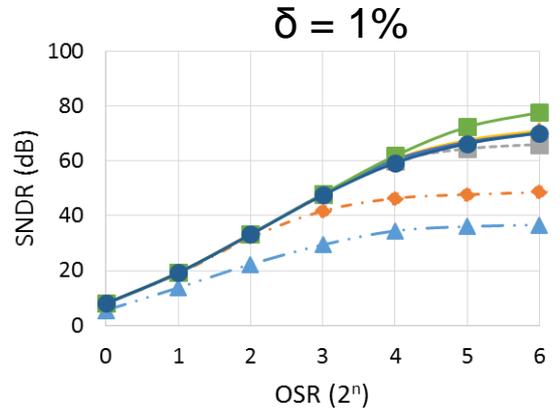
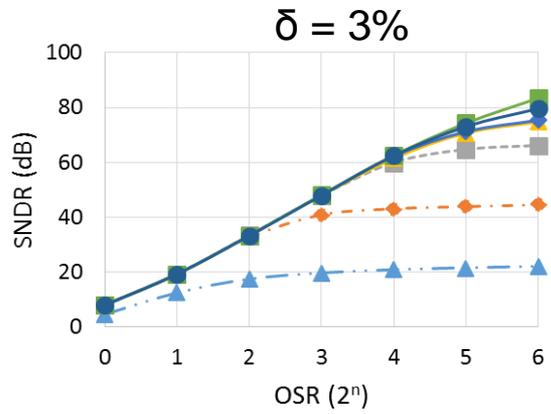
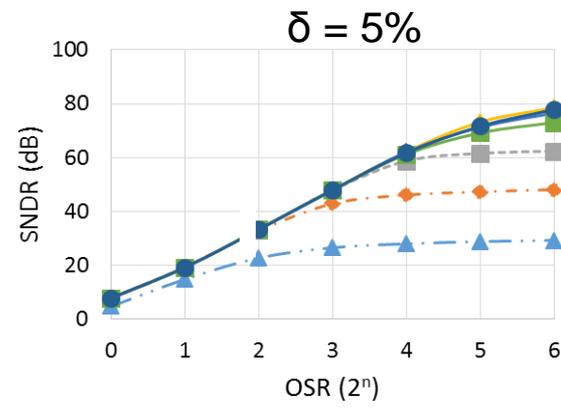
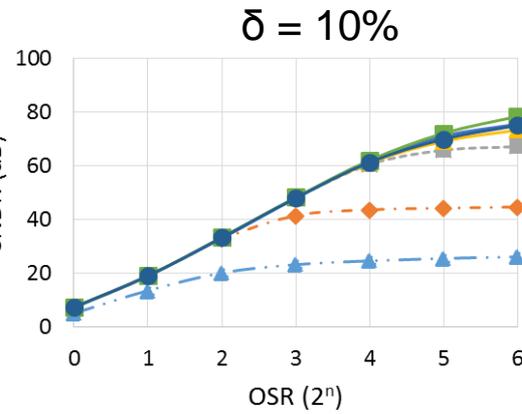
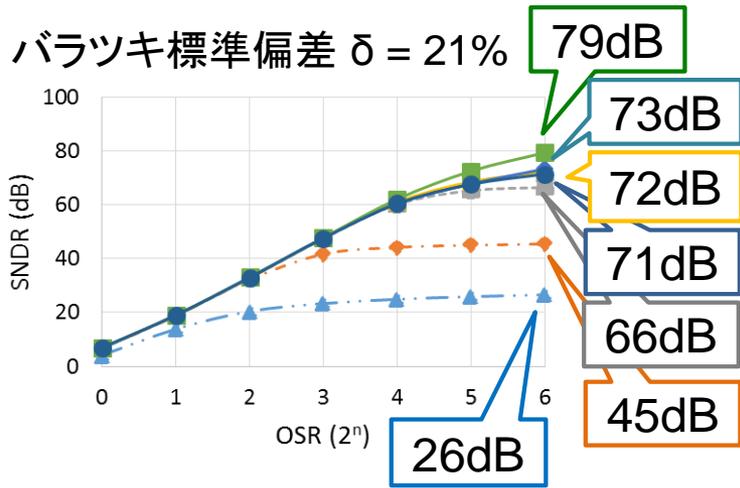
2

② 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + 自己校正

④ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + 自己校正 + DWA で確認

結果_② 自己校正

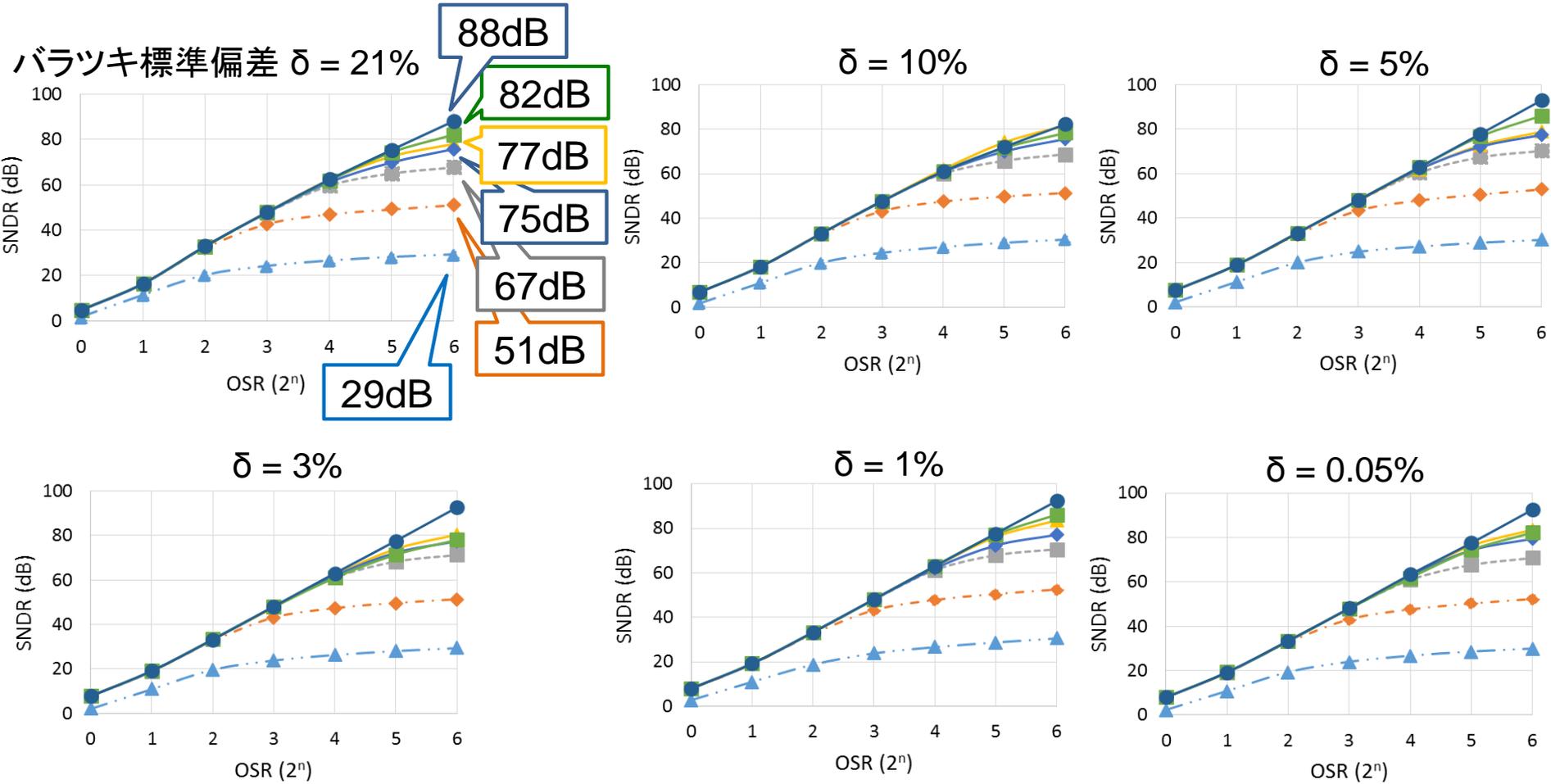
● 小数切捨てなし
 ■ 5桁
 ◆ 4桁
 ▲ 3桁
 ■ 2桁
 ◆ 1桁
 ▲ 0桁



小数3、4、5桁残す ➡ 切り捨てなしと同等のSNDR

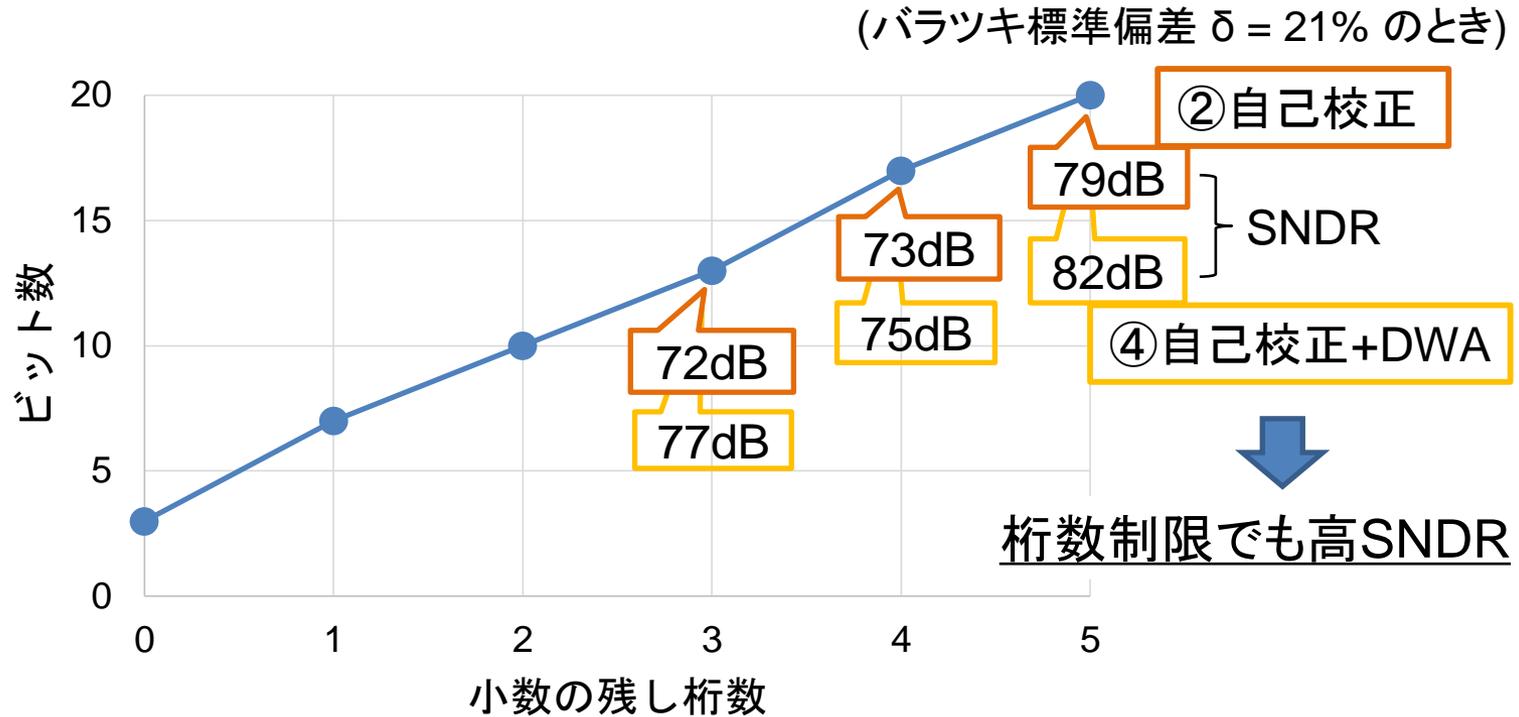
結果_④ 自己校正+DWA

● 小数切捨てなし ■ 5桁 ◆ 4桁 ▲ 3桁 ■ 2桁 ◆ 1桁 ▲ 0桁



小数桁残を多く残す ➡ 切り捨てなしのSNDRに近づく

小数の桁数と必要なbit数



3bit 増加

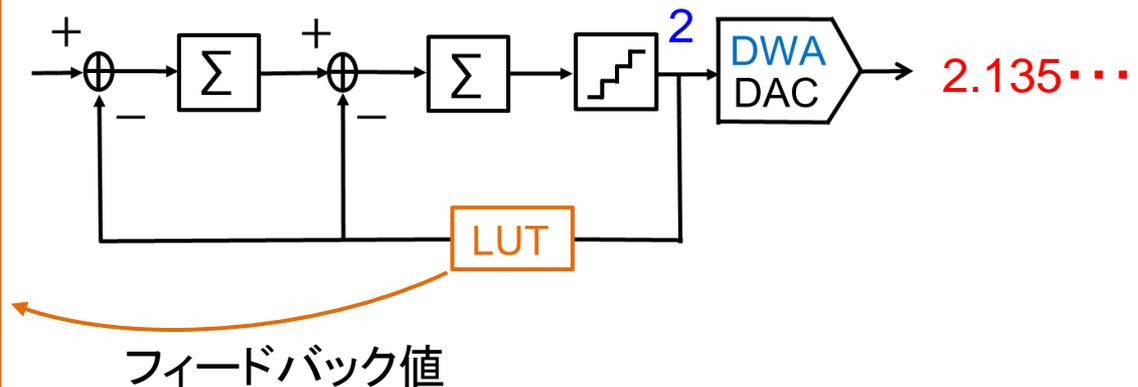


2.135

1桁 増加



2.13_



アウトライン

- 研究背景・目的
- DWAアルゴリズム
- 自己校正アルゴリズム
- シミュレーション結果①
- シミュレーション結果②(フィードバック値制限)
- **まとめ**

従来: プロセスのバラツキによりDAC内が非線形性 



提案: 自己校正・DWAアルゴリズムを使用

✓ 組み合わせの有効性を比較

① 従来回路 < ② 自己校正 < ④ 自己校正 + DWA
③ DWA

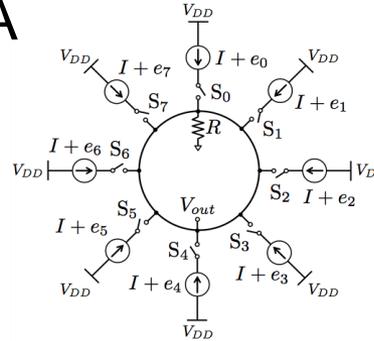
線形性向上 

「良い」ものを合わせると良い

自己校正 LUT

猫の年齢	人間の 相当年齢
1	17
2	23
3	28
4	32
5	36

DWA



線形性向上



有効な手法 × 有効な手法 ⇒ 超有効な手法



美味しいもの × 美味しいもの ⇒ 超美味しいもの



ラーメン



とんかつ



とんかつラーメン

付録



Q&A

Q1. LUTはどうやって作成するのか？

A1. DACの特性を高精度ADCで測定して作成する。

Q2. デジタルの小数とは何か？

A2. 実際は2進数であるが、固定小数点を用いて実現している。

Q3. セグメント型とDWA型のDACは何が違うのか？

A3. セグメント型は基準点から順番に電流をON、DWA型は電流源をローテーションして万遍なく使用する。回路構成は同じである。