

# マルチビット $\Delta\Sigma$ DA 変換器の線形性向上アルゴリズムの検討 — DWA, 自己校正およびその組み合わせ

小島 潤也\* 村上 正紘 小林 春夫 (群馬大学)

キーワード :  $\Delta\Sigma$  変調, DA 変換, マルチビット, DWA, 自己校正  
(Delta Sigma Modulation, DA Converter, Multi-bit, Data-Weighted Averaging, Self-Calibration)

## 1. 研究背景

$\Delta\Sigma$ DA 変換器は大部分がデジタル回路で構成され, 直流信号/低周波信号を高分解能・高線形に生成できるので, 電子計測器・LSI 試験装置等に多用される (図 1)[1]. デジタル変調器の後段に (1 ビットではなく) マルチビット Digital to Analog Converter (DAC) を使用する場合を考える. 次のメリットがある. (i) 同じオーバーサンプリング比で高い Signal-to Quantization Noise Ratio (SQNR) に繋がる. (ii) 高次変調器のためのループ安定性が向上する. (iii) 後段のアナログフィルタの要求性能を緩和できる. しかし, 単一ビット DAC は原理的に直線性が保証されるが, マルチビット DAC は保証されず, わずかではあるが非線形性が生じ, それが  $\Delta\Sigma$ DA 変換器の全体の線形性を劣化させる問題がある.

本研究ではマルチビット DAC 使用の場合も高線形性を得るために Data-Weighted Averaging (DWA) と自己校正を用いたアルゴリズムを検討する. さらに DWA と自己校正アルゴリズムの組み合わせを変え, Matlab にてシミュレーションを行い, 提案手法の効果を確かめる [2-4].

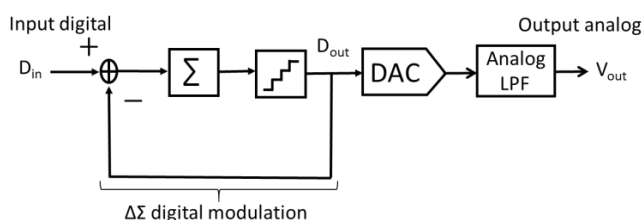


図 1  $\Delta\Sigma$ DA 変換器の構成

Fig. 1. Block diagram of a  $\Delta\Sigma$ DA converter

## 2. $\Delta\Sigma$ DA 変調器 (デジタル変調器)

### <2.1> $\Delta\Sigma$ DA 変調器の構成

$\Delta\Sigma$ DA 変調器は積分器とデジタル量子化器のフィードバック構成であり, 全てデジタル回路で実現される (図 1). オーバーサンプリングした入力信号を積分器で累積し, デジタル量子化器で上位ビットのみを取り出し, DAC へ入力する. デジタル量子化器は  $\Delta\Sigma$  変調の出力値となると同時に, 入力にフィードバックし累積値に  $V_{ref}$  が加減される. 出力信号を高速フーリエ変換 (FFT) すると, 量子化ノイズが低周波数帯域で減少し高周波数帯域で増加するノイズシェープされることが確認できる.

図 2 は正弦波 (振幅 : 1, 正規化された周波数 : 1) を入力

したときの  $\Delta\Sigma$  変調器の出力であり, 正規化周波数 1 で信号電力が確認できる. 入力信号近辺帯域で量子化ノイズが減少し, DAC 出力をアナログ LPF を通せば高 SNR 信号  $V_{out}$  が得られる.

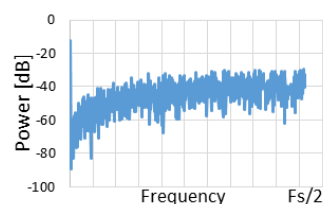


図 2  $\Delta\Sigma$  変調器の出力パワースペクトル  
(振幅 : 1V, 正規化周波数 : 1 の正弦波を入力)

Fig. 2. Power spectrum of the  $\Delta\Sigma$  modulator output  
(Input sine wave amplitude : 1, normalized frequency : 1)

### <2.2> セグメント型 DAC の電流セルのミスマッチ

図 3(a)に示すような 9 レベルの分解能を持つセグメント型 DAC を考える. DAC は 8 個の電流源と抵抗から構成される.  $k$  番目の電流源を  $I(k = 0, 1, 2, \dots, 7)$  とすると, 理想的にはすべての電流は等しいが実際には IC チップ製造上においてプロセスのバラツキにより電流が異なる. 図 3 の  $e_k$  は電流源のミスマッチ (平均電流からのずれ) であり, これが原因で変調器全体の出力パワースペクトラムは信号帯域内で歪みを生じさせる.

### <2.3> DWA アルゴリズム

DAC の非線形性によって生じる誤差を低減するため DWA DAC を考える. 構成はセグメント型 DAC をリング状に配列した形である (図 3(b)). DAC の電流源に番号をつけ, ON になる電流源の位置を記憶する Pointer を設ける. 時刻  $n$  での DAC の Pointer を  $P(n)$  とする. 電流源をローテーションして使用するよう制御すると万遍なく電流源が選択され, マルチビット DAC 非線形性誤差はノイズシェープされる (DC 近辺で誤差の時間平均ゼロになる).

図 4 に入力データが 4, 3, 2, ... と変化する場合に ON になる電流セルを記す. 入力信号 4 のときには電流セル 0, 1, 2, 3 が ON になり, 次に入力データ 3 のとき 4, 5, 6 が ON になり, 次に入力データ 2 のとき 7, 0 が ON になる. この動作を行わせるため, Pointer の  $P(n)$  に現在の DAC 入力信号を

記憶させ次の DAC の動作に反映する。

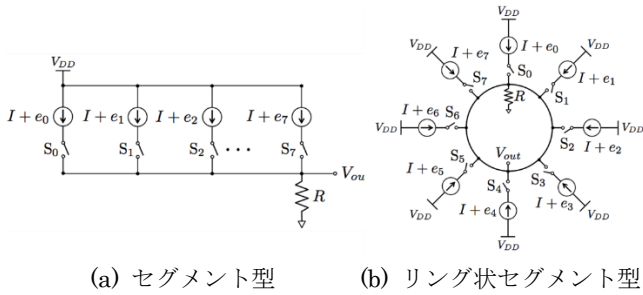


図 3 電流 DAC  
Fig. 3. Current DAC

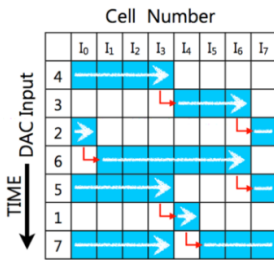


図 4 DWA アルゴリズムの電流セルの選択方法  
Fig. 4. Selection method of current cells with DWA

#### <2.4> 自己校正アルゴリズム

図 5 において、あるクロックでの出力が 2 のとき、マルチビット DAC の非線形性ノイズによって DAC の出力が 2.135 になるとする。この 2.135 を SoC 内高分解能  $\Delta\Sigma$  ADC 等で計測し、クロックで入力から減算（フィードバック）するのが自己校正である。

具体的な方法として、ルックアップテーブル (Look Up Table : LUT) を用いて実現させる。例えば、あるデータベースで項目を選択し、その項目に対応するデータを取り出したい場合、予め対応するデータを Look Up Table として保存しておけば、対応する値を参照してデータが求められる。要求される度に毎回計算を行う必要はなく、コンピュータに掛かる計算負担を軽減でき、効率良く処理が行える。

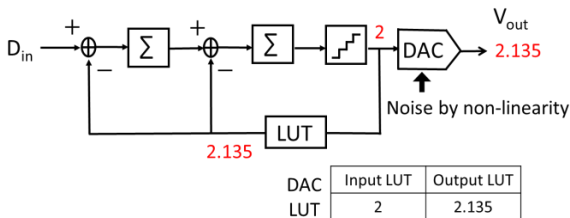


図 5 LUT ブロックを用いた回路  
Fig. 5. Circuit with LUT block.

#### <2.5> シミュレーション回路の構成

本論文では DWA, 自己校正を用いた回路を検討する。以下の 4 つの回路で従来回路と DWA, 自己校正の組み合わせを変えた場合でシミュレーションを行い、性能の向上を確認する。図 6 に④の回路を示す。④と比べて①~③は DWA,

自己校正の有り無しが異なる。

- ① 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC
- ② 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC + 自己校正
- ③ 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC + DWA
- ④ 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC + DWA + 自己校正

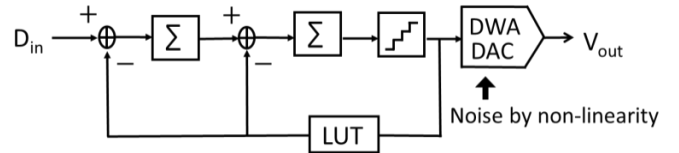


図 6 DWA と自己校正を使用する提案回路の構成  
Fig. 6. Proposed circuit with DWA and self-calibration.

#### <2.6> SNDR による評価

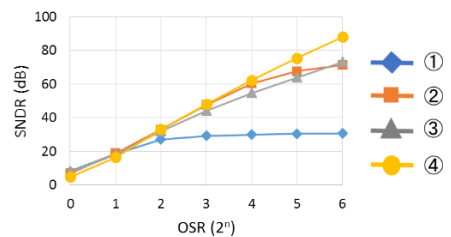
DA 変換の性能評価の 1 つに Signal to Noise and Distortion Ratio (SNDR) がある。これは出力での信号成分電力と発生したノイズ電力の比である。ここでは SNDR を用いてシミュレーション結果を評価する。SNDR が向上すれば、DA 変換の性能向上を意味する。

### 3. シミュレーションによる検証

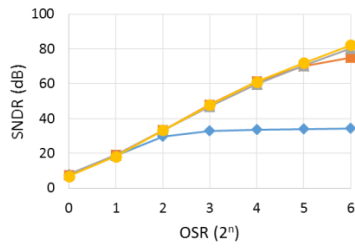
#### <3.1> SNDR の向上 (2<sup>14</sup>)

①~④の回路でシミュレーションを行い、効果を検証した。入力信号には正規化周波数 1 の正弦波を入力した。電流セルのバラツキを持たせたシミュレーション結果を図 7 に示す。バラツキの範囲を標準偏差として表し、同じ標準偏差の中で異なるバラツキを 5 セット用意してシミュレーションを行った。図 7 の縦軸の SNDR は 5 セットのバラツキの場合の平均である。自己校正ありの場合は DAC からの V<sub>out</sub> の値を、なしでは DAC で得られた値に相当するデジタル値をフィードバックした。

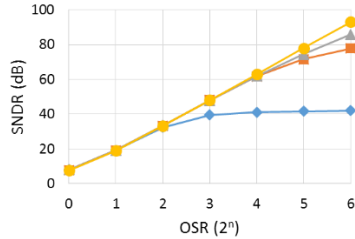
回路④では図 7 のすべてのバラツキの場合で SNDR が最も良く、DWA と自己校正の 2 つの効果によるものである。回路②と③も従来回路①と比べ、SNDR が向上している。しかし、その 2 つを組み合わせた回路④は、それ以上に向上している。バラツキが小さいほど理想的な線形性に近づくため、図 7(f) では回路①②の SNDR は同程度だが、回路③④は同等の SNDR 向上を示し、線形性向上が確認できる。回路④は①~③に比べて有効であり、特にバラツキが大きいときほど顕著に表れる。



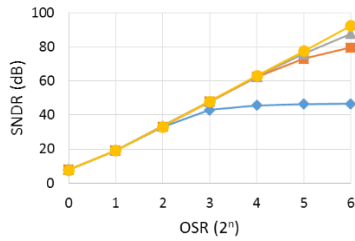
(a) バラツキ標準偏差 21%



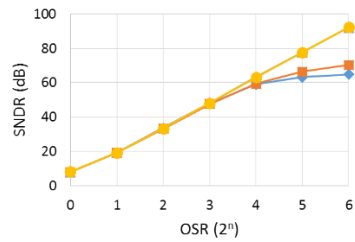
(b) バラツキ標準偏差 10%



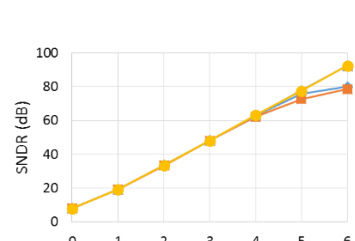
(c) バラツキ標準偏差 5%



(d) バラツキ標準偏差 3%



(e) バラツキ標準偏差 1%



(f) バラツキ標準偏差 0.05%

図7 回路①～④のシミュレーション結果の平均

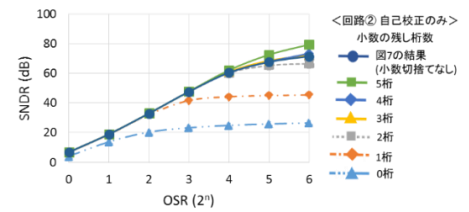
Fig. 7. Average simulation results for circuit ① to ④.

### <3.2> 自己校正フィードバックデータ桁数制限 (2<sup>14</sup>)

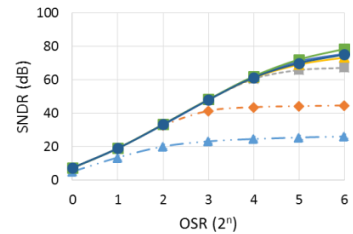
<3.1>では、自己校正でフィードバックする値は DAC 出力の高分解能 ADC の値であったが、桁数が大きくなると変調器回路規模が大きくなってしまいます。次はそのフィードバックするデジタルデータの桁数を制限した場合を検討した。例えば、図5では 2.135 をフィードバックしているが、

桁数を制限した 2.13 や 2.1 をフィードバックする。この考え方で、自己校正を用いた回路②と④でシミュレーションを行った。SNDR を比較した結果を図8, 9に示す。電流セルのバラツキは図7と同じである。

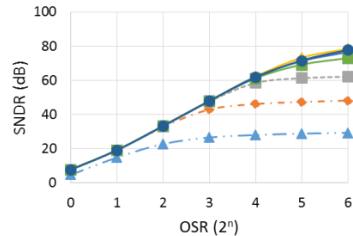
結果として、小数を残した方が SNDR は良い。図8の自己校正のみでのとき、小数を5桁残す場合では小数をすべて残す場合よりも SNDR が向上、または同等である。つまり、自己校正のみではすべてをフィードバックしなくても図7の結果が得られる。一方、図9のDWAと自己校正の場合は、すべてのバラツキで小数をすべて残したときの SNDR が高く、残し桁を減らすほど SNDR が低減する。



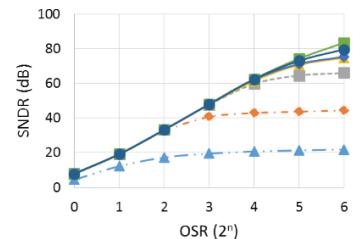
(a) バラツキ標準偏差 21%



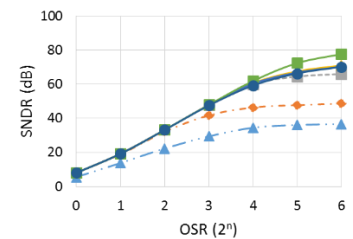
(b) バラツキ標準偏差 10%



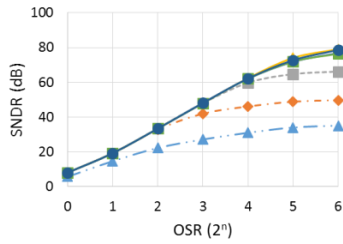
(c) バラツキ標準偏差 5%



(d) バラツキ標準偏差 3%

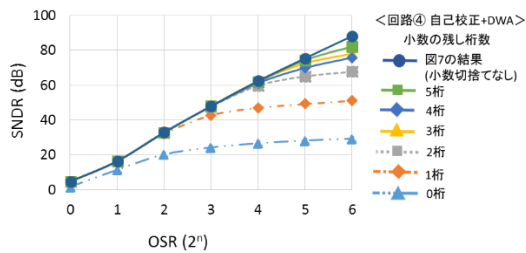


(e) バラツキ標準偏差 1%

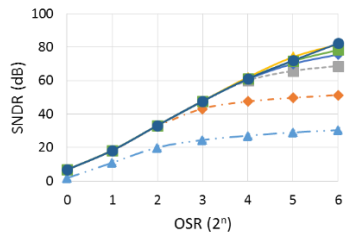


(f) バラツキ標準偏差 0.05%

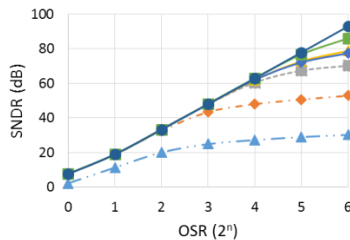
図 8 回路②のフィードバック値を制限した際の SNDR  
Fig. 8. SNDR when feedback digits of circuit ② are restricted.



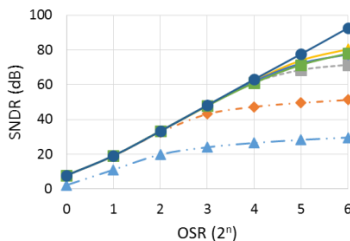
(a) バラツキ標準偏差 21%



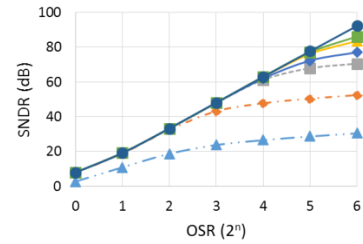
(b) バラツキ標準偏差 10%



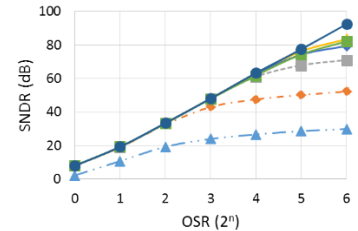
(c) バラツキ標準偏差 5%



(d) バラツキ標準偏差 3%



(e) バラツキ標準偏差 1%



(f) バラツキ標準偏差 0.05%

図 8 回路④のフィードバック値を制限した際の SNDR  
Fig. 8. SNDR when feedback digits of circuit ④ are restricted.

#### 4. まとめ

本論文ではマルチビット  $\Delta\Sigma$ DA 変換器の線形性向上のために、DWA と自己校正アルゴリズムおよびそれらの用いた組み合わせの有効性を比較した。

- (I) DWA アルゴリズム, (II) 自己校正アルゴリズムを用いることで、従来回路よりも SNDR が向上した。さらに, (III) DWA と自己校正アルゴリズム の2つの組み合わせでは、さらに SNDR が向上した。
- DWA アルゴリズムは Pointer を使いことで電流源をローテーションして使うように制御できる。
- 自己校正アルゴリズムは高精度な ADC で DAC の非線形性を測定する必要があるが、測定できればデジタル信号処理のみでノイズシェーブできる。
- 自己校正でフィードバックデータ桁数を制限するほど SNDR が低減する。小数を5桁以上残せば、小数切捨てなしの場合と同程度の SNDR が得られる。

#### 文 献

- (1) R.Schreier, G.C.Temes, Understanding Delta-Sigma Data Converters, Wiley-IEEE press (2009).
- (2) 村上正紘, 小林春夫「複素マルチバンドパス DWA アルゴリズムの効果検討」 電気学会 電子回路研究会, 秋田 (2014 年)
- (3) 村上正紘, 小林春夫「複素マルチバンドパス DAC の線形性向上アルゴリズム」 電子情報通信学会 第 37 回アナログ RF 研究会 (2014 年)
- (4) M. Murakami, H. Kobayashi, S. N. Mohyar, O. Kobayashi, T. Miki, J. Kojima, "I-Q Signal Generation Techniques for Communication IC Testing and ATE Systems", IEEE International Test Conference, Fort Worth, TX (Nov. 2016).