

逐次比較近似時間デジタイザ回路の 統計的手法による線形性自己校正技術の検討

小澤祐喜、姜日晨、小林春夫、築地伸和(群馬大)、塩田良治(ソシオネクスト)

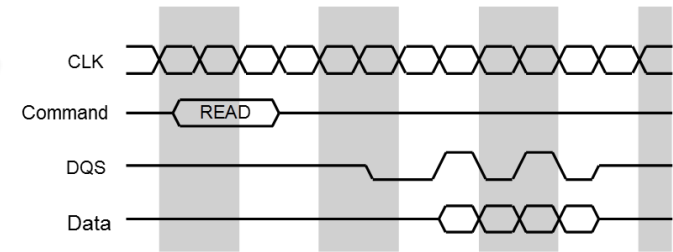
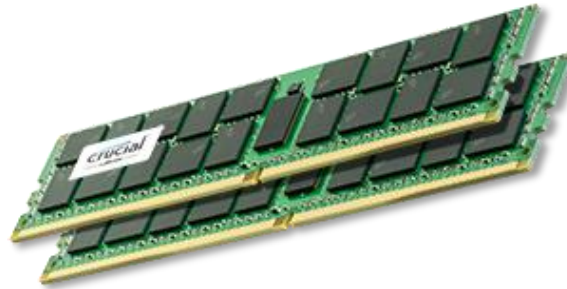
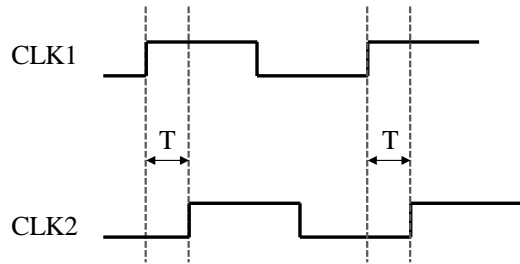
群馬大学 理工学部 電子情報理工学科

小林研究室 学部4年

小澤 祐喜

Supported by **socionext**[™]
for better quality of experience

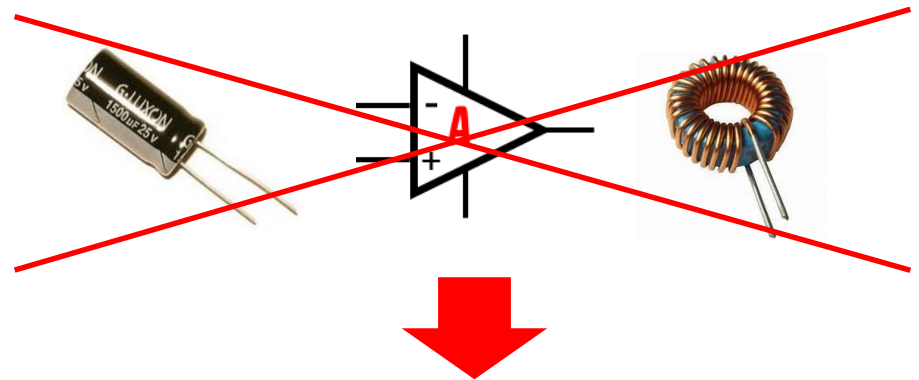
研究目標



タイミングテストに応用可能



FPGA実装向き



全デジタル回路構成・小型

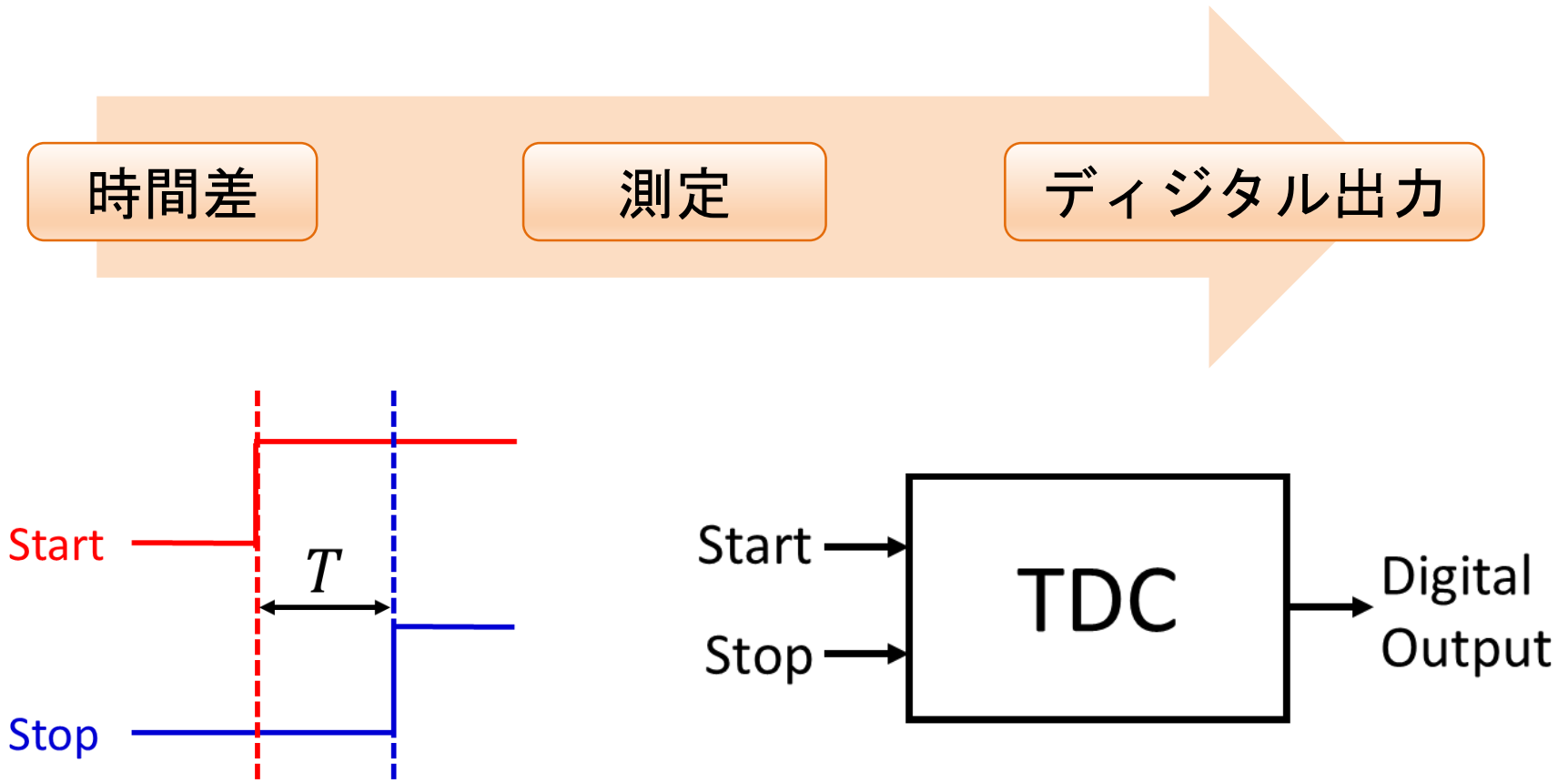
アウトライン

- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

アウトライン

- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

TDCの役割



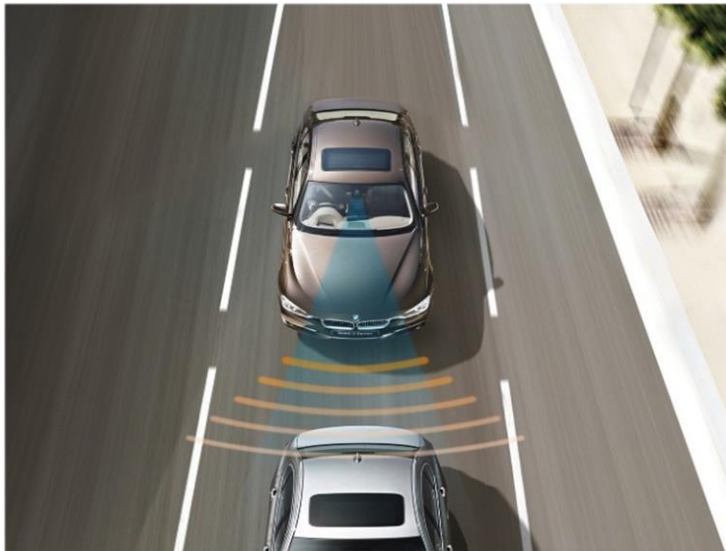
時間デジタイザ回路 (Time-to-Digital Converter、TDC) ;
タイミング信号の時間差を測定しデジタル出力

具体的な応用例



JAXA Digital Archives

- 医療用CT
- 車間等の距離計測
- イオン飛行時間分析
- タイミングテスト等



BMW AG Inc.,



SIEMENS Inc.,

車載センサとしての応用

DENSO

小型

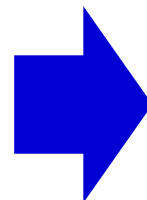
高分解能

低コスト

高信頼性



センサ回路の
脱アナログ化

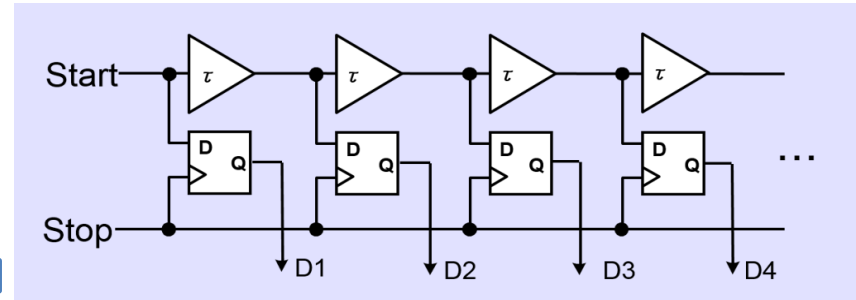


TDCを応用し
全デジタル化

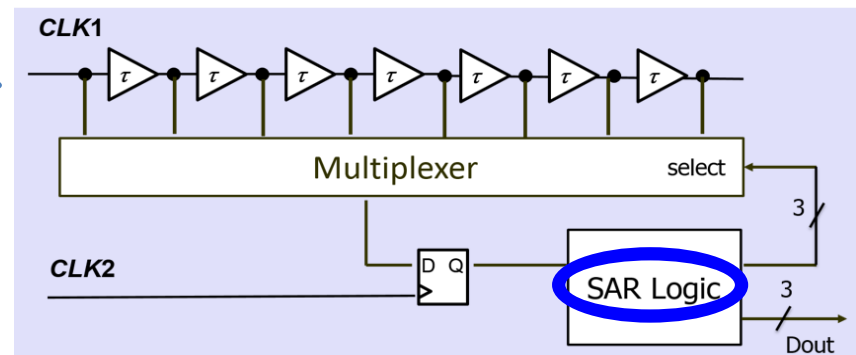
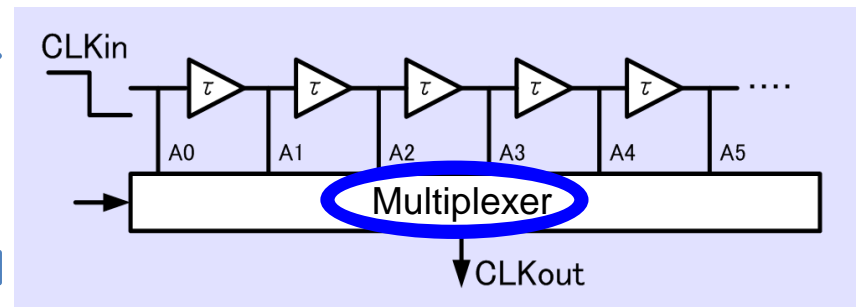
逐次比較近似TDCの構成

マルチプレクサを使用し
Dフリップ・フロップ数を大幅削減

逐次比較近似の原理を利用し
回路の動作ループを作る



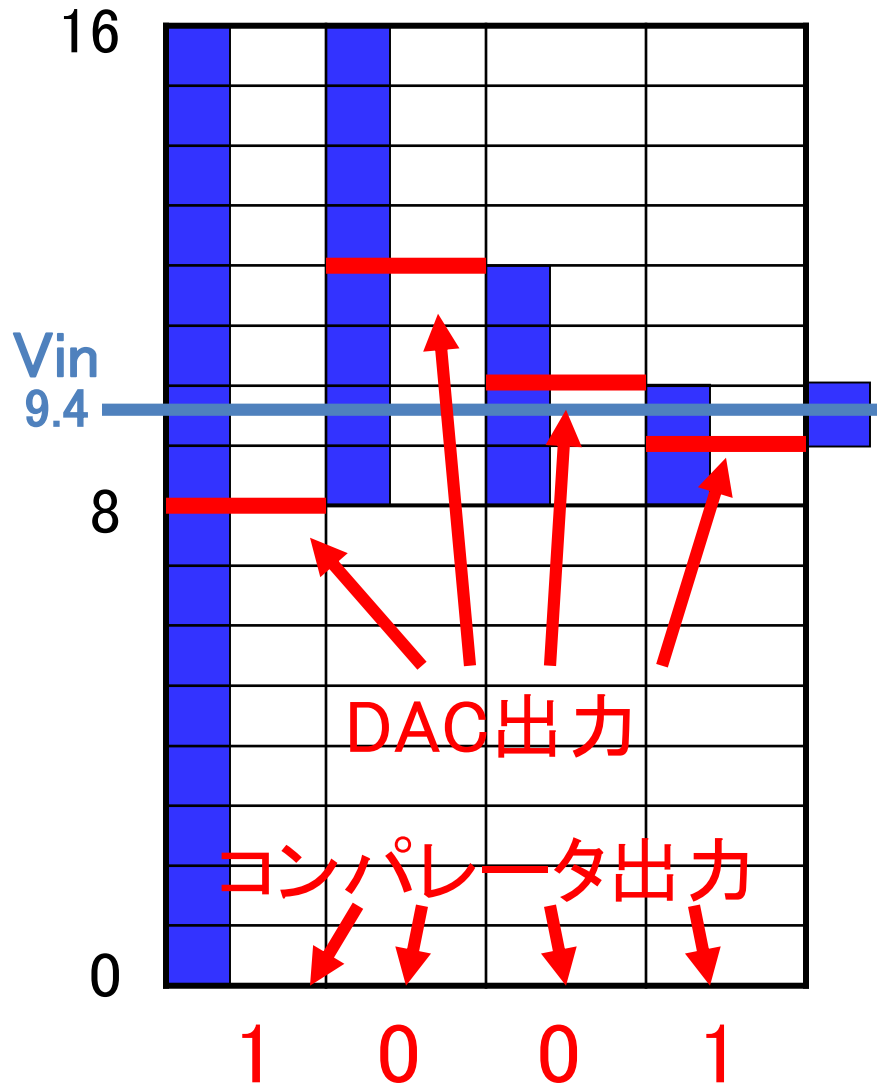
基本フラッシュ型TDC



逐次比較近似TDC

逐次比較近似
SAR: Successive Approximation Register

逐次比較: 2進探索アルゴリズム

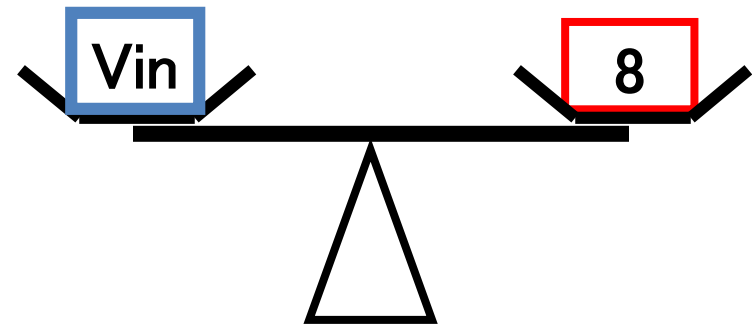


“天秤の原理”

4bit 4step

8 4 2 1 2進荷重

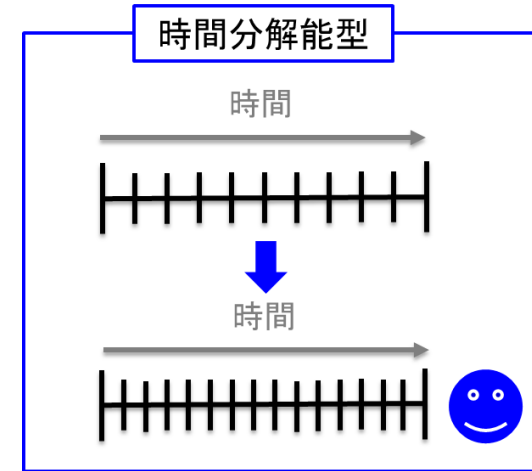
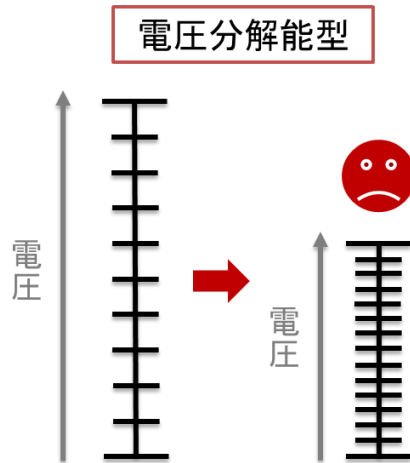
1
2 4



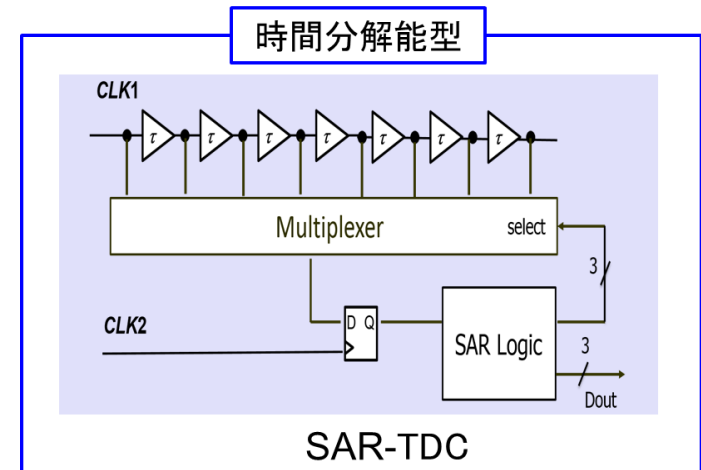
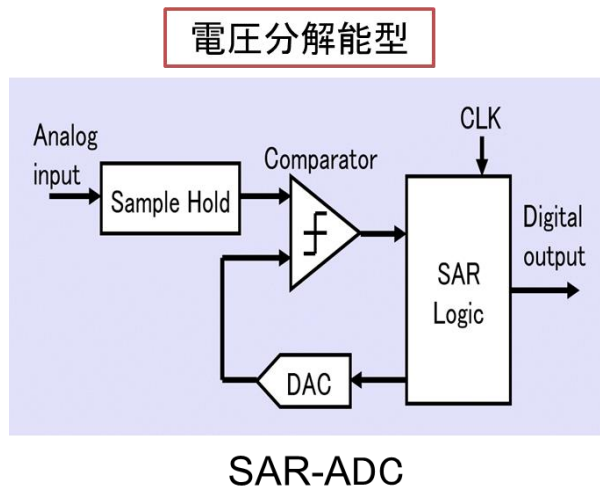
$$V_{in} = 4 - \frac{1}{2} = 9$$

TDCの利点

微細化により分解能が向上



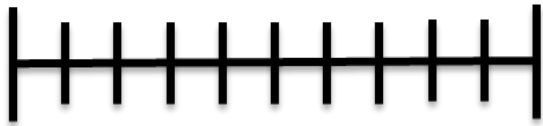
全デジタル回路で構成可能



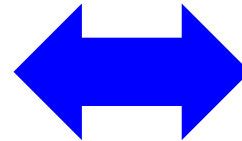
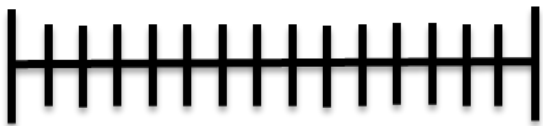
技術課題

時間分解能

時間



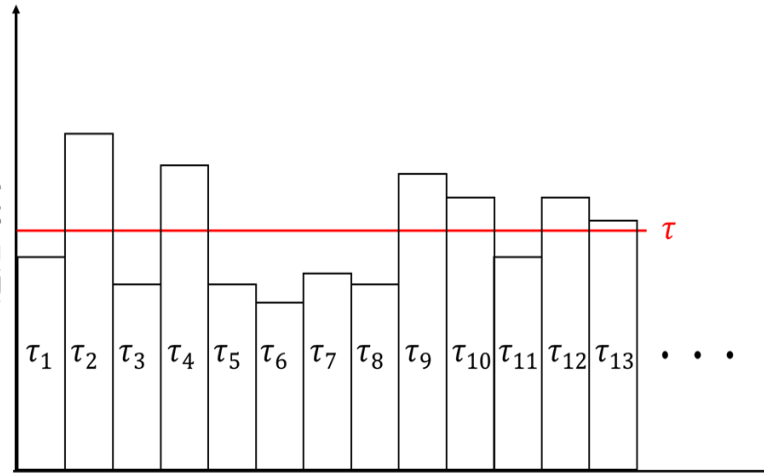
時間



トレードオフ

素子遅延値ばらつき

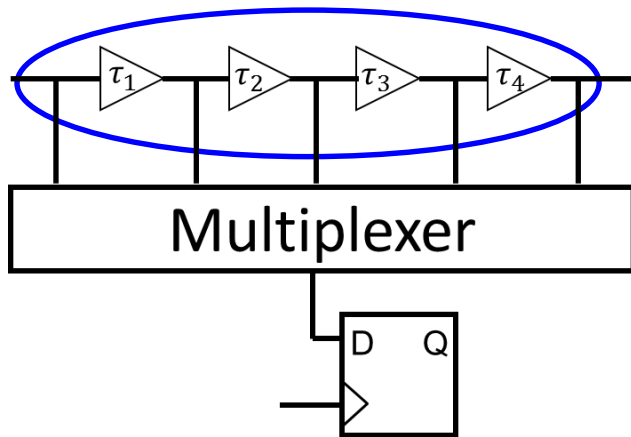
遅延時間



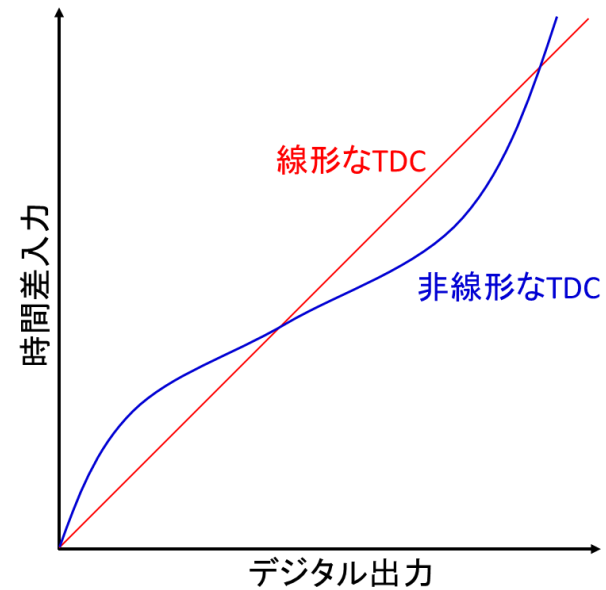
各素子

技術課題

素子遅延値ばらつき



TDCの入出力が非線形

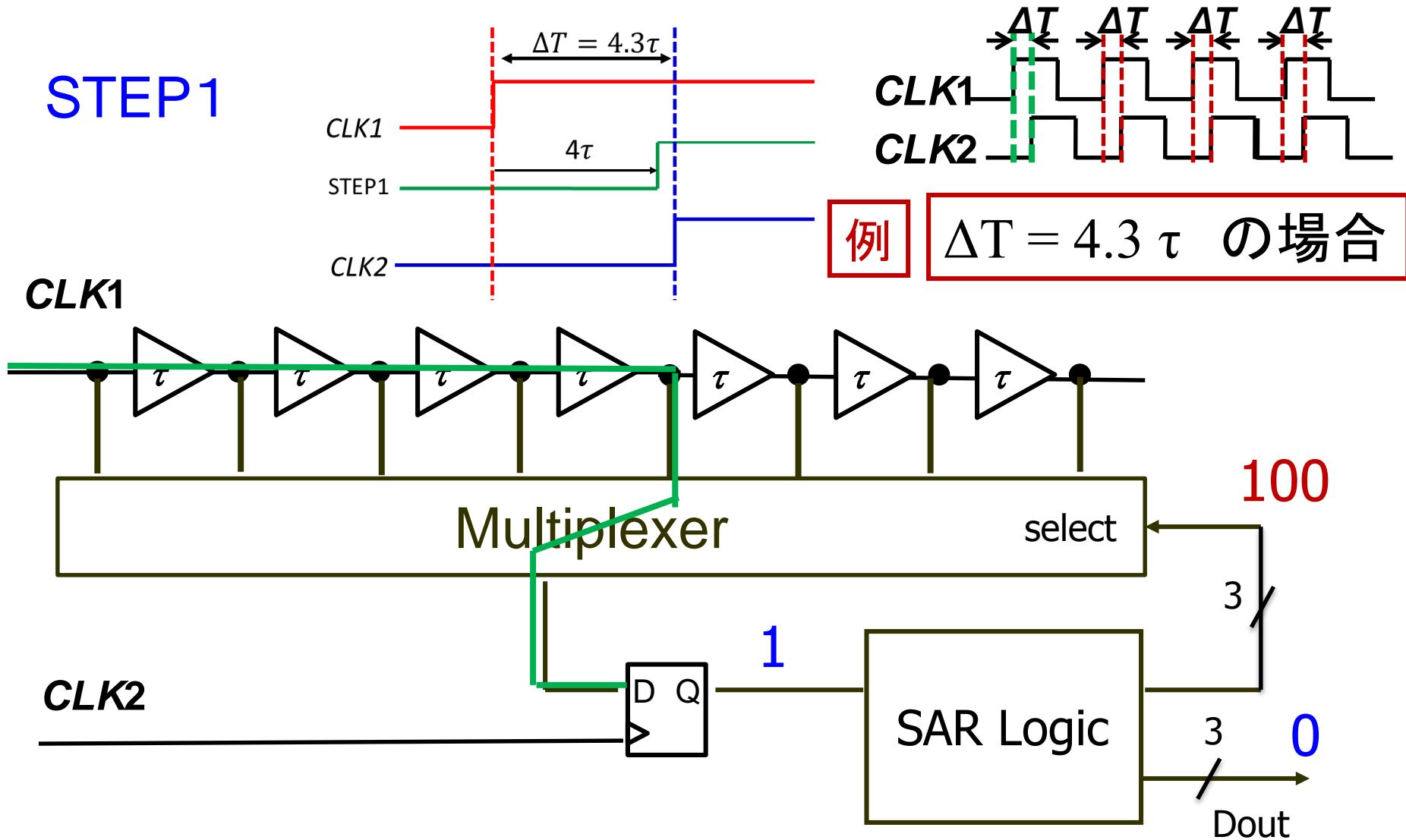


TDCの特性を線形に校正する技術が必要

アウトライン

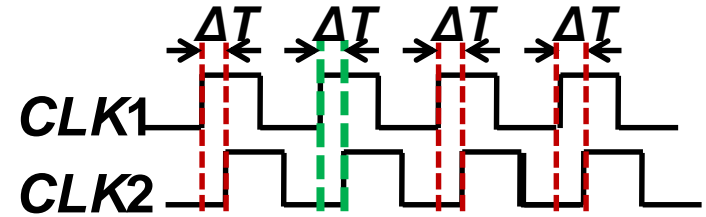
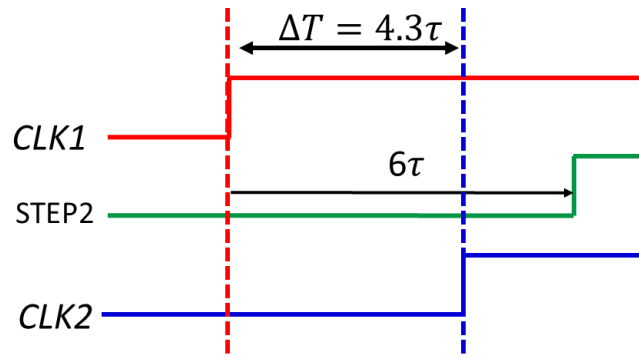
- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

逐次比較近似(SAR)TDCの動作



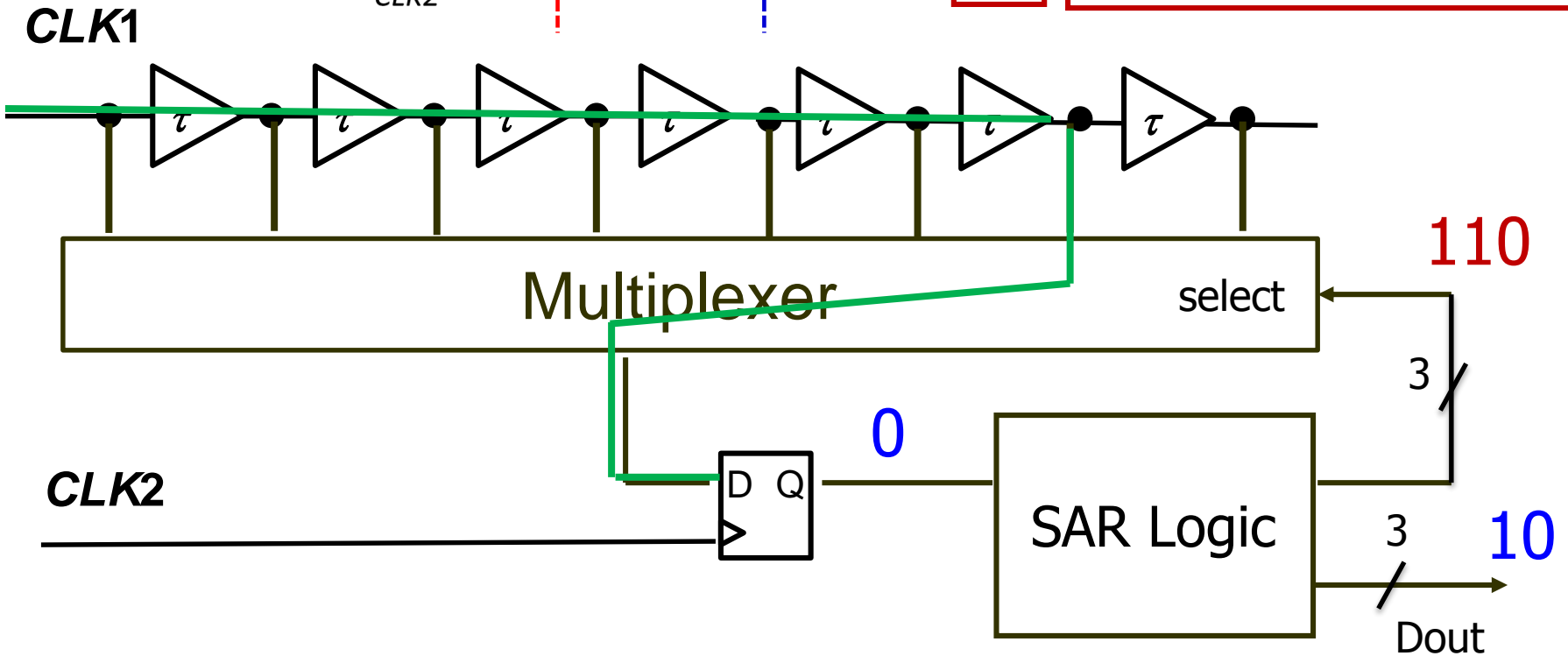
逐次比較近似(SAR)TDCの動作

STEP2



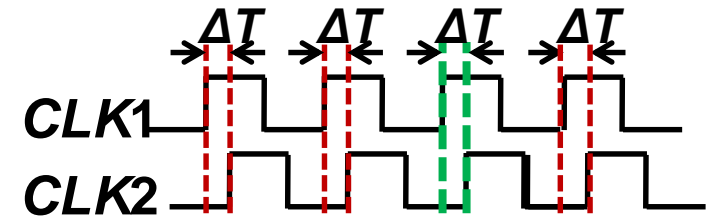
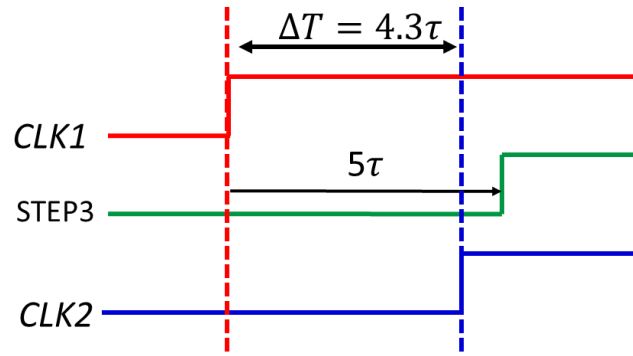
例

$\Delta T = 4.3\tau$ の場合



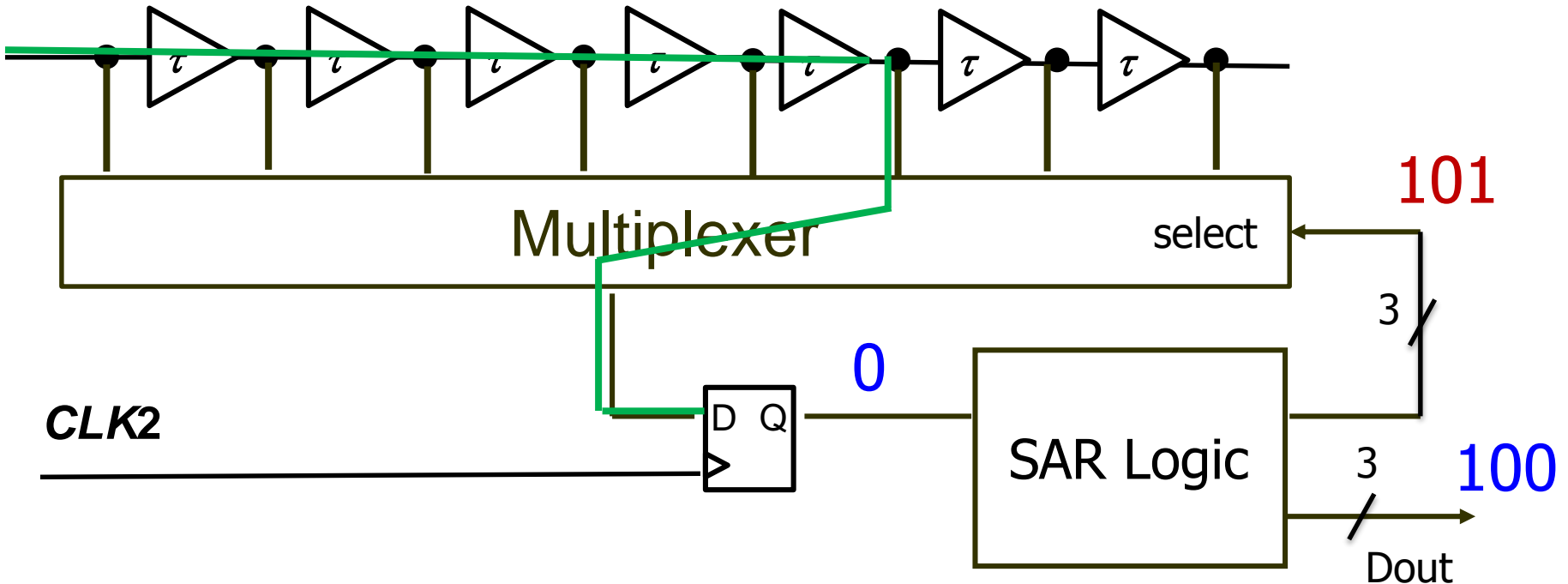
逐次比較近似(SAR)TDCの動作

STEP3



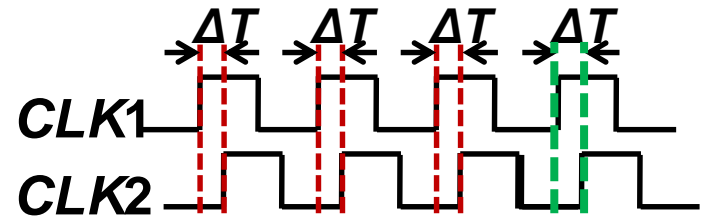
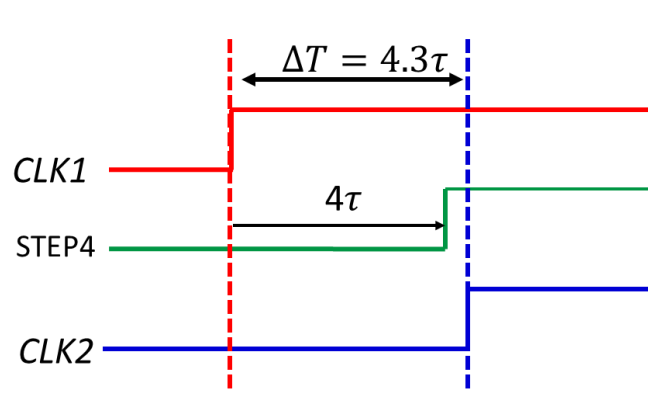
例

$\Delta T = 4.3\tau$ の場合



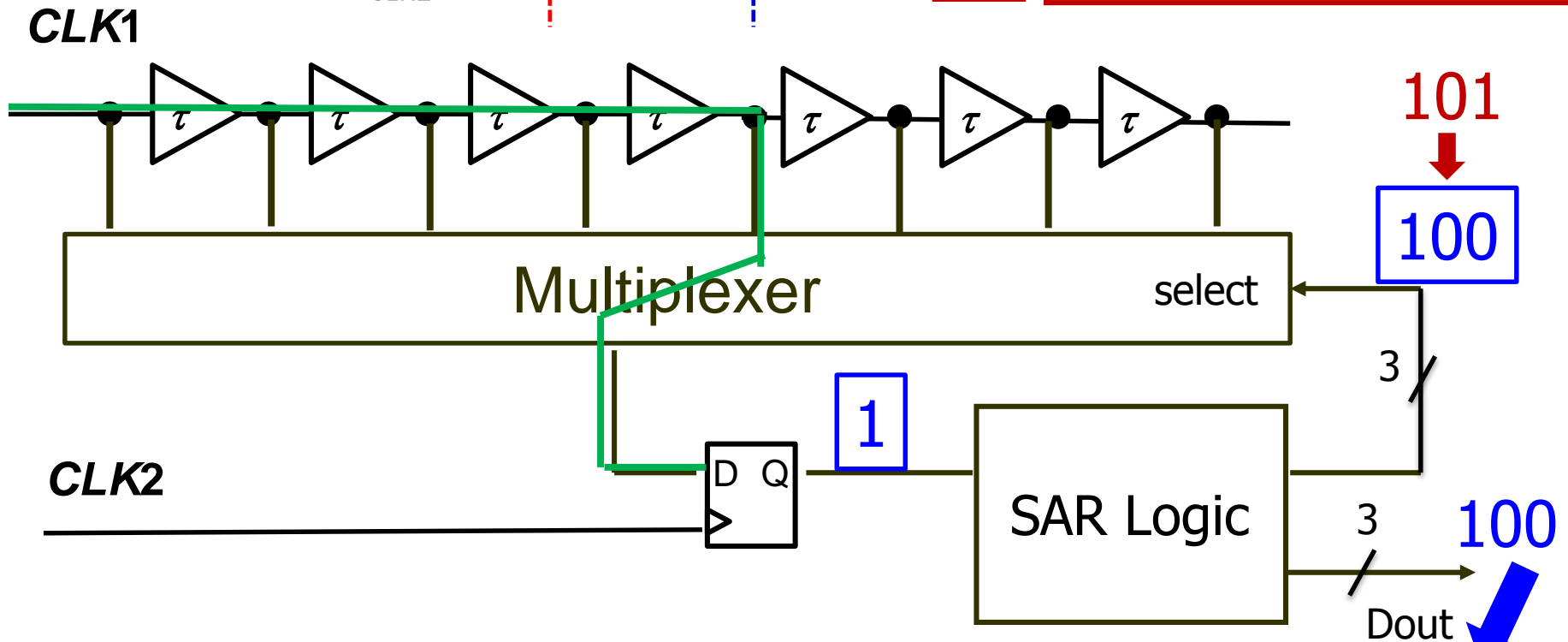
逐次比較近似(SAR)TDCの動作

STEP4
(安定状態)



例

$\Delta T = 4.3\tau$ の場合



デジタル出力: 4

アウトライン

- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

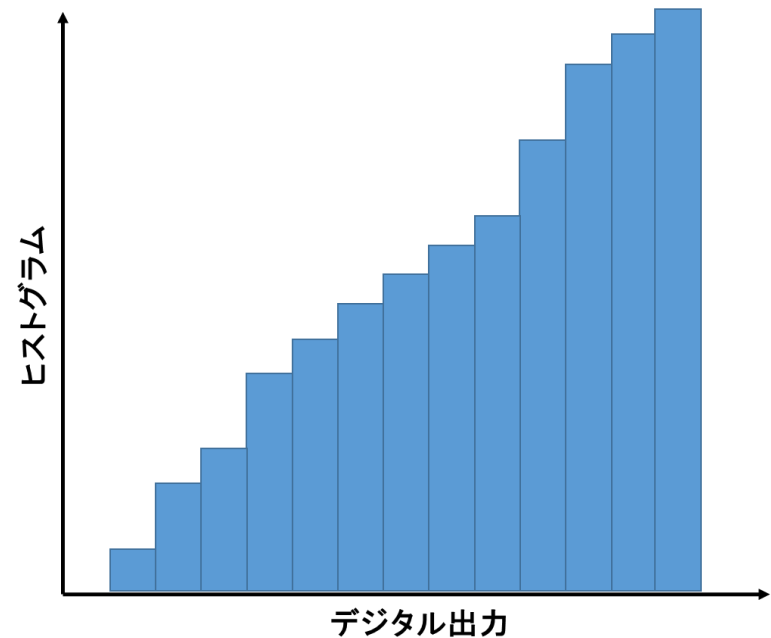
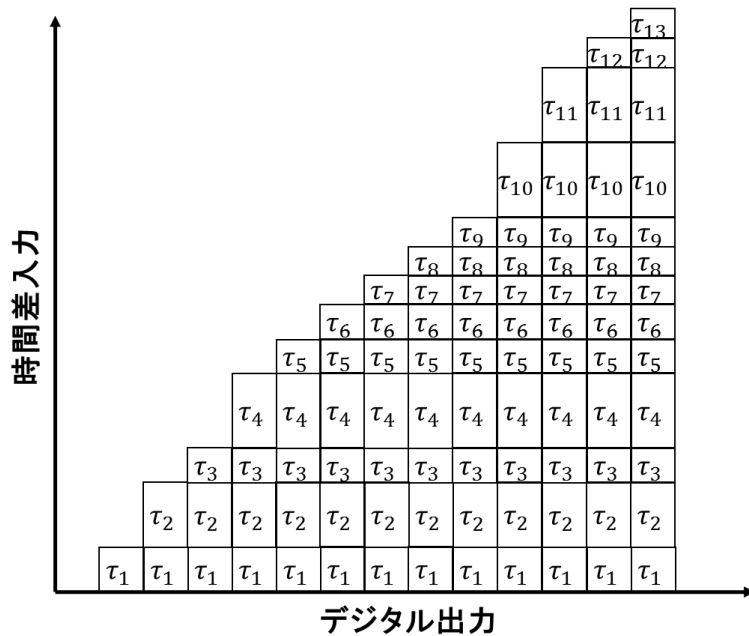
ヒストグラム法による素子遅延値の推定

ヒストグラム法



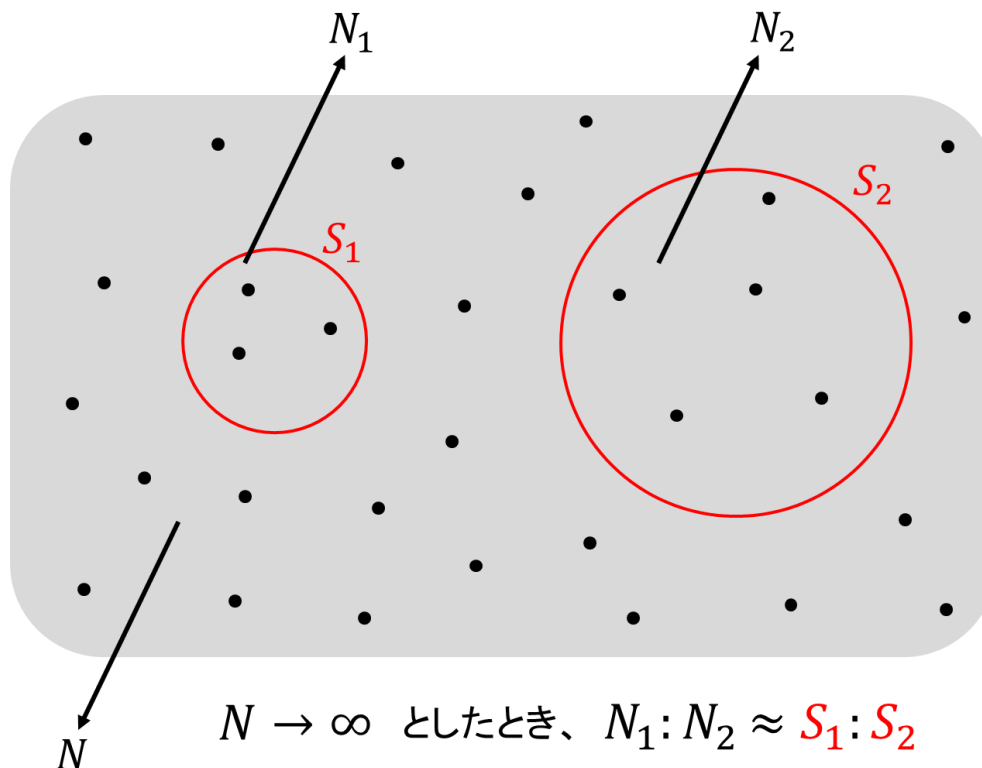
素子遅延値を間接的に知ることが可能

ヒストグラム・エンジンによる統計処理



ヒストグラム法による遅延素子値の推定

ヒストグラム法の原理



全体の面積に対して
無作為に点を打つ



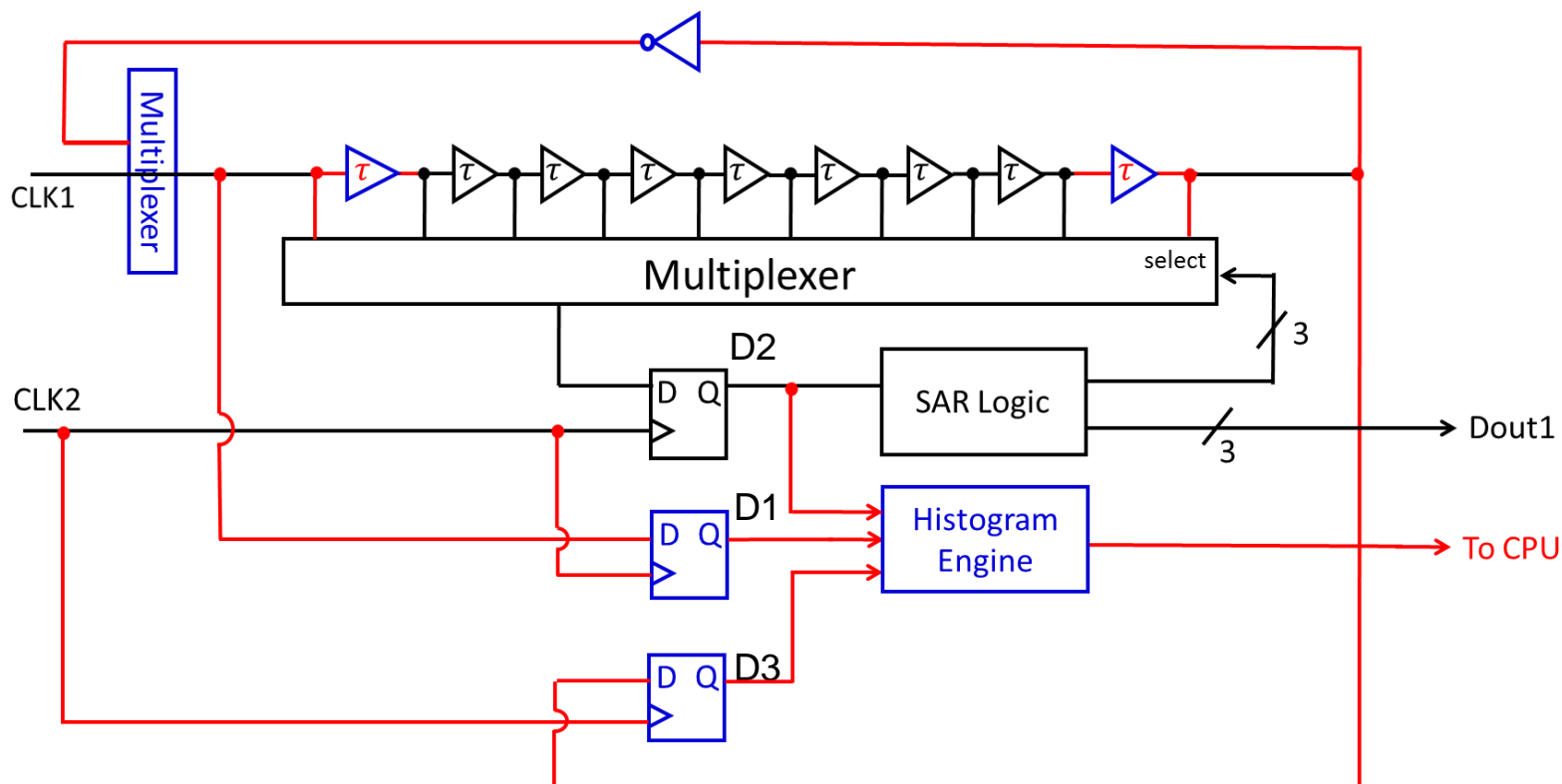
それぞれの円の面積の比は
それぞれの点数の比に近似できる

アウトライン

- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

測定回路を組み込んだSAR TDC

回路構成

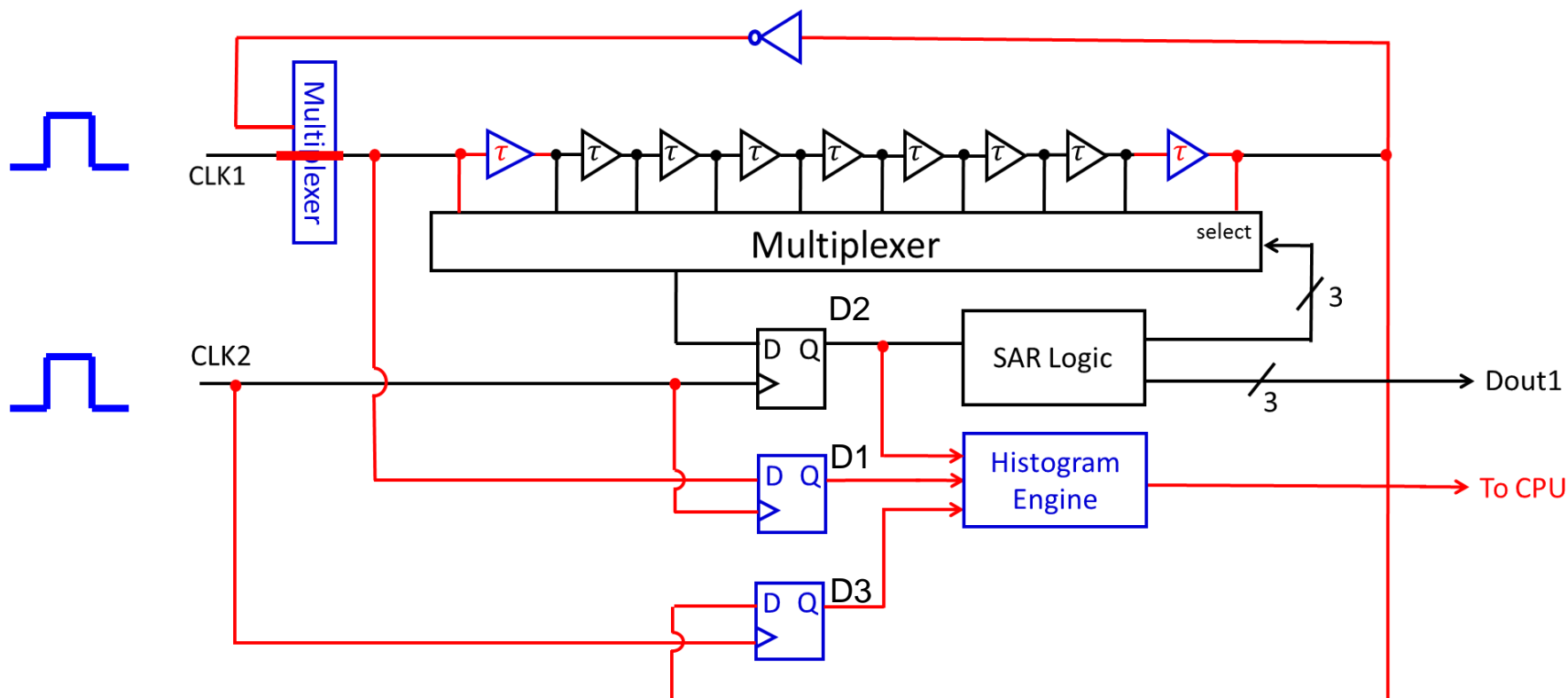


SAR-TDCに測定回路(素子:青 導線:赤)を付加

測定回路を組み込んだSAR TDC

回路動作

通常動作モード

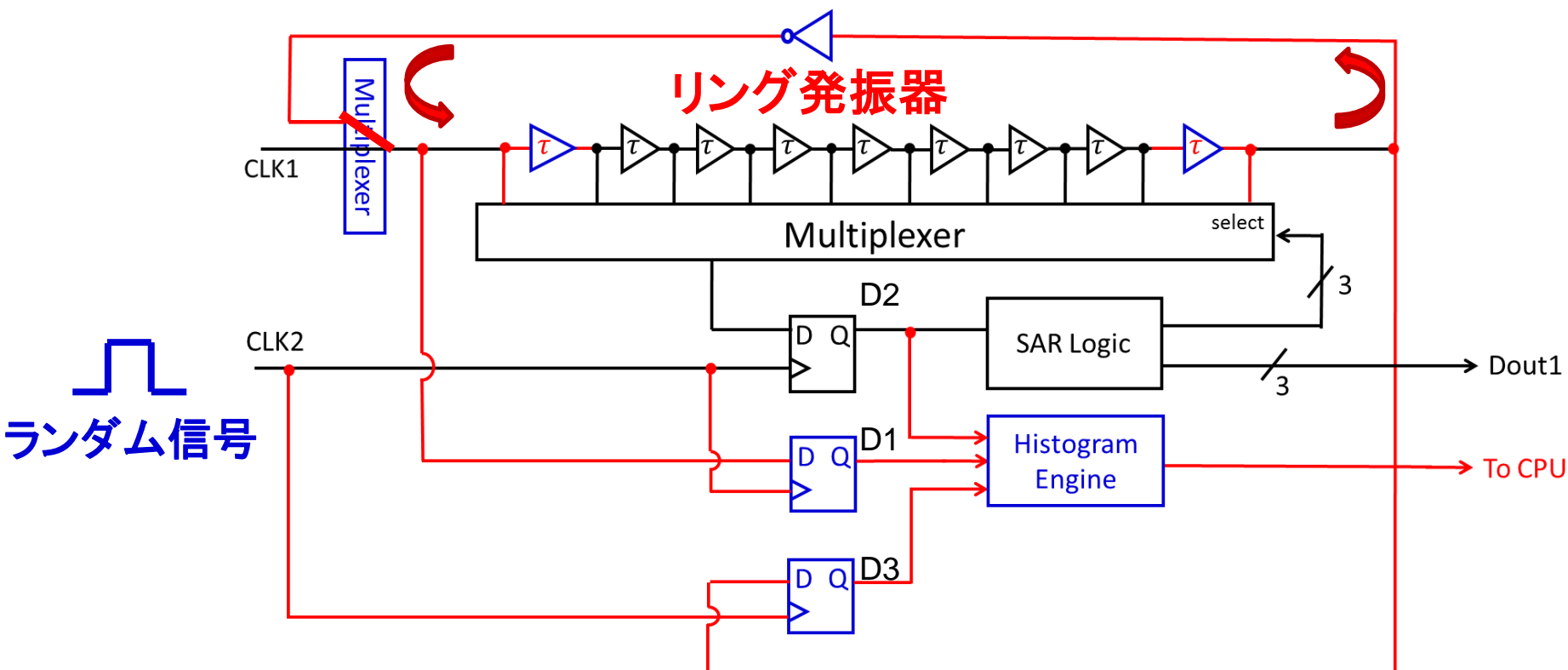


SAR-TDCに測定回路(素子:青 導線:赤)を付加

測定回路を組み込んだSAR TDC

回路動作

素子遅延値測定モード

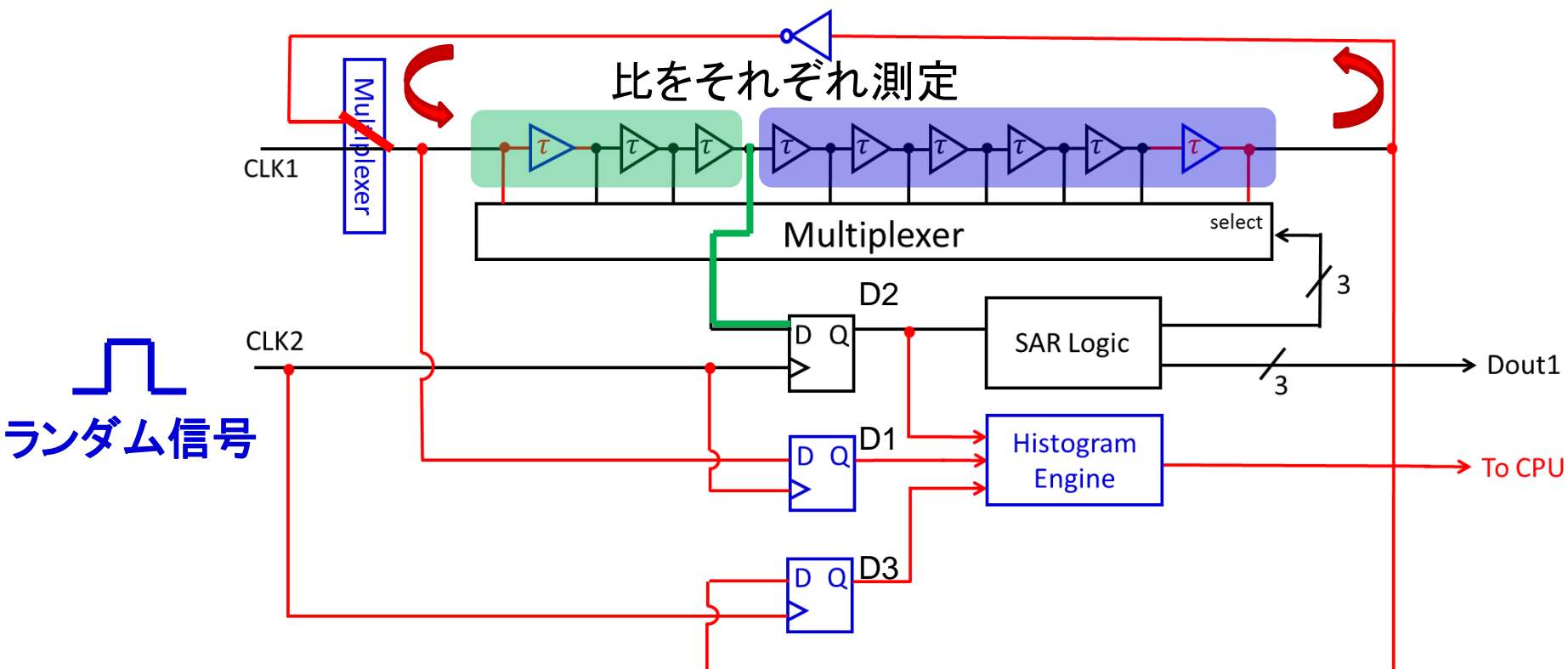


リング発振器とランダム信号は独立 → 無作為に点を打つことに対応

測定回路を組み込んだSAR TDC

回路動作

素子遅延値測定モード



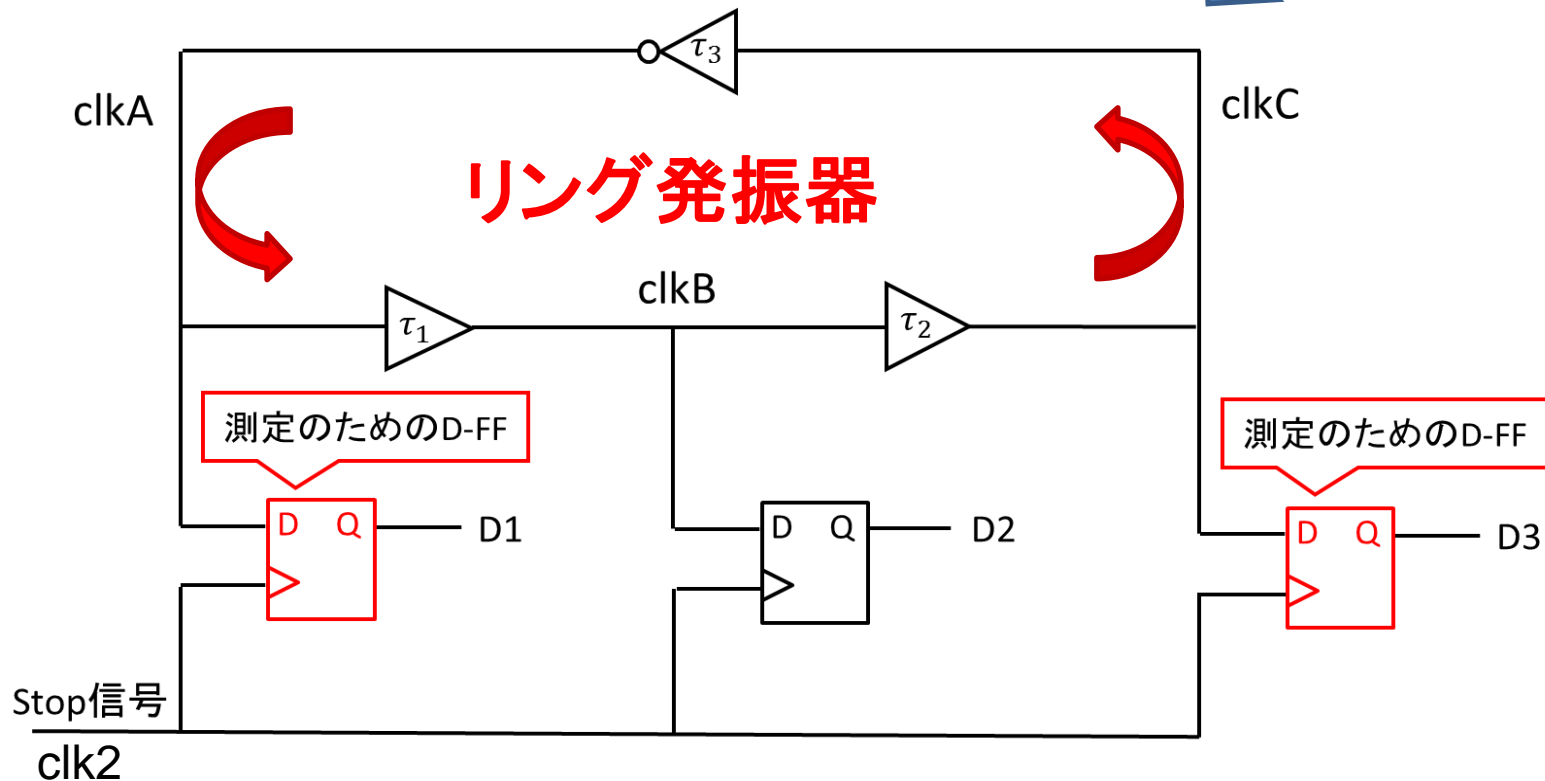
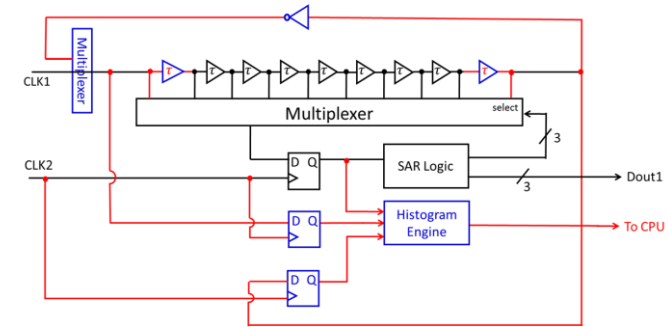
素子遅延値の比をそれぞれ測定



フラッシュ型に比べ時間を要する

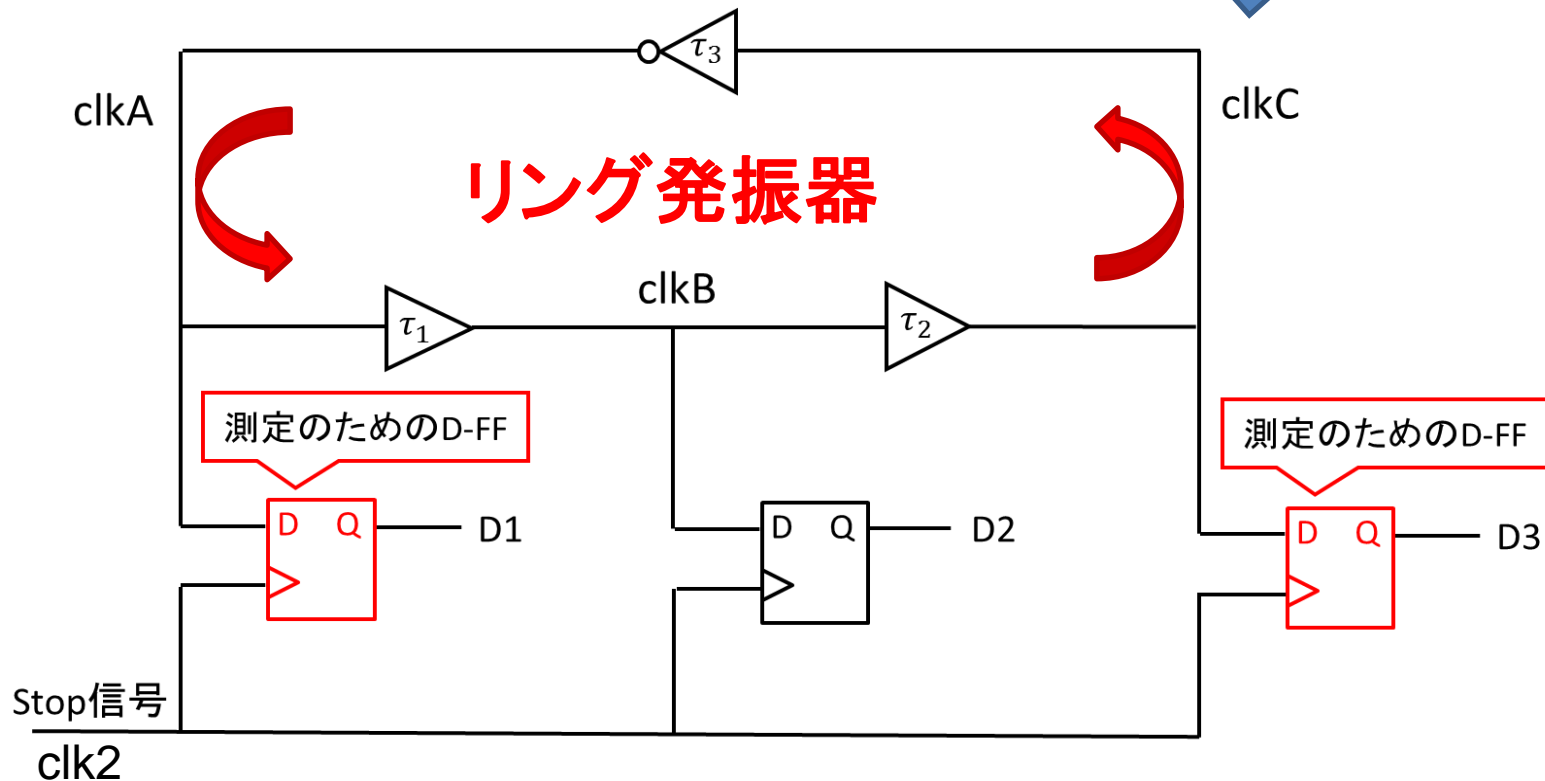
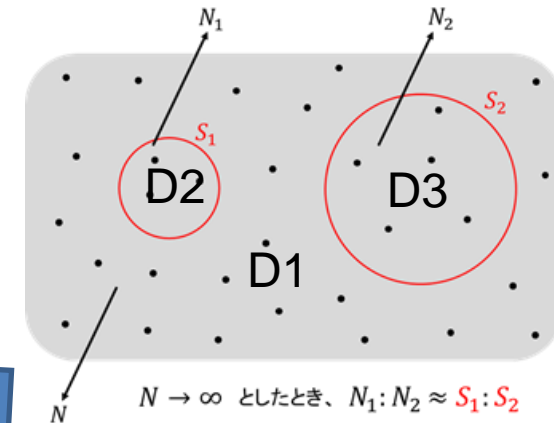
簡略化したテストモード回路の構成

遅延素子値測定モードについて簡略化



簡略化したテストモード回路の構成

無作為に点を打つことに対応



アウトライン

- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

シミュレーションによる検証

Scilab 5.4.1で検証:

逐次比較型TDCのヒストグラム法を用いた校正手法を下記の条件でシミュレーション

シミュレーション条件

- 素子数6bit(64個)
- 遅延素子の仕様:

平均遅延時間	10ps	(180nmプロセスを想定)
標準偏差	3ps	(正規分布に従う)
- STOP信号の入力回数 :
50000回 (無作為に発生)

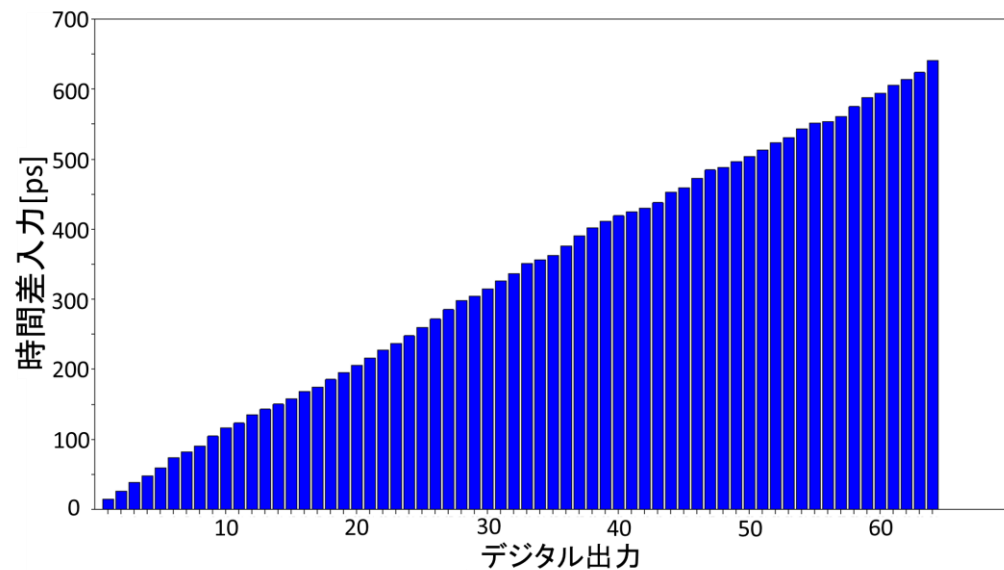
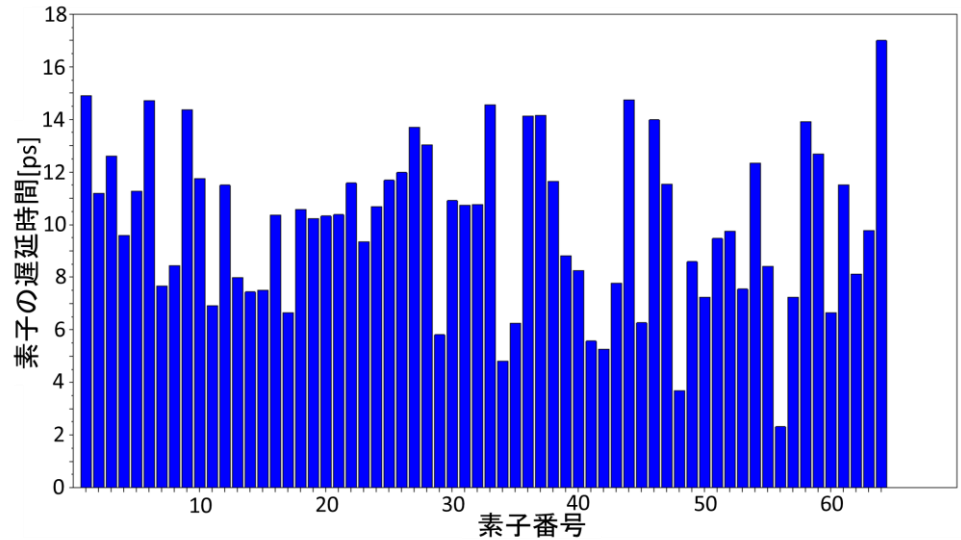


ばらつきを生成

乱数を発生させ
素子遅延値のばらつきを生成



TDC特性が生成される

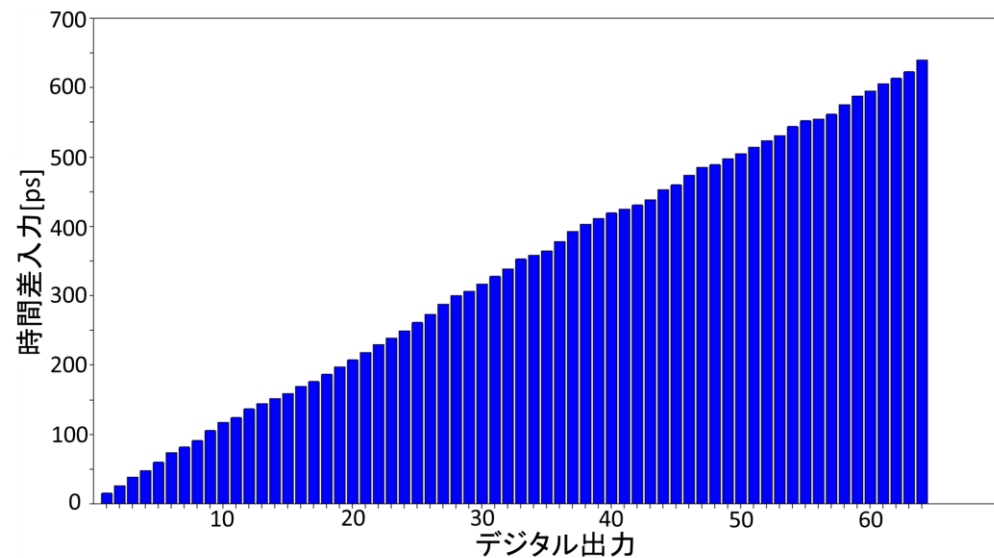
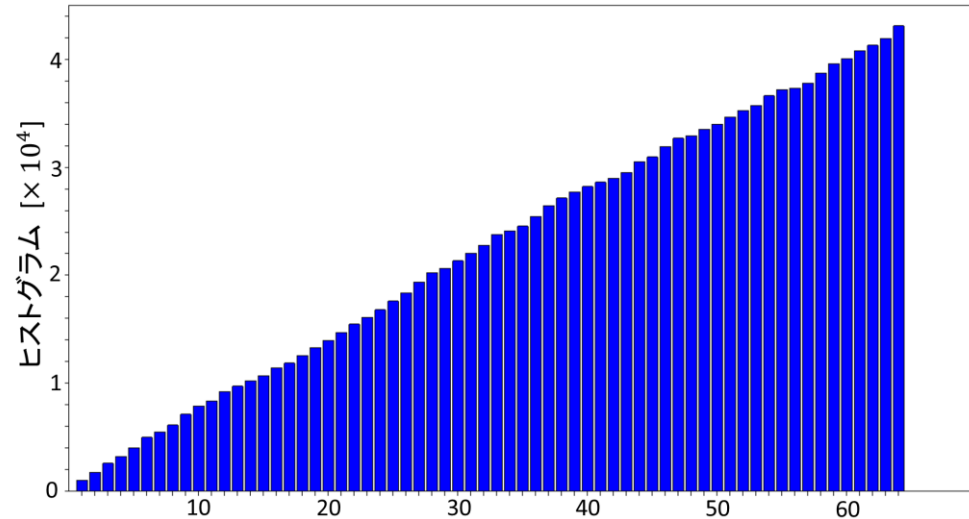


ヒストグラム法の検証

ヒストグラム法により
統計的に処理



素子遅延値に変換すると
本来のTDCと似た特性が得られる

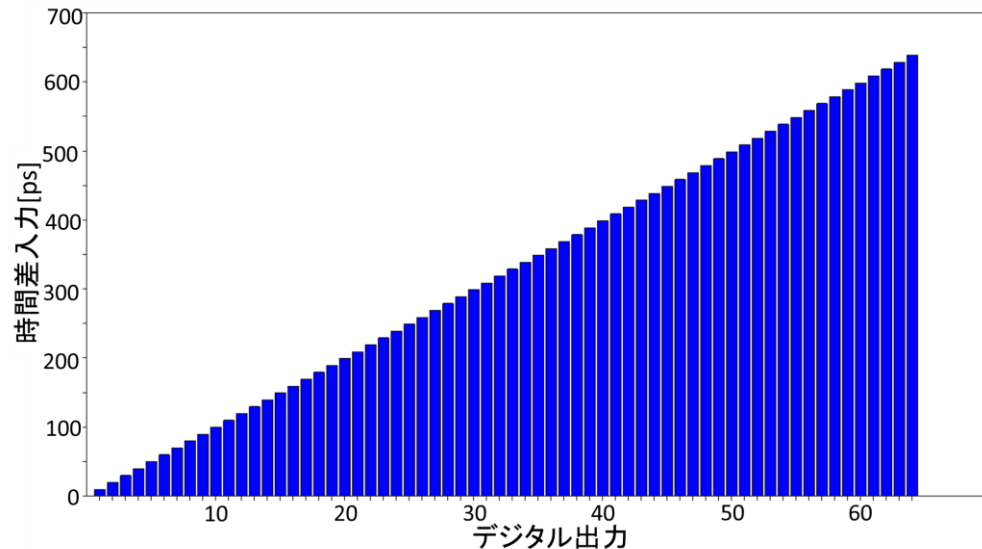
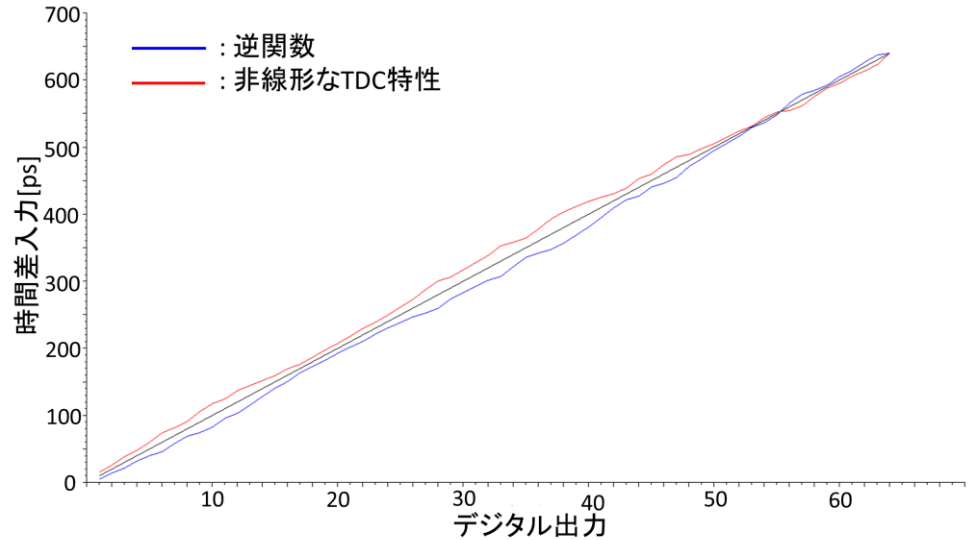


逆関数による校正の検証

非線形なTDC特性の
逆関数を用いてキャンセル

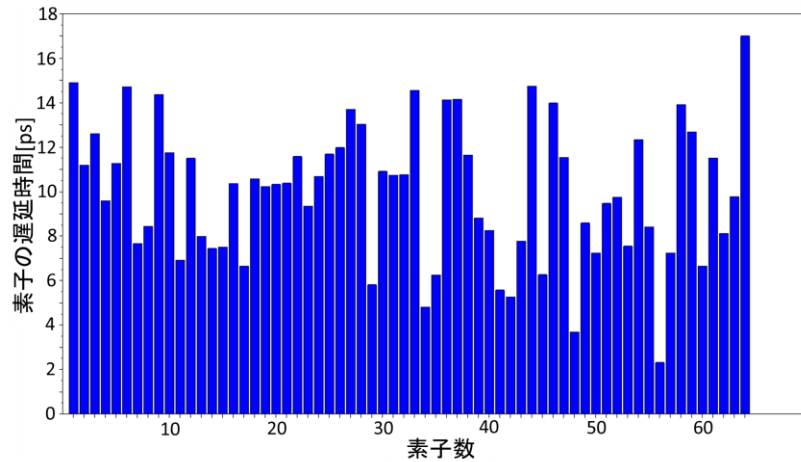


校正後のTDC特性



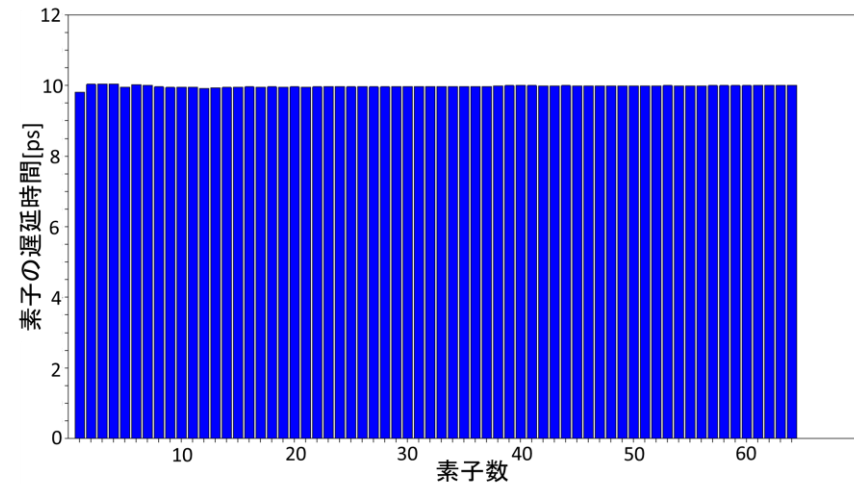
校正前後の比較

Before



校正前の素子毎の遅延時間

After



校正後の素子毎の遅延時間

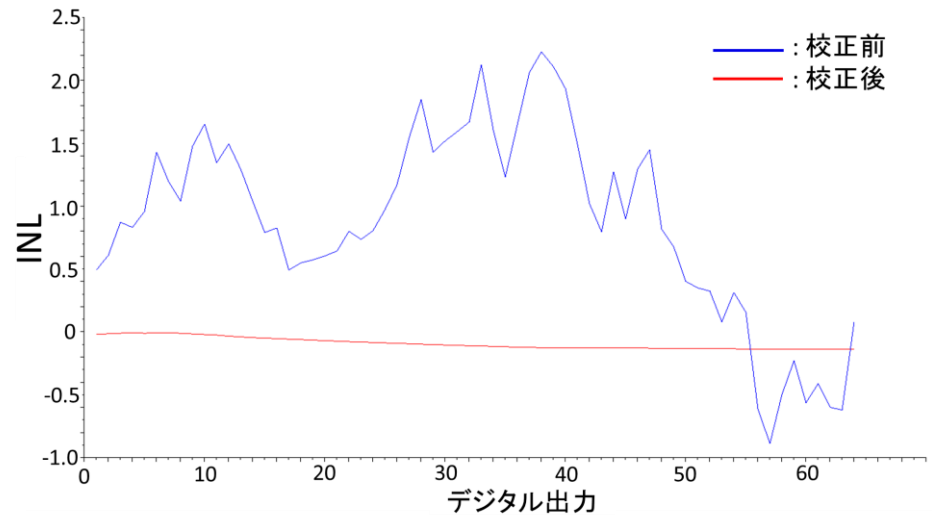
誤差比較

校正前と校正後のINL

校正前 INL=2.22LSB

校正後 INL=0.13LSB

※ワーストケース

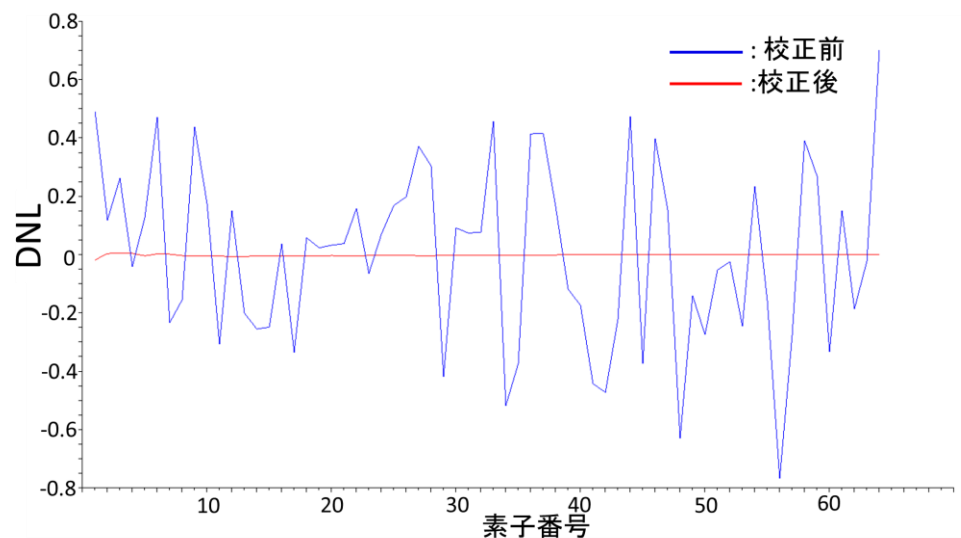


校正前と校正後のDNL

校正前 DNL=0.76LSB

校正後 DNL=0.02LSB

※ワーストケース

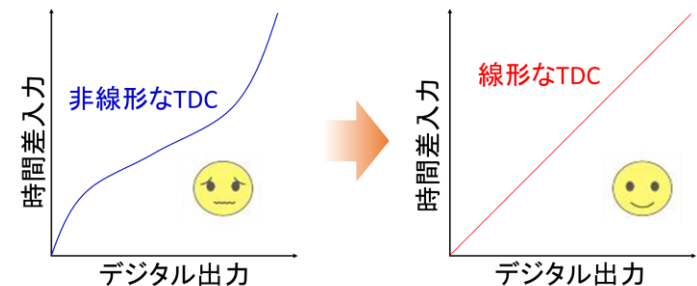


アウトライン

- TDCの役割
 - 具体的な応用例
 - 逐次比較 2進探索アルゴリズム
 - 逐次比較近似TDCの構成
 - 技術課題
- 逐次比較近似(SAR)TDCの動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

まとめ

- 逐次比較型TDCの非線形な特性を校正できる回路の考案
- ヒストグラム法を用いた逆関数による校正メカニズム
- 全デジタル回路&全デジタル校正
- Scilabによるシミュレーション



今後の課題

FPGA実装による検証



Q&A

足利工大 萩原先生

Q 逆関数というのは、元から作っておくのか？

A 素子値のばらつきは、製造ばらつきであったり、温度などによって生じるそれぞれの個体の状況によって異なる。なのでSAR-TDCを使用する前に一度測定し、校正する必要がある。また温度などの状況によって校正し直す必要も生じる場合がある。

Q 測定時間はどの程度なのか？

A 今回のシミュレーションは1ms以内に測定可能と考えている。単純に試行だけであれば、理想的には50nsとなる。ただし、誤差を多少許容できるのであれば、試行回数を減らすことでより短時間に測定を終了することも可能である。今回は5万回の試行を行ったが、逆に誤差を出来るだけ小さくしたい場合には10万回に試行を増加させるなどを行う。誤差と測定時間はトレードオフの関係となっている。