

# 逐次比較型時間デジタイザ回路の統計的手法による 線形性自己校正技術の検討

小澤祐喜, 姜日晨, 小林春夫, 築地伸和, 塩田良治\*

群馬大学 理工学府電子情報部門 〒376-8515 群馬県桐生市天神町 1-5-1

\*株式会社ソシオネクスト 〒222-0033 横浜市港北区新横浜 2-10-23 野村不動産新横浜ビル

## Linearity Self-Calibration with Histogram Method for SAR TDC

Yuki Ozawa Conbing Li Haruo Kobayashi Nobukazu Tsukiji Ryoji Shiota\*

Division of Electronics and Informatics, Graduate School of Science and Technology, Gunma University,  
1-5-1 Tenjin-cho, Kiryu 376-8515, Japan

\*Socionext Inc., Nomura Shin-Yokohama Bldg., 2-10-23 Shin-Yokohama, Kohoku-ku, Yokohama,  
Kanagawa, 222-0033, Japan

This paper proposes a 2-step successive-approximation-register (SAR) time-to-digital converter (TDC) architecture with self-calibration. It measures the timing difference between 2 repetitive clocks with fine time resolution and high linearity. Also it can be implemented with full digital circuit; hence FPGA implementation is possible. Compared to a conventional flash-type TDC, hardware and power of the proposed architecture are reduced significantly.

キーワード：時間デジタイザ回路、逐次比較、ヒストグラム、自己校正、Scilab

(Time-to-Digital Converter, Successive-Approximation-Register, Histogram, Self-Calibration, Scilab)

### 1.はじめに

時間デジタイザ回路(Time-to-Digital Converter: TDC)は2つのタイミング信号のエッジ間の時間差を測定しデジタル出力を得る回路である。プロセス技術の微細化とともに、低電圧化も進んでいるためアナログ回路の電圧分解能を上げることがますます困難になる。一方アナログ信号を電圧軸ではなく、時間軸で信号を扱う時間領域アナログ回路では遅延素子から構成する遅延線を使用する。遅延素子が微細化によりさらに小さい遅延が取れるようになり、TDC回路で時間分解能がより細かなものが実現できる。さらに全てデジタル回路で構成できる利点も持つ。

しかし、TDCは遅延素子の製造バラつきによって、その線形性が劣化するという課題がある。そこで、遅延素子の時間バラつきの影響をキャンセルしTDCの非線形な特性を線形に校正する必要がある。

この論文では、逐次比較型TDCに対してヒストグラム法による自己校正法の適用を検討した結果を示す。

### 2.逐次比較型TDC (SAR TDC)の構成と動作

逐次比較型TDCの構成と動作を図1に示す。逐次比較型TDCはCLK1とCLK2の時間差の測定を逐次比較の原理でn回に分けて2進探索することにより行い、デジタル出力する回路である。

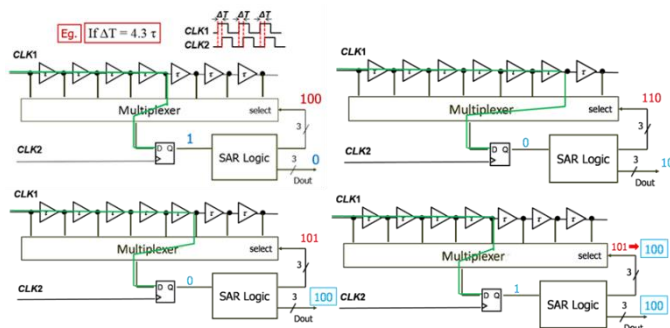


図1 逐次比較型TDCの構成と動作

Fig. 1. Configuration and operation of an SAR TDC

ビット数nが大きい場合の逐次比較型TDCの基本的なフラッシュ型TDCに対する得失は次のようになる。

- 必要なDフリップフロップ数が激減する(よって消費電力も激減する)。即ち $(2^n - 1)$ 個からコンパレータとSAR Logicに使う $1 + 2(n + 1)$ 個に大幅減少。
- 遅延バッファ数は同じ
- マルチプレクサとSAR LogicはDフリップフロップ配列に比べ比較的小規模回路
- フラッシュ型は1回で測定可、SAR型はn回のステップで測定
- フラッシュ型は単発のタイミング信号間測定可  
SAR型は繰り返しタイミング信号のみ測定可

### 3.自己校正技術を用いた SAR TDC

TDC は遅延素子の製造ばらつきによって非線形な特性になる。先に記した SAR TDC も同様である。この特性を線形に校正する必要があり、解決手法を検討した。

#### 3.1.測定回路を組み込んだ SAR TDC

図 1 の回路に新たに測定回路を組み込み、図 2 のような自己校正機能を持った SAR TDC 回路を提案する。

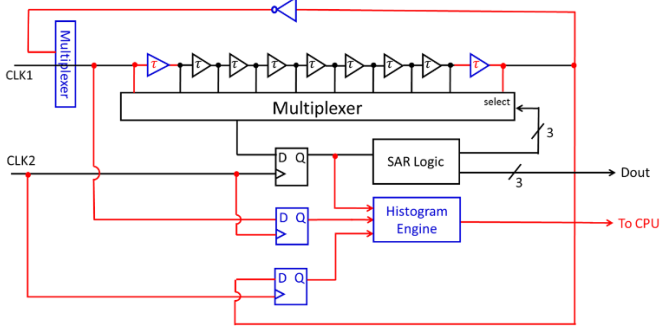


図 2 自己校正機能を持った SAR TDC の構成  
Fig. 2. Configuration of an SAR TDC  
With the linearity self-calibration circuit

図 2 の赤と青の部分が遅延時間を測定するための回路である。CLK2 に無作為に STOP 信号を入力し、この時の TDC のデジタル出力値を抽出する。結果を Histogram-Engine により統計処理を施すことによって TDC の特性を推定する。

大数の法則によれば、試行回数を多くするほど出現回数の比が時間の比に近くなる。図 3 は、これをシミュレーションし、出現回数の比と時間の比の誤差 RMS[%](1 回の施行あたり)をプロットしたものである。

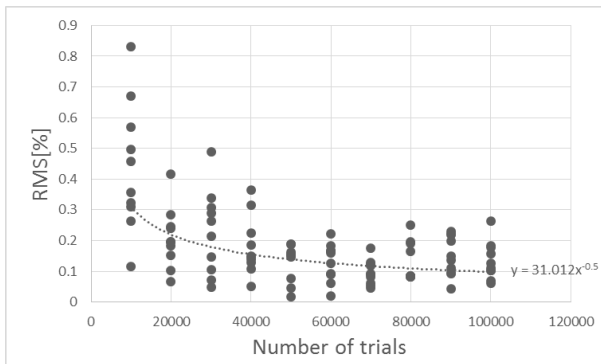


図 3 試行回数に対する試行 1 回当たりの誤差の RMS 値[%]  
Fig. 3 Number of trials versus error per trial (RMS [%])

試行回数が増えるにしたがって RMS が小さくなっていることが分かる。ヒストグラム法による誤差を小さくしたければ試行回数を増やすことで対応することが可能である。

### 3.2.SAR TDC の線形性校正手法

SAR TDC における遅延素子のばらつきを考えると、図 4 に示すことができる。

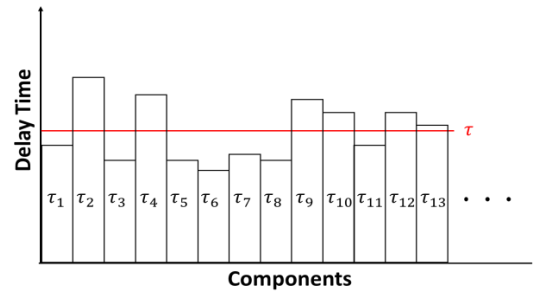


図 4 各遅延素子における遅延時間のばらつき  
Fig. 4. Variation of delay elements

先に記したヒストグラム法によって非線形な TDC 特性を推定することが出来る。

具体的な校正手法では、得られた非線形な TDC の特性の逆関数を用いる (図 5)。非線形な特性を、その逆関数によってキャンセルすれば線形な特性に近づくと考えられる。

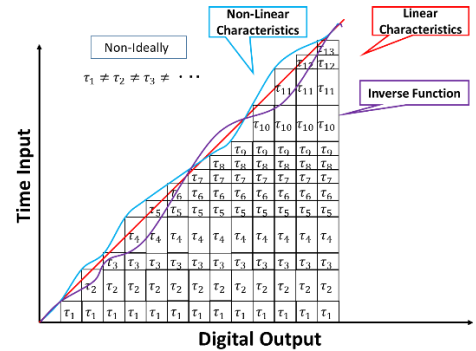


図 5 TDC の非線形な特性と逆関数による校正  
Fig. 5. Non-ideal TDC characteristics and correction with its inverse function.

この手法を用いて校正を施すと、図 6 のような理想的な特性に近づけることができる。

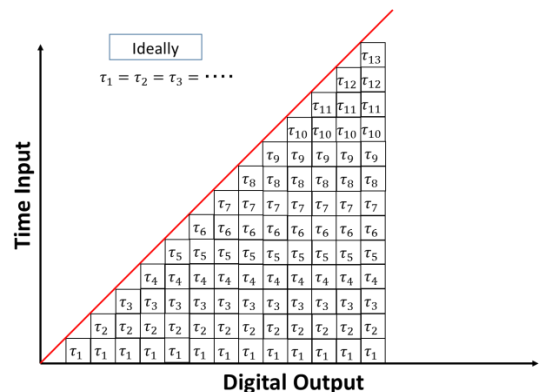


図 6 理想的な TDC の入出力特性  
Fig. 6. Ideal TDC I/O characteristics

#### 4.シミュレーションによるヒストグラム法の検証 (Scilab-5.4.1)

次に逐次比較型 TDC のヒストグラム法を用いた校正方法について Scilab を用いてシミュレーションを行い検証した。下記の条件でシミュレーションを行った。

- 素子数 6bit(64 個)
- 遅延素子の仕様 :  
平均遅延時間 10ps  
標準偏差 3ps (正規分布に従う)
- STOP 信号の入力回数:  
50000 回 (無作為に発生)

上記の仕様であると仮定した場合、遅延素子のばらつきは、図 7 のようになる。今回は最小値 2.4ps、最大値 17.0ps というばらつきになった。

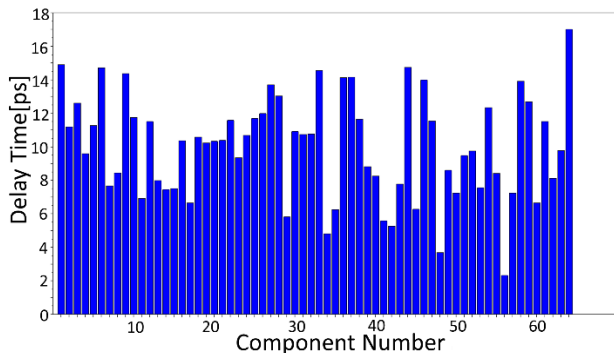


図 7 素子遅延値のばらつきを生成  
Fig. 7. Delay value generation with variation.

図 7 のばらつきを持った TDC の特性は図 10 のようになる。

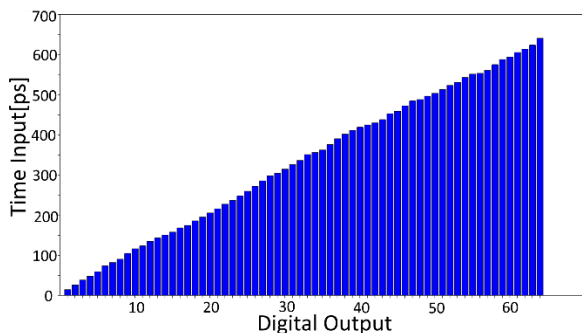


図 8 生成された非線形な TDC 特性  
Fig. 8. Non-ideal TDC characteristics

図 8 をヒストグラム法を用いて統計的に処理すると、図 9 のようになる。図 8 と図 9 は、ほぼ相似の関係になる。

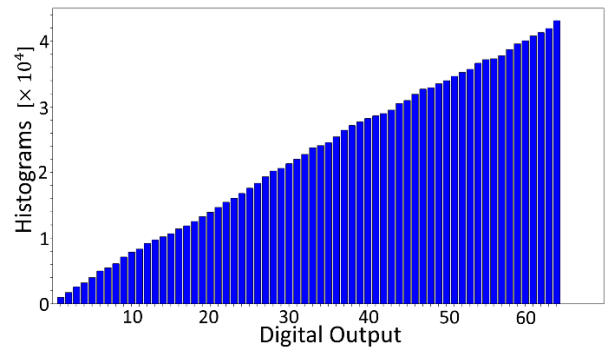


図 9 50000 回試行した TDC 出力ヒストグラム  
Fig. 9. TDC output histograms obtained with 50000 trials

得られたヒストグラムを、TDC の特性として変換すると図 10 のようになる。

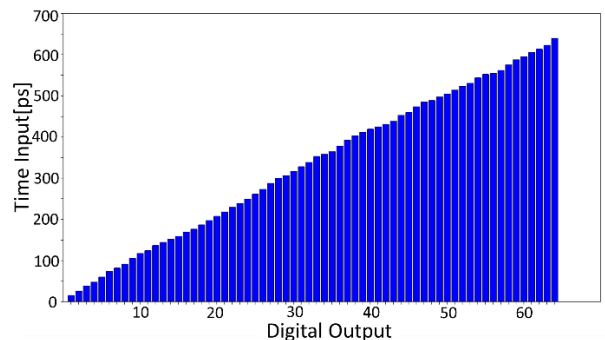


図 10 ヒストグラムから得られた TDC 特性  
Fig. 10. TDC characteristics obtained by the histogram method

以上のようにヒストグラム法によって、遅延素子のバラつきが求められる。そして遅延素子のバラつきによって非線形な特性になっていることが分かる。これを線形に校正するために、逆関数を求める。

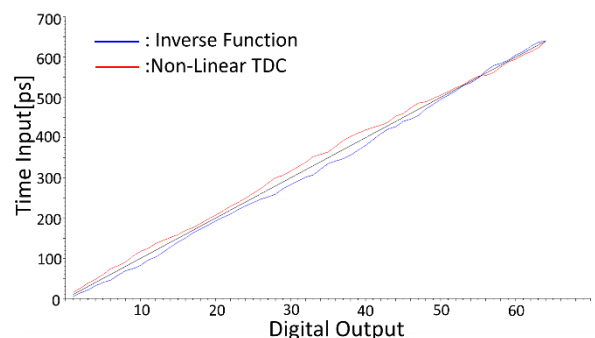


図 11 非線形な TDC 特性とその逆関数  
Fig. 11. Non-ideal TDC characteristics and its inverse function

図 11 に示すのは非線形な TDC 特性(青)とその逆関数(赤)である。非線形な TDC 特性をその逆関数でキャンセルさせることで校正すると、校正後の TDC 特性は図 12 のようになる。

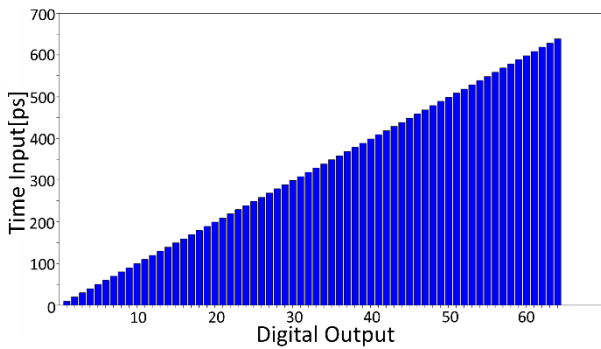


図 12 校正後の TDC 特性

Fig. 12. TDC characteristics after calibration

遅延素子毎の遅延時間についてみると、図 13 のように校正される。

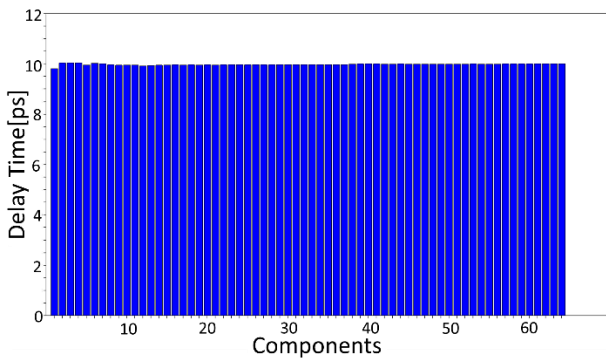


図 13 校正後の素子の実効遅延時間

Fig. 13. Effective delay values after calibration

次に、校正前と校正後の理想的な値からの誤差をそれぞれ比較する。

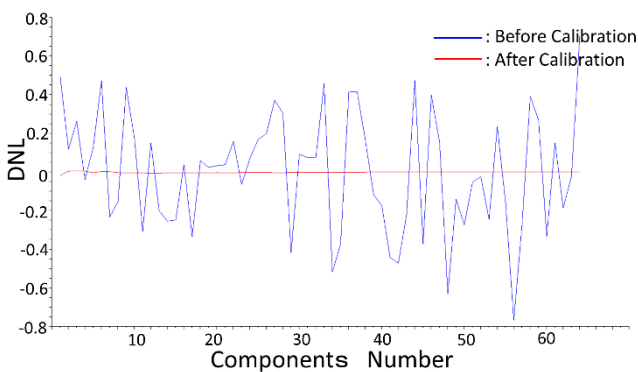


図 14 校正前と校正後の誤差比較 (DNL)

Fig.14. DNLs before and after the calibration

ワーストケースにおいて、校正前は  $INL=2.22LSB$ 、校正後は  $INL=0.13LSB$  となった。INL が約 1/17 に低減されたことが分かる。

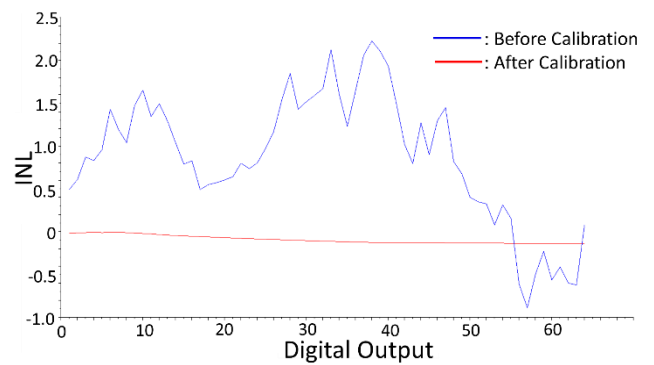


図 15 校正前と校正後の誤差比較 (INL)

Fig.15. INLs before and after Calibration

以上のシミュレーション結果より、ヒストグラム法による線形性の校正方法が有効であることが確認された。

## 5.まとめ

本論文では、逐次比較型 TDC の非線形な特性をヒストグラム法を用いて線形に自己校正する機能を有する回路と、逆関数を用いた校正手法を提案した。

ヒストグラム法は高精度な STOP 信号を必要とせず、外部から高価な測定器を用いて測定をする必要も無い。

そしてこれらにより遅延素子の時間バラつきを推定し、線形性を確保できるため微細化によって従来より分解能を向上させることができる。さらに逐次比較型 TDC はフラッシュ型等と比べ、D フリップフロップを大幅に削減でき、全てデジタルなので回路規模を小さくできコスト面でも恩恵が大きい。

## 参考文献

- [1] 姜日晨, 小林春夫「バーニア原理を用いた高時間分解能逐次比較型時間デジタル回路の設計」 第5回電気学会東京支部栃木・群馬支所合同研究発表会、宇都宮 (2015年3月)
- [2] S. Ito, S. Nishimura, H. Kobayashi, et al., "Stochastic TDC Architecture with Self-Calibration," IEEE Asia Pacific Conf. Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [3] T. Chujo, D. Hirabayashi, K. Kentaroh, C. Li, Y. Kobayashi, J. Wang, K. Sato, H. Kobayashi, "Experimental Verification of Timing Measurement Circuit With Self-Calibration", IEEE IMS3TW, Brazil (Sept. 2014).
- [4] R. Jiang, C. Li, M. Yang, H. Kobayashi, et al., "Successive Approximation Time-to-Digital Converter with Vernier-level Resolution", IEEE IMSTW, Catalunya, Spain (July 2016).