

電圧モード制御方式を用いた降圧形 DC/DC コンバータ回路の むだ時間抑制に関する検討

Manimel Wadu Sahan Dulara* 築地 伸和 小堀 康功 浅石 恒洋
高井 伸和 小林 春夫 (群馬大学)

Study on Suppression of Delay Time for DC / DC Buck Converter Using Voltage Mode Control

Manimel Wadu Sahan Dulara*, Nobukazu Tsukiji, Kobori Yasunori, Koyo Asaishi,
Nobukazu Takai, Haruo Kobayashi (Gunma University)

キーワード : DC/DC コンバータ, むだ時間, 電圧モード制御
(Keywords : DC/DC Converter, Delay time, Voltage mode control)

1. はじめに

スイッチング方式 DC/DC コンバータは電力変換効率が高く、高周波で動作させることにより、電源回路の実装面積を小さくできるため、電子機器の電源回路として幅広く使用されている。近年、半導体プロセスの微細化の進展により、集積回路部品の動作電源電圧が低下しているため、DC/DC コンバータが供給する電源電圧の変動に対して要求が厳しくなっている。これは、動作電源電圧の低下にともない、電源電圧の変動に対するマージン電圧の絶対値が小さくなるためである。

本論文では、負荷変動時における電源電圧の変動を小さくする方法として、電圧モード制御方式を用いた降圧形 DC/DC コンバータのむだ時間を抑制する制御回路を提案し、シミュレーションでの検証結果を報告する。

2. 降圧形 DC/DC コンバータでのむだ時間

本章では、降圧形 DC/DC コンバータにおけるむだ時間を説明する。まず初めに、降圧 DC/DC コンバータの動作原理を簡単に説明する。次に、降圧 DC/DC コンバータにおける電圧モード制御のむだ時間について説明する。

〈2・1〉 降圧形 DC/DC コンバータの動作原理

図 1 は典型的な電圧モード制御による降圧形 DC/DC コンバータ回路である。

図 1 の回路において、パワートランジスタ Q_1 がオン時には、 V_{sw} は V_{IN} と等しくなる。一方、パワートランジスタ Q_1 がオフ時には、ダイオードの順方向電圧を無視した場合、 V_{sw}

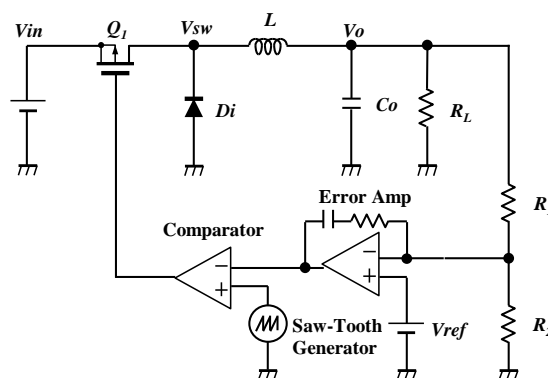


図 1 電圧モード制御の降圧形 DC/DC コンバータ回路
Fig. 1. Voltage mode DC/DC converter.

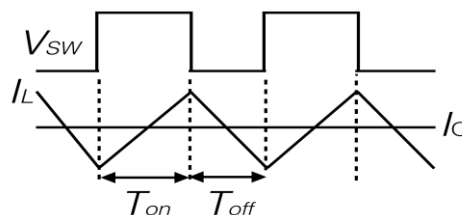


図 2 (a). 降圧形 DC/DC コンバータにおける V_{sw} , I_o , I_L
Fig. 2 (a). V_{sw} , I_o , I_L with time in buck converter.

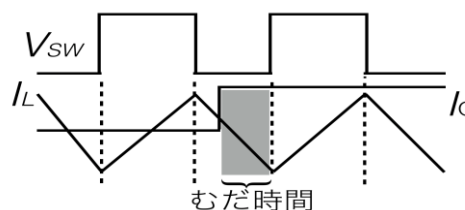


図 2 (b). 電圧制御モードにおけるむだ時間
Fig. 2 (b). Concept of delay time in voltage control mode.

は GND と等しくなる。したがって、パワートランジスタ Q_1 をオンとオフを交互にスイッチングすることで、 V_{sw} の電圧波形は V_{in} と GND を繰り返す矩形波となる。この矩形波を LC フィルタで平滑化することにより、矩形波の平均値が直流電圧として得られる。そして、出力電圧を一定に制御するためには、矩形波の時比率(Duty)を制御する必要がある。電圧モード制御方式では、出力電圧と目標電圧の誤差を誤差増幅器により増幅し、これをコンパレータによって鋸歯状波と比較することにより、パワートランジスタのオン・オフを時比率制御する信号を生成する。これが電圧モード制御による降圧形 DC/DC コンバータの原理である。

〈2・2〉 電圧モード制御におけるむだ時間

図 2 (a)は電圧モード制御を用いた降圧形 DC/DC コンバータの定常状態における V_{sw} の電圧波形、負荷電流 I_o 、インダクタ電流 I_L を示している。前節で説明したように、電圧モード制御を用いた降圧 DC/DC コンバータは、出力電圧が一定になるように固定周期の矩形波の時比率を制御している。

図 2 (b)は電圧モード制御を用いた降圧形 DC/DC コンバータの負荷電流 I_o が急激に変動した場合のインダクタ電流 I_L の変化を示している。パワートランジスタをオフした後、 V_{sw} が GND の状態にて負荷電流 I_o が急激に変動しているが、パワートランジスタは次の周期までオフ状態であることがわかる。このような、パワートランジスタがオフした直後から次周期のオンまでの時間が、電圧モード制御を用いた降圧形 DC/DC コンバータにおけるむだ時間である。

図 3 は電圧モード制御を用いた降圧形コンバータの負荷電流 I_o が急激に変動した場合の概念図を示している。負荷電流が急激に上昇すると出力電圧は減少し続け、 V_{sw} がオンになると上昇し始め、時比率を大きくして出力電圧を安定させようとする制御を行う。しかし、周期は一定に制御されているため負荷変動が起きてから次に V_{sw} がオンになるまでの時間がむだ時間になっているのがわかる。

次章では、このむだ時間を抑制する制御回路を提案し、その動作原理を説明する。

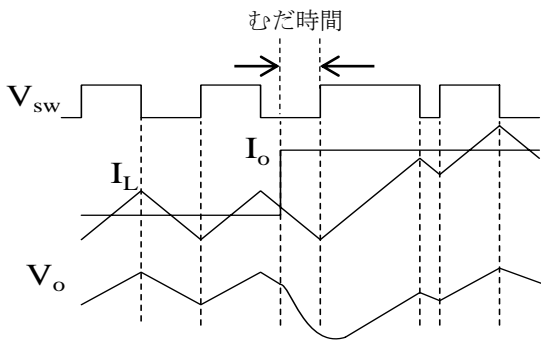


図 3 負荷電流が変化した場合の動作概念図
Fig. 3. Explanation of the operation for rapid change of load current

3. 提案回路の動作原理

本章では、我々が提案する電圧モード制御方式を用いた降圧形コンバータのむだ時間を抑制する制御回路の動作原理について説明する。

図 4 は降圧形コンバータの出力に負荷変動を検出する回路を加えたものである。検出回路部はハイパスフィルタとなっており、負荷変動時には検出回路の CS 端子からインパルス状の検出信号を出力する。しかしながら、この検出信号は出力電圧レベルが小さいので、増幅する必要がある。

図 5 は負荷変動時の検出信号を増幅し、スイッチの制御信号に変換する回路である。検出信号はコンデンサを通じて DC 成分がカットされた交流結合型の反転増幅器により増幅され、次段のコンパレータによって制御信号に変換される。なお、コンパレータに接続する基準電圧レベルは、負荷電流の変動レベルに応じて調整する。そして、制御信号に変換した信号は図 3 の RS フリップフロップのセット端子およびリセット端子に OR ゲートを通じて入力される。

これらの回路により、パワートランジスタがオフ時に負荷電流 I_o が急激に変動した場合でも、負荷変動を検出・増幅し、制御信号をオンにすることにより、従来発生していたむだ時間を抑制することができる。

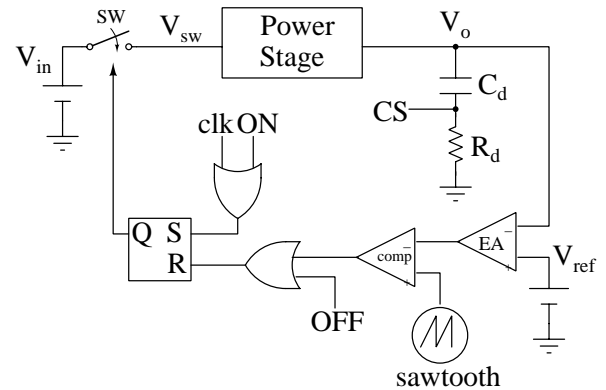


図 4 負荷変動を検出する回路

Fig. 4. Detection circuit for rapid load change.

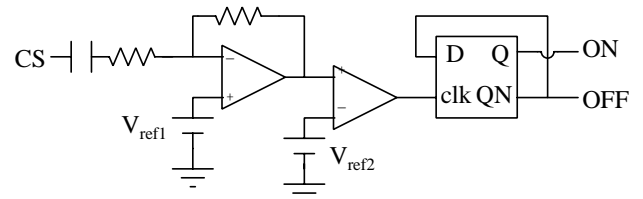


図 5 検出信号の増幅回路と制御信号への変換回路
Fig. 5. Amplification circuit of detection signal and conversion circuit to control signal.

4. シミュレーション結果と計算結果

本章では、提案回路および従来回路をシミュレーションし、これらの比較検証した結果について説明する。

図 6(a)は従来回路における負荷急変時の出力電圧 V_o 、負荷電流 I_o 、インダクタ電流 I_L のシミュレーション結果を示している。図 6(b)は提案回路におけるシミュレーション結果である。シミュレーションに用いたパラメータは表 1 に示す。なお、回路シミュレータには SIMPLIS を用いた。

どちらのシミュレーション結果においても、パワートランジスタがオフ状態にて、負荷電流が急激に変動しているが確認できる。そして、従来回路では、むだ時間が発生するためインダクタ電流が増加し、出力電流まで達するまでに時間がかかっている。一方、提案回路では、負荷電流が急激に変動した直後から、インダクタ電流が増加しており、むだ時間が発生していないことが確認できる。

負荷電流の急激な変動時における出力電圧のアンダーシュートをむだ時間の有無によって比較した。結果をまとめたものを表 2 に示す。従来回路では出力電圧のアンダーシュート量が 191mV であったのに対し、提案回路では 38mV であった。つまり、提案回路によるむだ時間の抑制により、従来回路より出力電圧のアンダーシュートは約 80%も減少することがわかった。

図 6 における斜線部分は出力コンデンサが失う総電荷量である。したがって、これらの面積を求め、クーロンの法則 $Q=CV$ を使うことで出力電圧のアンダーシュートを計算することが可能である。この方法を用いて計算した結果も、シミュレーション結果と一致する結果が得られた。

5. まとめ

本研究では、負荷変動時における電源電圧の変動を小さくする方法として、電圧モード制御方式を用いた降圧形コンバータのむだ時間を抑制する制御回路を提案し、シミュレーションを用いてその効果を検証した。本研究におけるシミュレーション条件では、むだ時間を抑制することにより、従来回路より出力電圧の変動が約 80%減少した。今後は、むだ時間の抑制による効果の定量化や実験による実証に取り組みたい。

文 献

- (1) Hiroki Hyakutake, Masatoshi Nakahara and Koosuke Harada: "Load Transient Response in Low Voltage Power Supply", EE2001-3 (2001-05), p15~20
百武宏記、中原正俊、原田耕介: 「低電圧電源における負荷急変時の過渡応答特性について」, 社団法人 電子情報通信学会, EE2001-3(2001-05), p15~20
- (2) Fumiaki Takenami, Naoto Miyaki, Kenji Mii, Yoichi Ishizuka: "A digital controller and insulation method with nsec-order delay for isolated DC-DC converters", Information and Communication Engineers, EE2013-47 (2014-1), p97~102
竹浪史晃、宮木直人、三井健司、石塚洋一: 「数十 nsec 程度にむだ時間を抑制した絶縁形 DC-DC コンバータ用デジタル制御回路」, 一般社団法人 電子情報通信学会, EE2013-47 (2014-1), p97~102

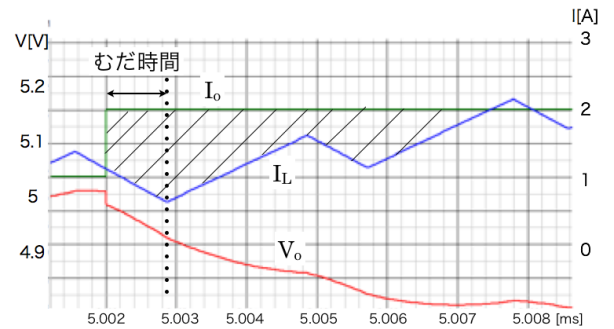


図 6(a). 提案回路 (むだ時間あり) のシミュレーション結果

Fig. 6(a). Simulation result in case of finite delay time.

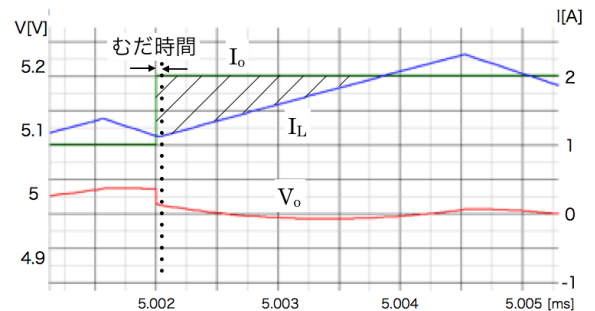


図 6(b). 提案回路 (むだ時間なし) のシミュレーション結果

Fig. 6(b). Simulation result in case of no delay time.

表 1. シミュレーションパラメータ

Table.1 Simulation parameters

Parameter	Value
V_{in}	12 V
V_o	5 V
Frequency	350 kHz
Fbw	35 kHz
L	10 μ H
C_o	20 μ F
R_d	100 k Ω
C_d	1 pF

表 2 シミュレーション結果の比較

Table 2. Comparison of simulation results

むだ時間の有無	シミュレーション結果 (出力アンダーシュート量)
むだ時間あり (従来)	-191mV
むだ時間なし (提案)	-38mV