

多段構成オシロスコープ・トリガ回路の検討

○櫻井 翔太郎, 滝上 征弥, 井田 貴士, 小澤祐喜
小林 春夫(群馬大学), 塩田 良治(ソシオネクスト)

群馬大学理工学部電子情報理工学科
通信処理システム工学第二研究室小林研究室
学部4年 櫻井翔太郎

アウトライン

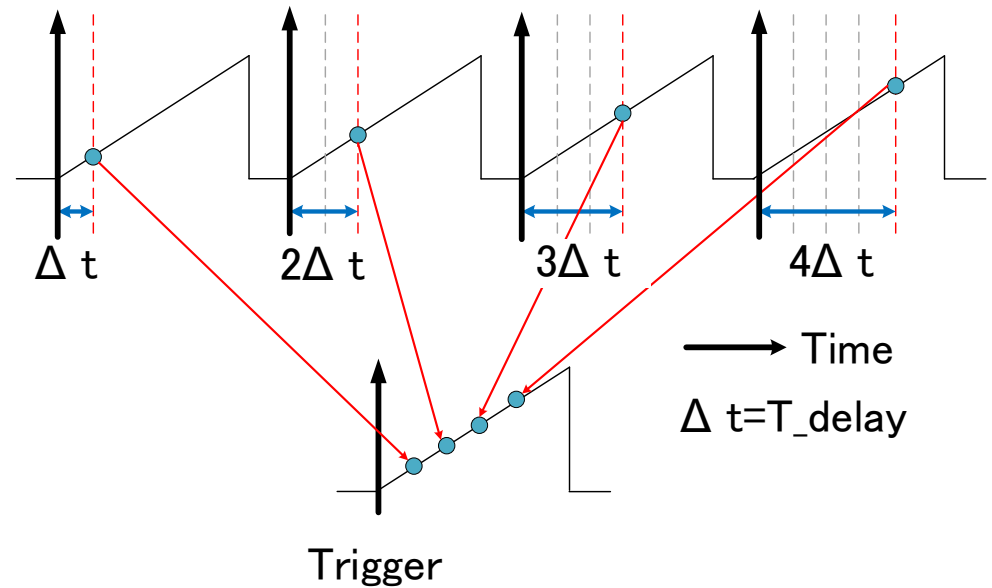
1. 研究概要
2. トリガ回路の解析
3. トリガ回路の多段化
4. SAR-TDCへの応用
5. まとめと今後の課題

アウトライン

1. 研究概要
2. トリガ回路の解析
3. トリガ回路の多段化
4. SAR-TDCへの応用
5. まとめと今後の課題

オシロスコープ・トリガ回路の用途

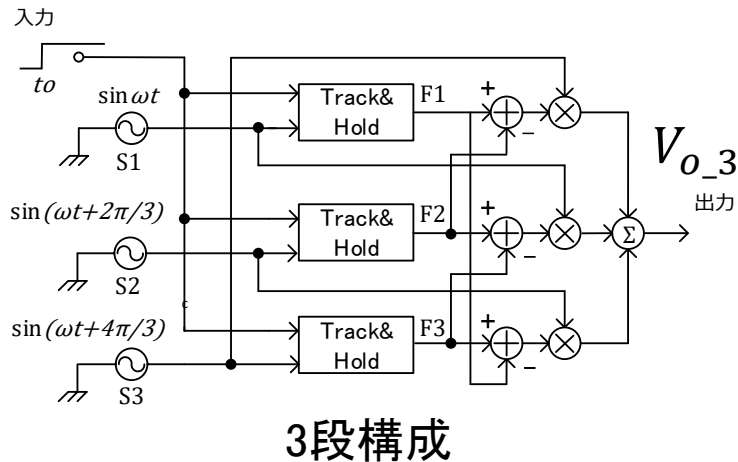
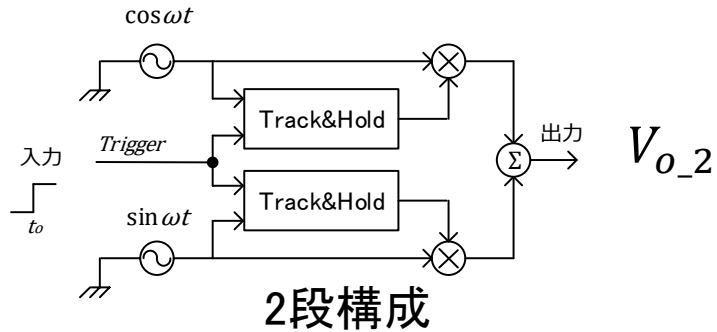
シーケンシャル・サンプリング



- アンダーサンプリングの一種
- トリガ地点から Δt 遅延させてサンプリング

トリガ部分で用いる回路

オシロスコープ・トリガ回路(phase gate circuit)



入力 Trigger

ON

OFF

出力波形

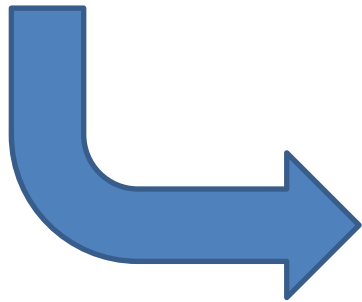
Trigger Time: t_0

- 時間 t_0 を基準とした正弦波出力
- 過渡的変化の無い出力波形

トリガ回路

論文[1]による記述

「3段構成トリガ回路では、回路構成によって3次の高調波を打ち消すことができる。」



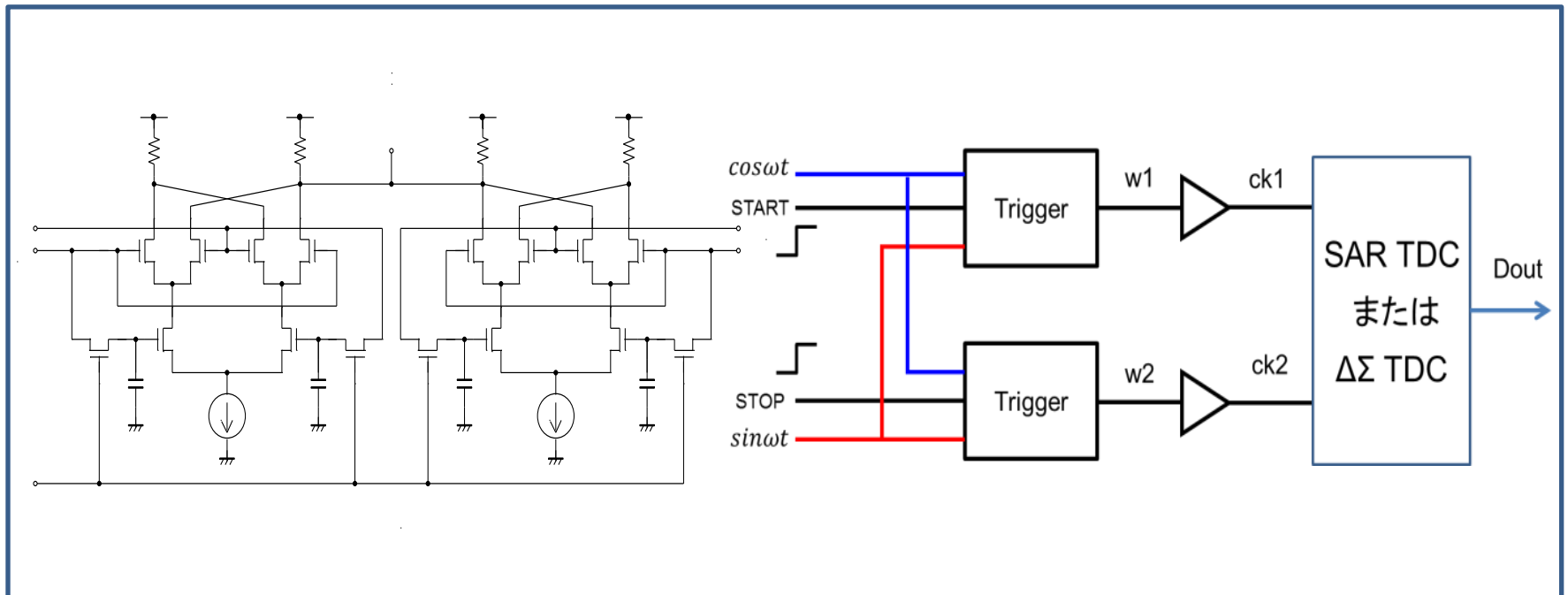
提案

より多段にすることでより歪みをキャンセルできる?

[1]M. Nelson, "A New Technique for Low-Jitter Measurements Using Equivalent-Time Sampling Oscilloscope", Automatic RF Techniques Group 56th Measurement Conference - Metrology and Test for RF Telecommunications, Boulder, Colorado (Dec. 2000)

研究概要

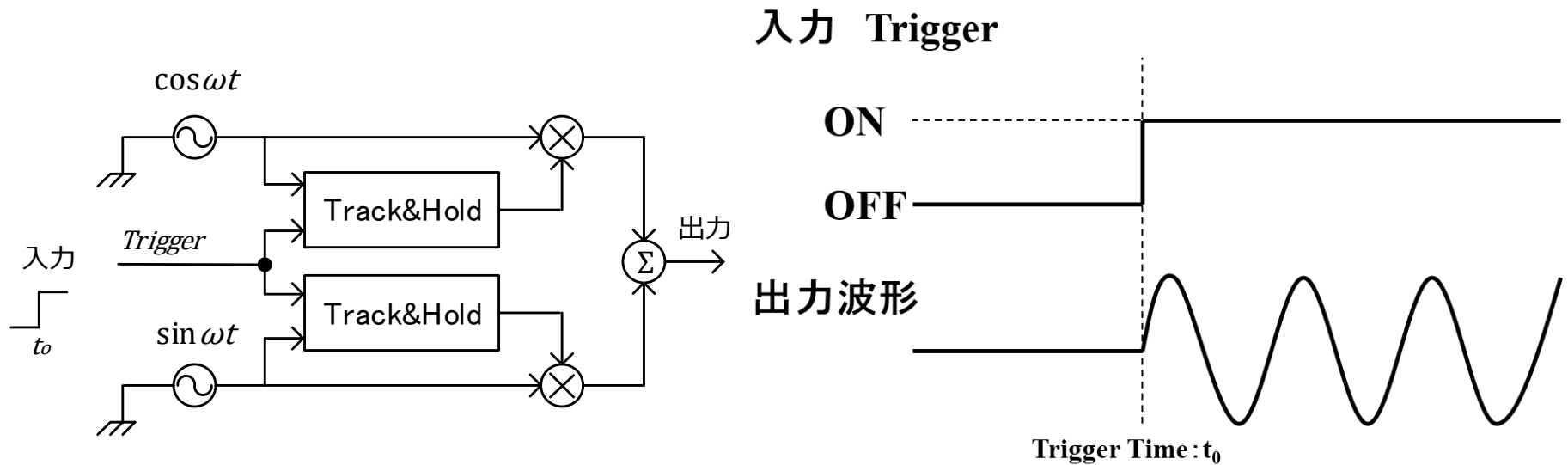
1. 基本トリガ回路をCMOS構成で動作解析シミュレーション
2. N段構成の拡張、出力式の提示
3. SAR-TDCへの応用の提案



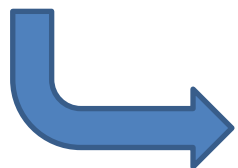
アウトライン

1. 研究概要
2. トリガ回路の解析
 - T/H回路、Gilbert Cell
 - 2段トリガ回路、3段トリガ回路
3. トリガ回路の多段化
4. SAR-TDCへの応用
5. まとめと今後の課題

オシロスコープ・トリガ回路(phase gate circuit)

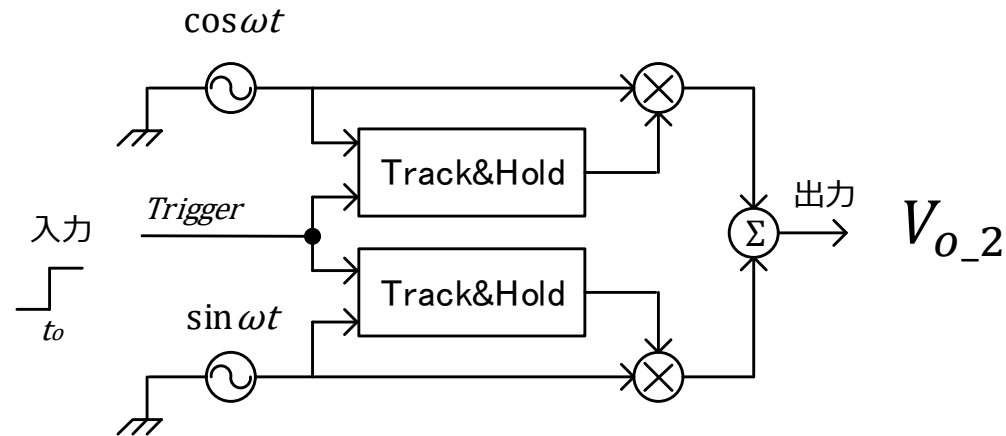


- 時間 t_0 を基準とした正弦波出力
- 過渡的変化の無い出力波形



信号源とT/H回路、乗算器で構成

2段構成トリガ回路の出力状態



Track/Hold回路が

•Track mode

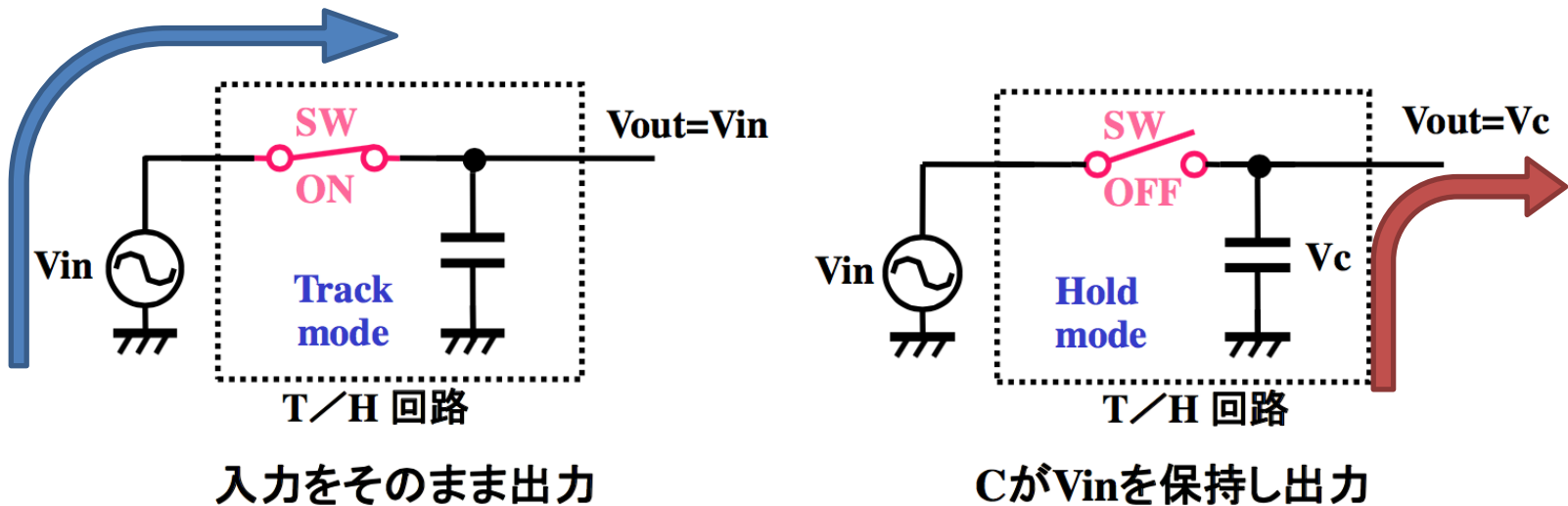
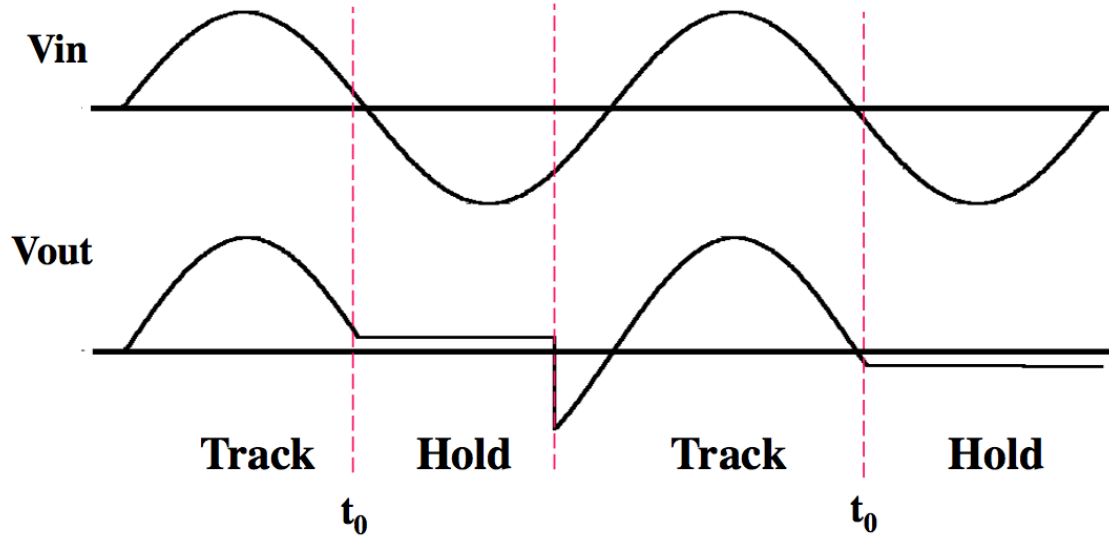
$$\begin{aligned}
 V_{o\text{Track}} &= \cos(\omega t) \cos(\omega t) + \cos\left(\omega t + \frac{\pi}{2}\right) \cos\left(\omega t + \frac{\pi}{2}\right) \\
 &= \cos^2(\omega t) + \sin^2(\omega t) \\
 &= 1
 \end{aligned}$$

•Hold mode

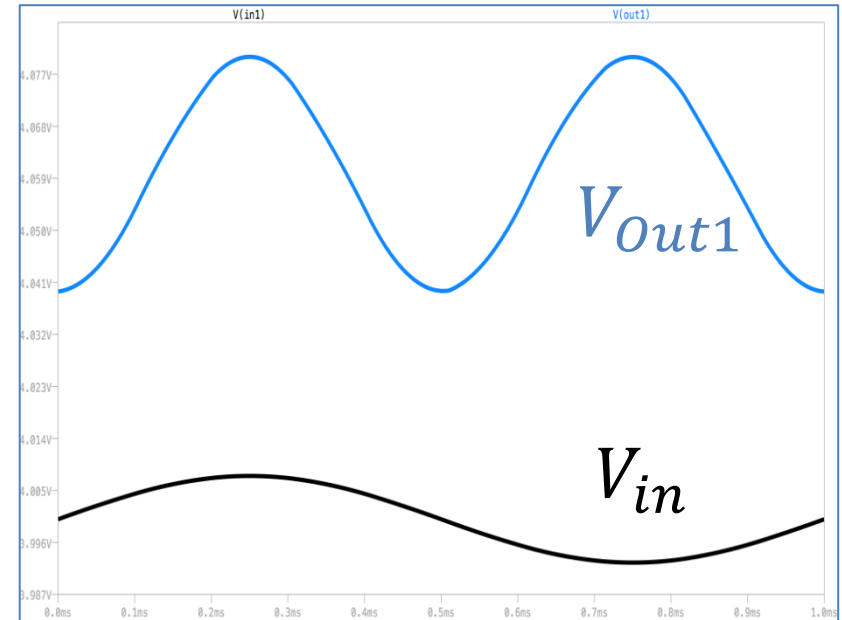
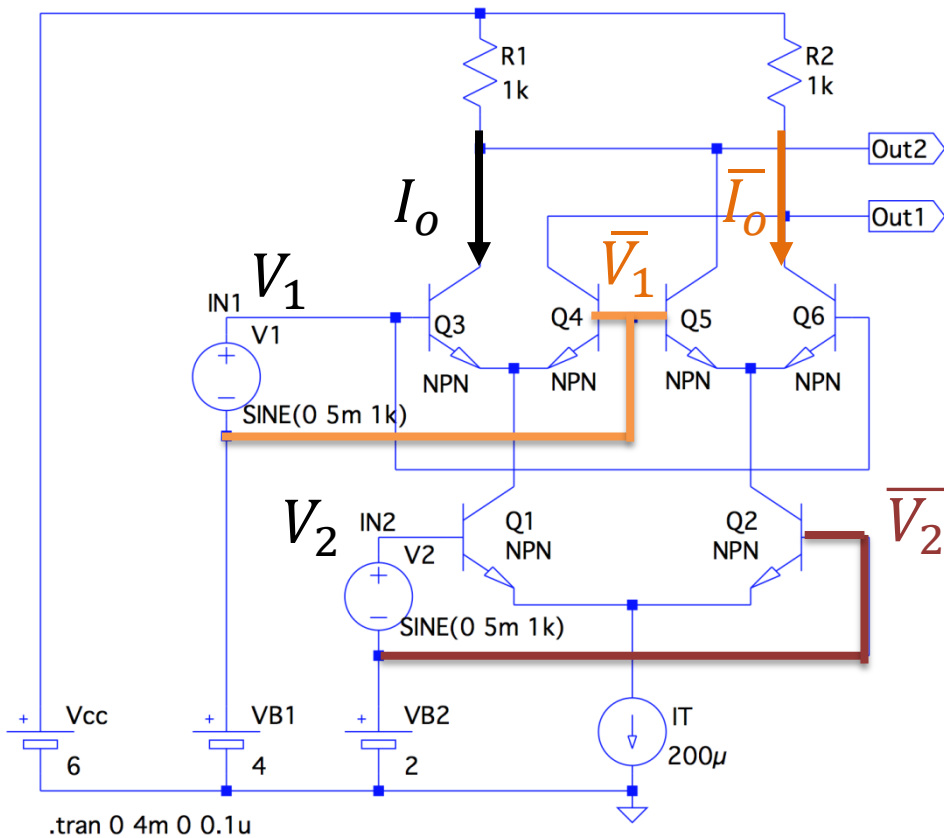
$$\begin{aligned}
 V_{o\text{Hold}} &= \cos(\omega t) \cos(\omega t_0) + \sin(\omega t) \sin(\omega t_0) \\
 &= \cos(\omega(t-t_0))
 \end{aligned}$$

※ trigger time: t_0

Track / Hold 回路



乗算器 Gilbert Cell



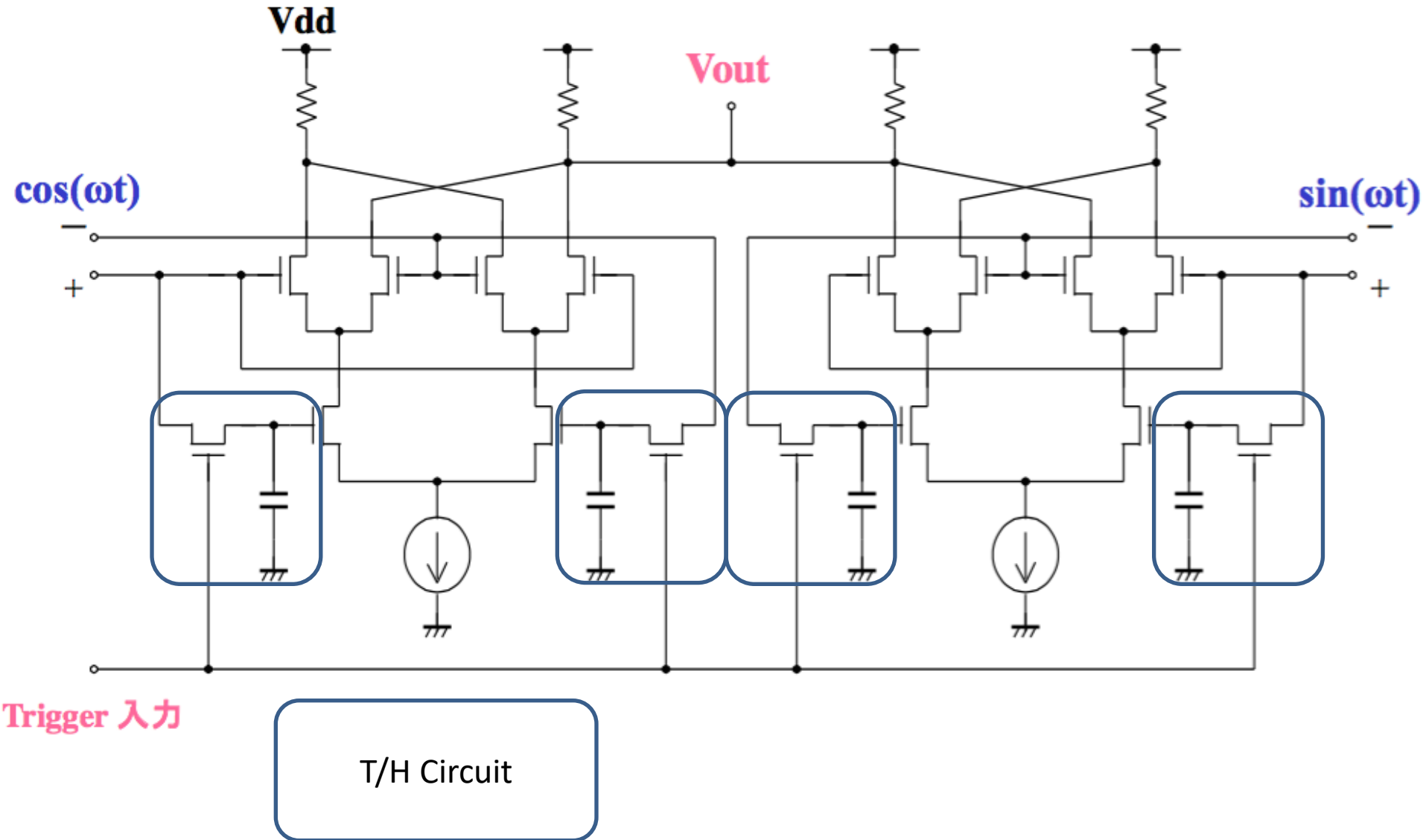
$$V_{Out1} = V_{CC} - R\bar{I}_o$$

$$V_{Out2} = V_{CC} - RI_o$$

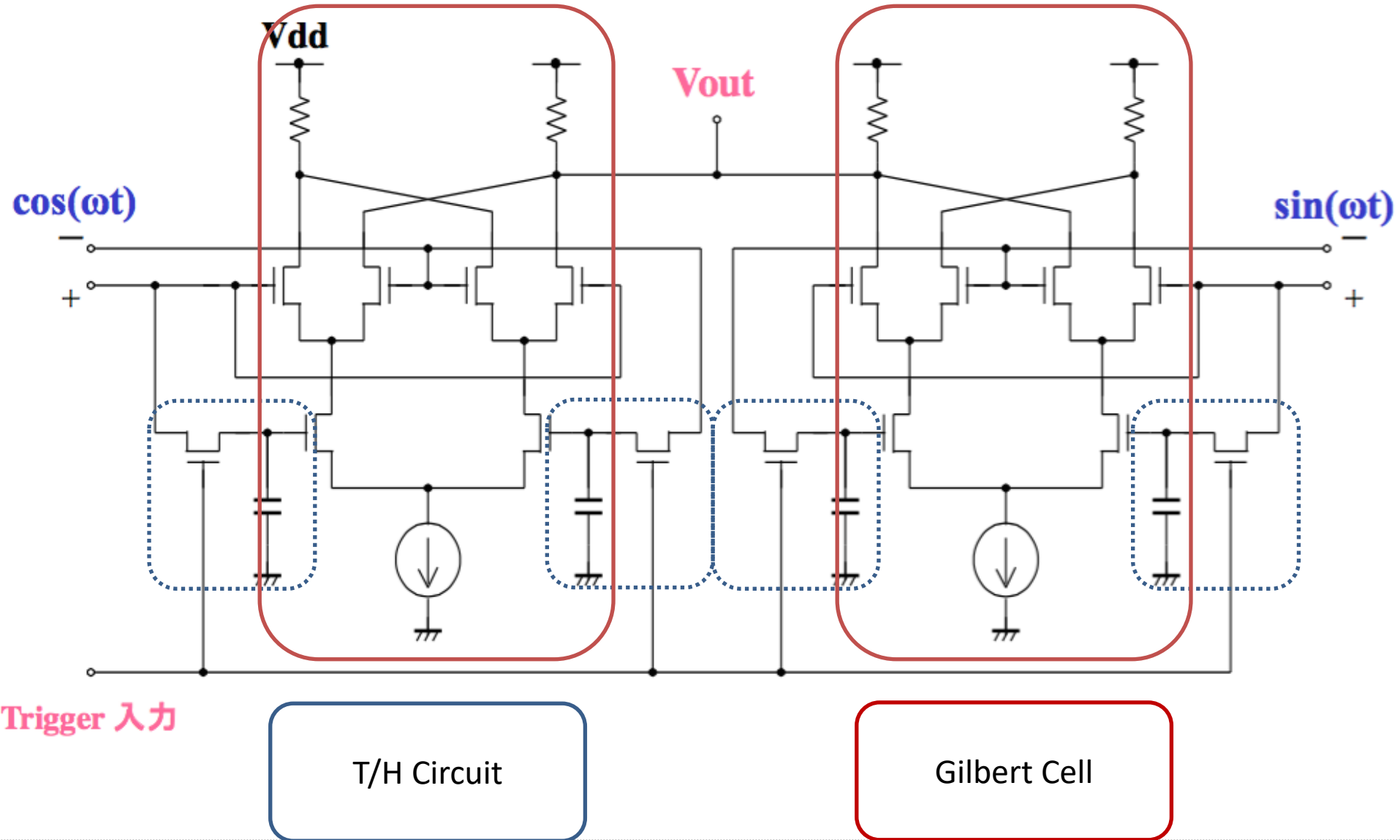
入力電位差がトランジスタ閾値より**十分小さいとき**
2つの入力電圧を乗算

$$V_{Out1} - V_{Out2} = R(I_o - \bar{I}_o)RT * \tanh\left[\frac{V_1 - \bar{V}_1}{2V_T}\right] * \tanh\left[\frac{V_2 - \bar{V}_2}{2V_T}\right]$$

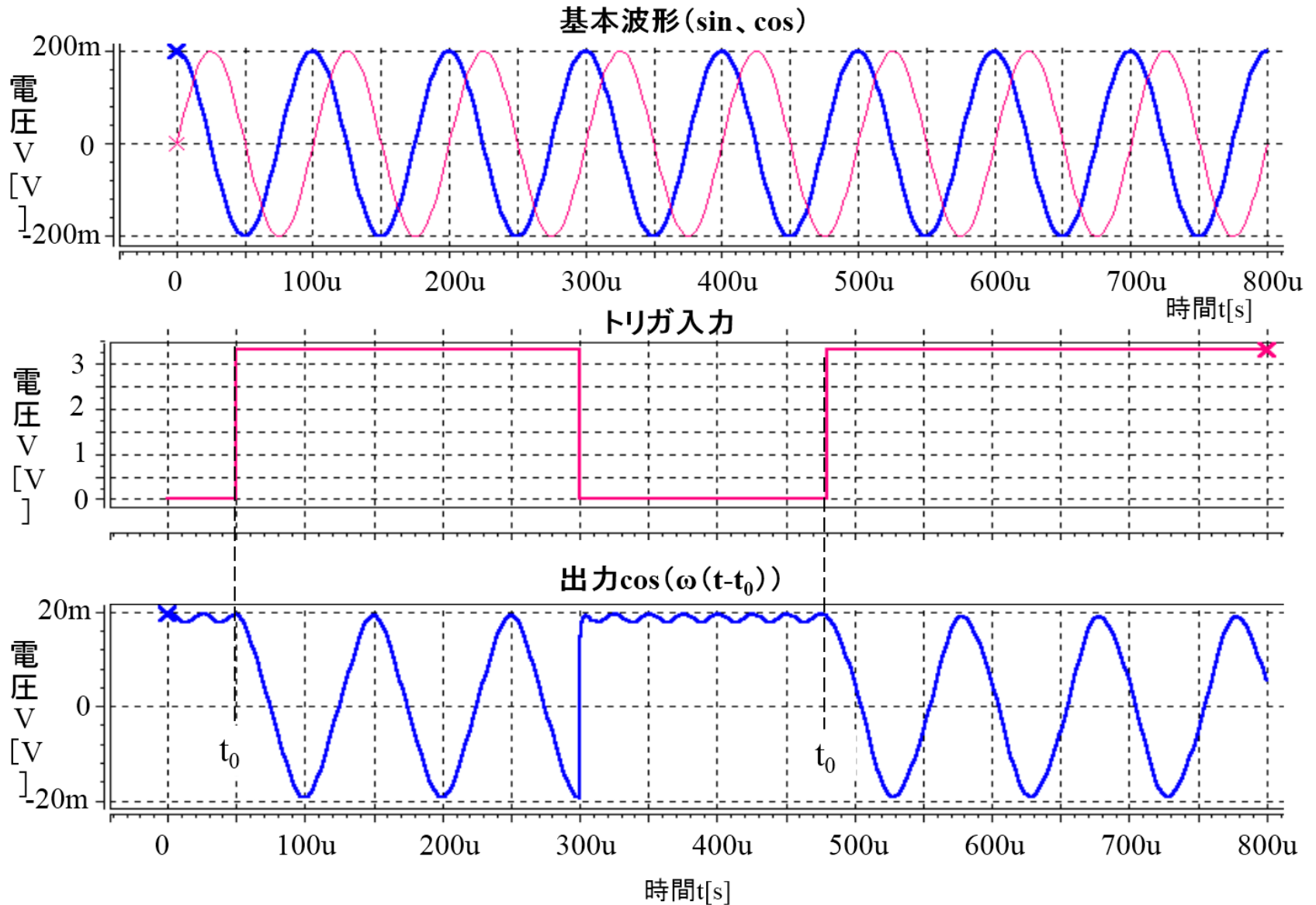
2段構成CMOSトリガ回路



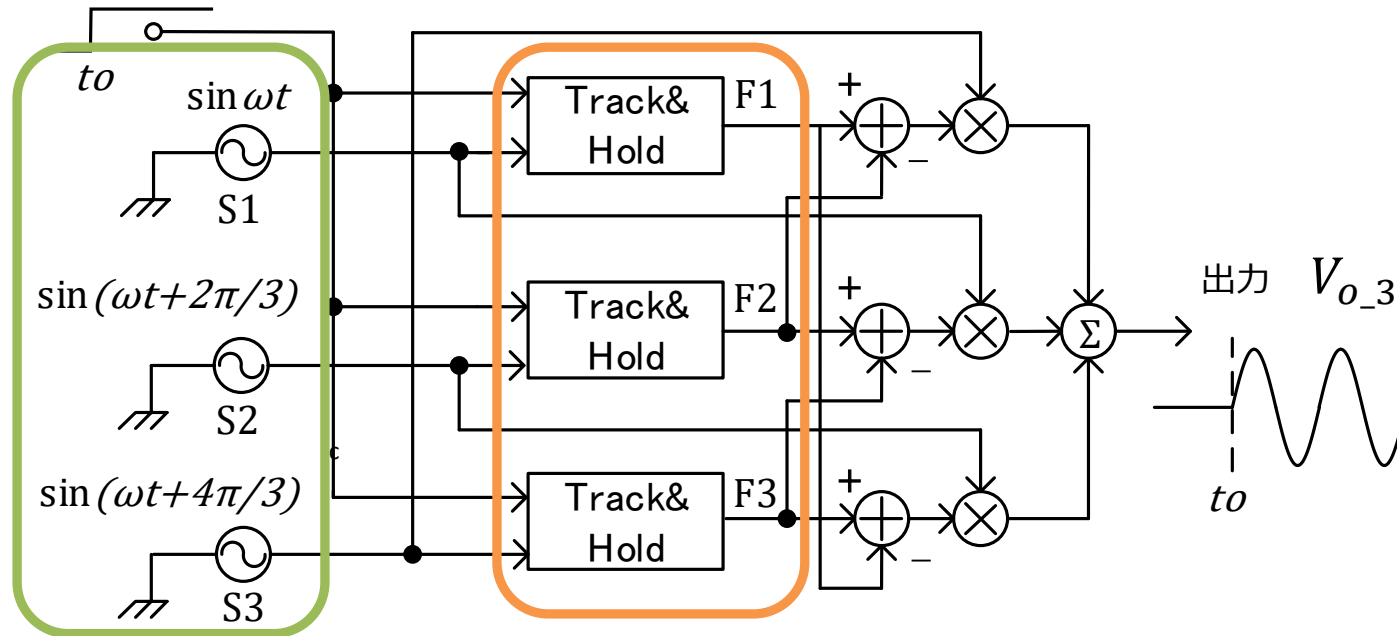
2段構成CMOSトリガ回路



2段トリガ回路のシミュレーション



3段構成トリガ回路



信号源

$$S_1 = \sin \omega t, S_2 = \sin \left(\omega t + \frac{2\pi}{3} \right), S_3 = \sin \left(\omega t + \frac{4\pi}{3} \right)$$

トリガ後信号

$$F_1 = \sin \omega t_0, F_2 = \sin \left(\omega t_0 + \frac{2\pi}{3} \right), F_3 = \sin \left(\omega t_0 + \frac{4\pi}{3} \right)$$

3段トリガ回路の出力式

信号源

$$S_1 = \sin \omega t, S_2 = \sin \left(\omega t + \frac{2\pi}{3} \right), S_3 = \sin \left(\omega t + \frac{4\pi}{3} \right)$$

トリガ後、T/H 回路出力信号

$$F_1 = \sin \omega t_0, F_2 = \sin \left(\omega t_0 + \frac{2\pi}{3} \right), F_3 = \sin \left(\omega t_0 + \frac{4\pi}{3} \right)$$

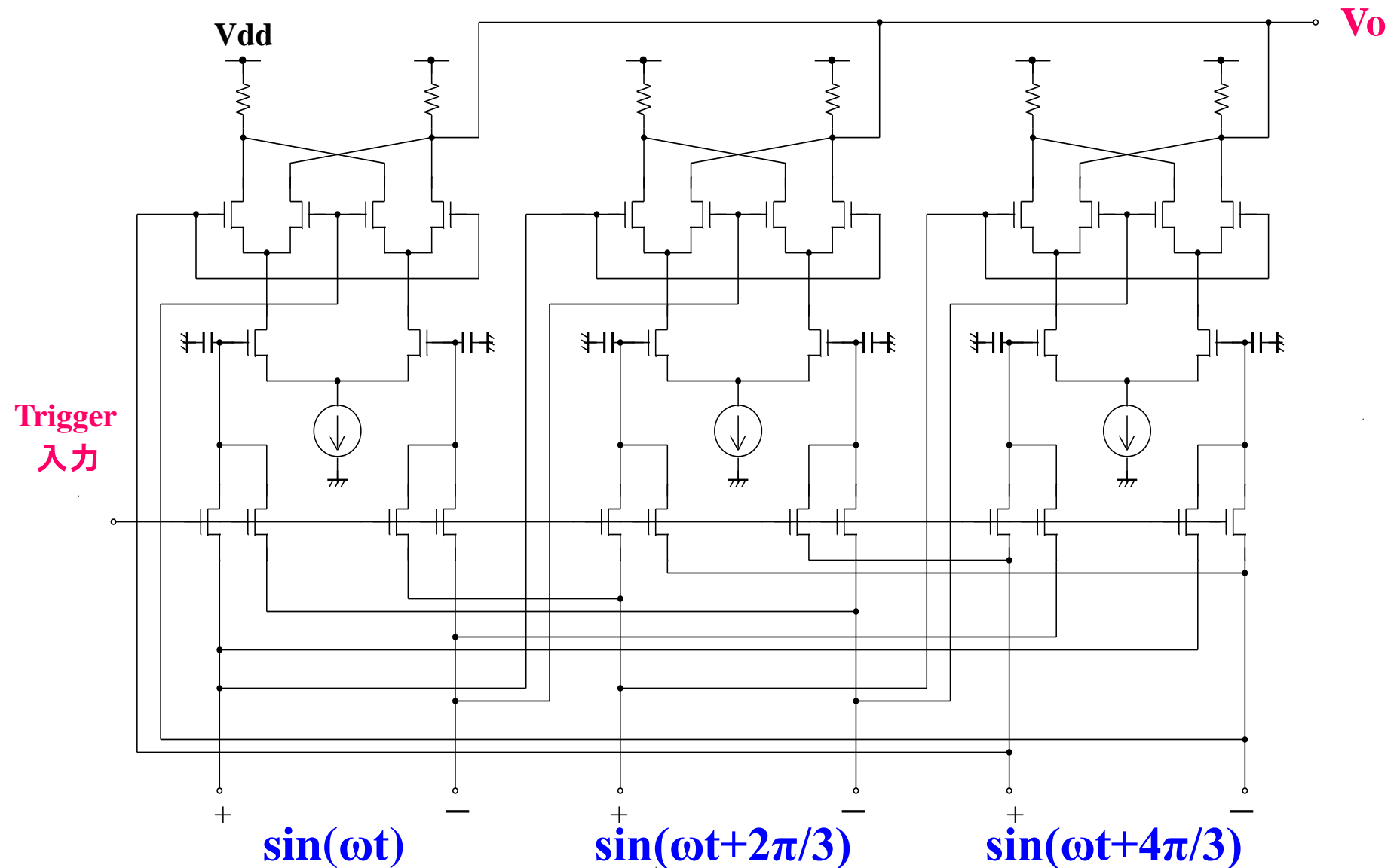
• Track mode

$$\begin{aligned} V_{O_{track}} &= S_1(S_2 - S_3) + S_2(S_3 - S_1) + S_3(S_1 - S_2) \\ &= 0 \quad \text{(一定の値)} \end{aligned}$$

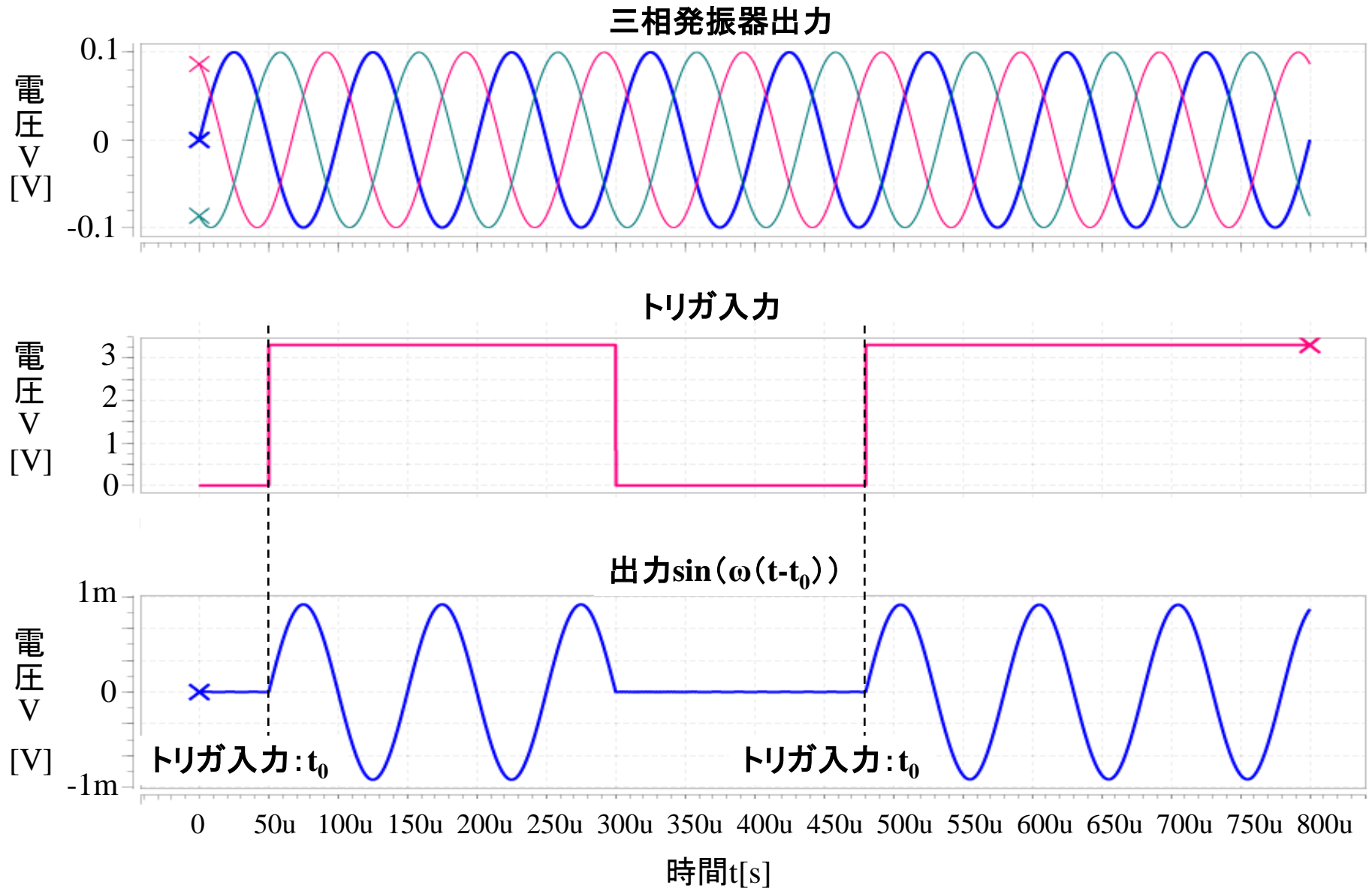
• Hold mode

$$\begin{aligned} V_{O_{hold}} &= S_1(F_2 - F_3) + S_2(F_3 - F_1) + S_3(F_1 - F_2) \\ &= \frac{3\sqrt{3}}{2} \sin(\omega(t - t_0)) \quad \text{※ trigger time: } t_0 \end{aligned}$$

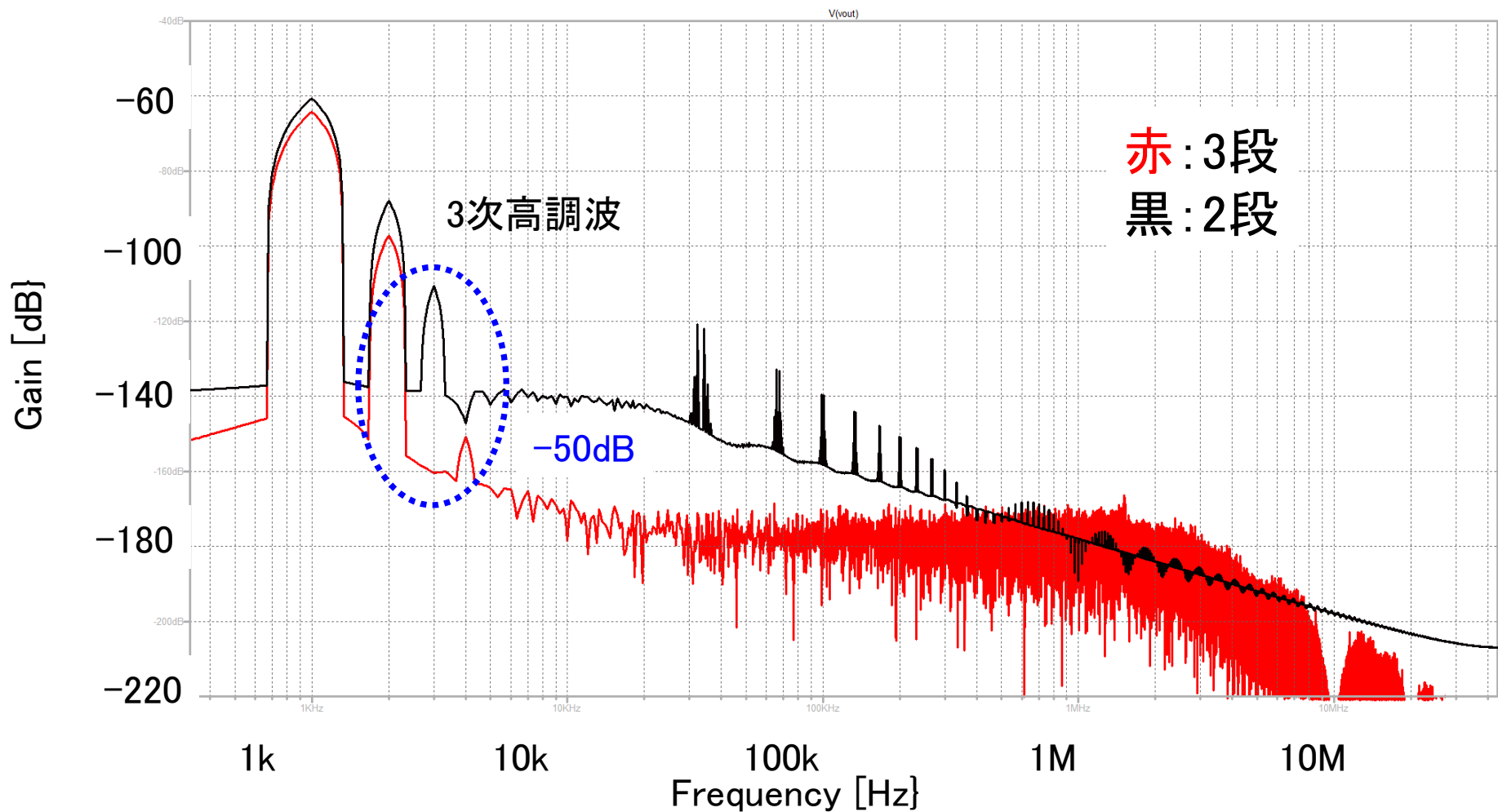
3段構成CMOSトリガ回路



3段トリガ回路のシミュレーション



2段、3段トリガ回路のスペクトル

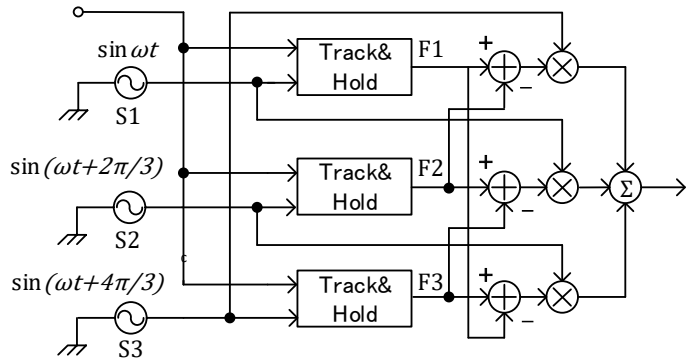


回路構成により3次高調波がキャンセル

アウトライン

1. 研究概要
2. トリガ回路の解析
3. トリガ回路の多段化
4. SAR-TDCへの応用
5. まとめと今後の課題

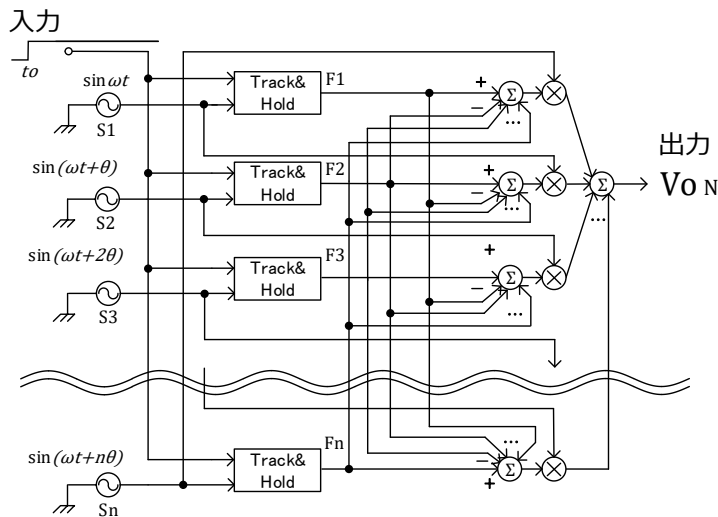
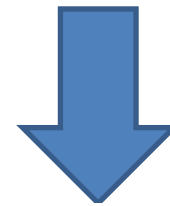
N段構成トリガ回路の検討



3段構成の出力式

$$S_1(F_2 - F_3) + S_2(F_3 - F_1) + S_3(F_1 - F_2)$$

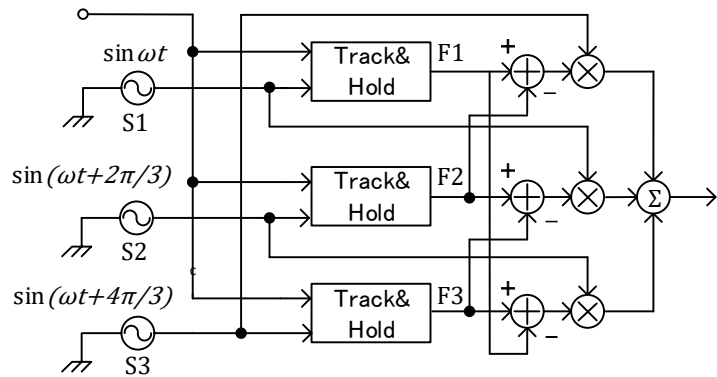
同様に計算



N段構成に拡張

$$\begin{aligned} & S_1(F_2 - F_3 - F_4 - \dots - F_{N-1} - F_N) \\ & + S_2(F_3 - F_4 - F_5 - \dots - F_N - F_1) \\ & + \dots \\ & + S_N(F_1 - F_2 - \dots - F_{N-2} - F_{N-1}) \end{aligned}$$

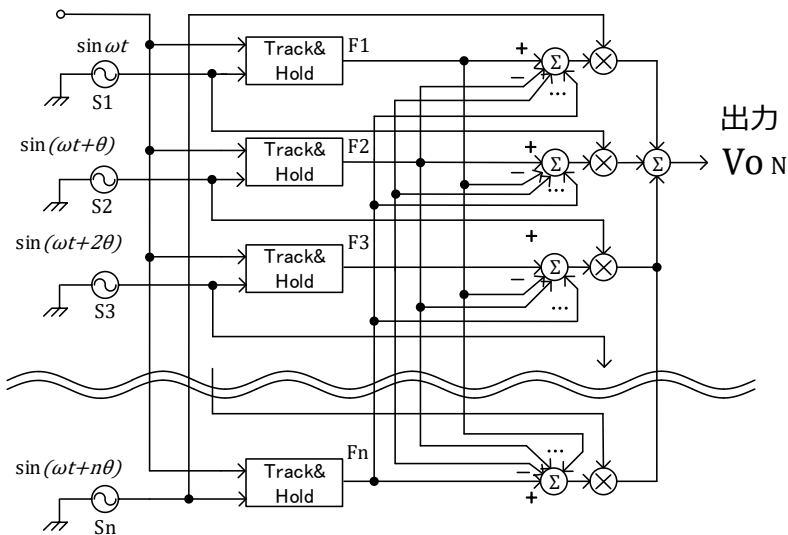
N段構成トリガ回路の検討



3段構成の信号源

$$S_1 = \sin \omega t, \quad S_2 = \sin \left(\omega t + \frac{2\pi}{3} \right), \quad S_3 = \sin \left(\omega t + \frac{4\pi}{3} \right)$$

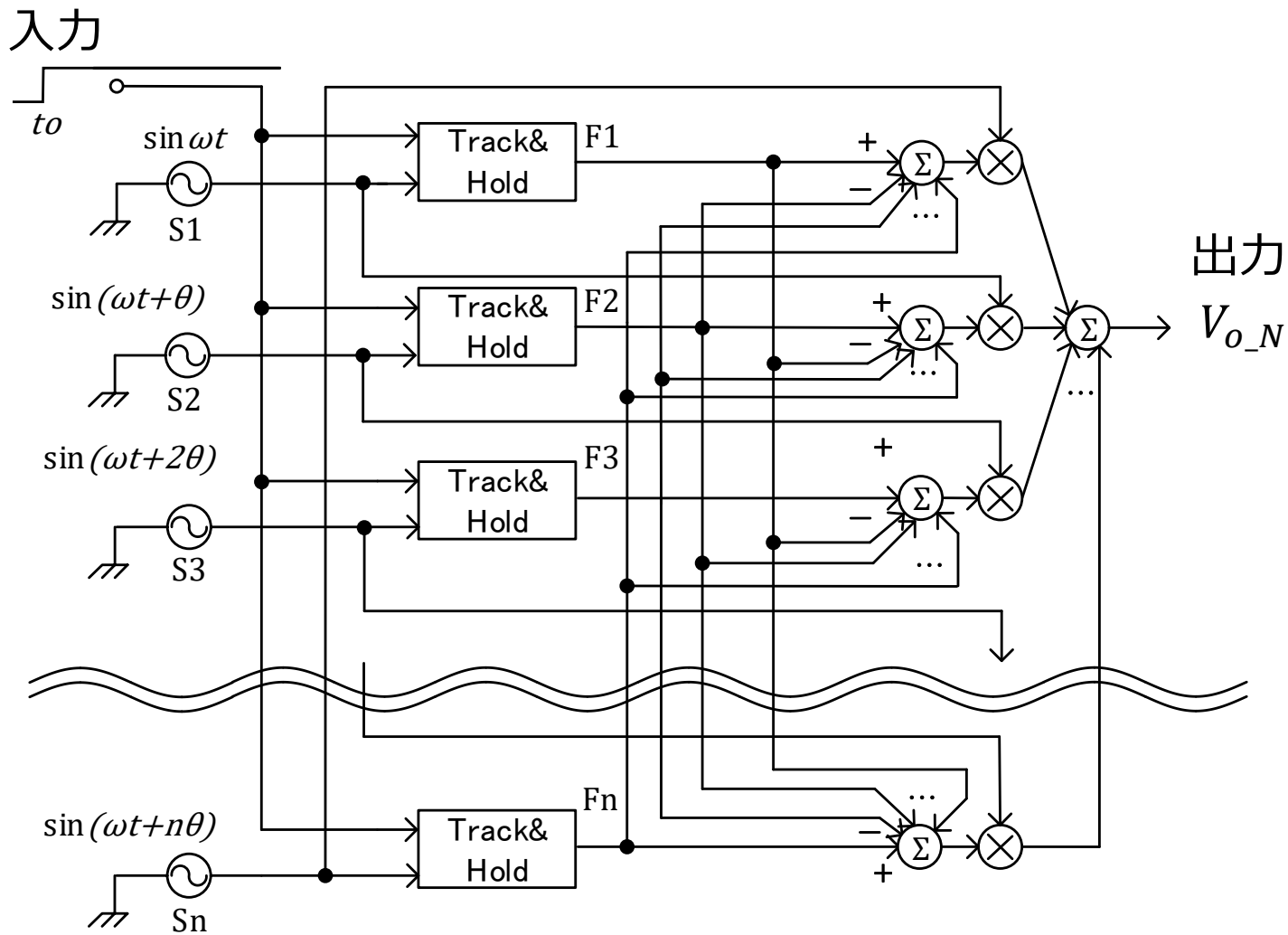
$$\theta_1 = 0 \quad \theta_2 = \frac{2\pi}{3} \quad \theta_3 = \frac{4\pi}{3}$$



N段構成の信号源

$$S_n = \sin(\omega t + (n-1)\theta), \quad \theta = \frac{2\pi}{N}$$

N段構成トリガ回路 回路構成



N段構成出力式の導出

$$V_{o_N} = a_1 + \sum_{k=1}^{N-1} x_k$$

a_1 : 初項
 x_k : 階差

N段構成の出力式が階差数列で表現できると仮定



$$a_2 = S_1 F_2 + S_2 F_1$$

初項は通常の2段構成とは異なり
3段構成に基づいた出力式

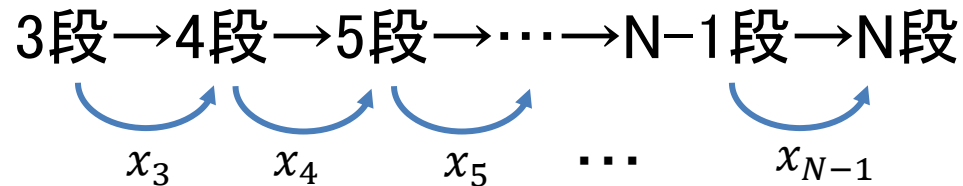


$$V_{o_N} = a_2 + \sum_{k=2}^{N-1} x_k$$

それに伴い数列を変形

N段構成出力式の導出

階差を求める



段数を増やした際の増加分

$$\begin{aligned}
 x_k &= V_{k+1} - V_k \\
 &= F_{k+1} \left(S_k - \sum_{l=1}^{k-1} S_l \right) - 2S_k F_1 + S_{k+1} \left(F_1 - \sum_{m=2}^{k-1} F_m \right) \longrightarrow V_{O_N} = a_2 + \sum_{k=2}^{N-1} x_k
 \end{aligned}$$

よって、N段構成の出力式

$$V_N = S_1 F_2 + S_2 F_1 + \sum_{k=2}^{N-1} \left[F_{k+1} \left(S_k - \sum_{l=1}^{k-1} S_l \right) - 2S_k F_1 + S_{k+1} \left(F_1 - \sum_{m=2}^{k-1} F_m \right) \right]$$

N段構成出力式の確認

- 3段構成と一致するか...?

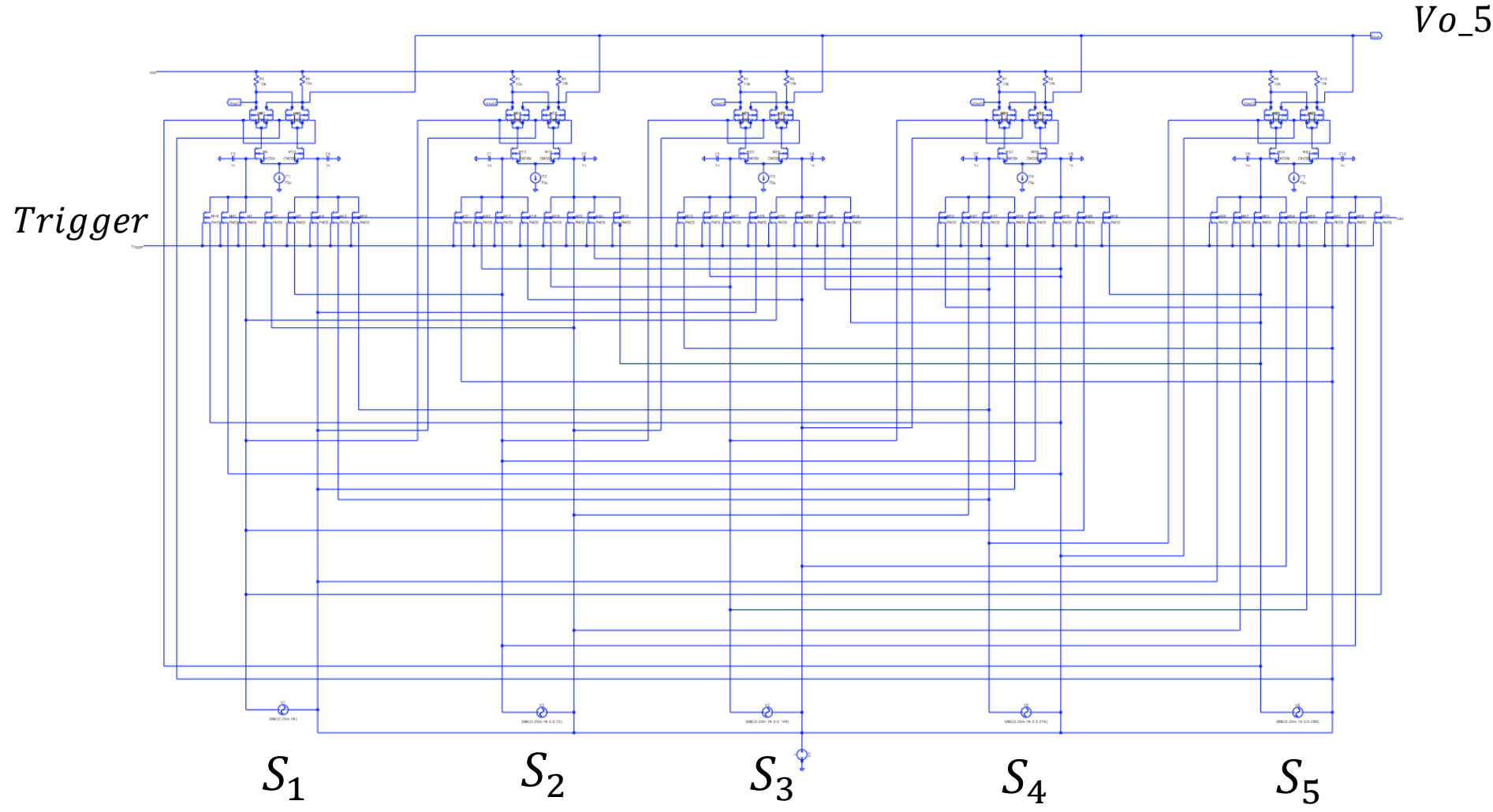
$$V_{O_N} = a_2 + \sum_{k=2}^{N-1} \left[F_{k+1} \left(S_k - \sum_{l=1}^{k-1} S_l \right) - 2S_k F_1 + S_{k+1} \left(F_1 - \sum_{m=2}^{k-1} F_m \right) \right]$$

$$\begin{aligned} V_{O_3} &= S_1 F_2 + S_2 F_1 + \sum_{k=2}^2 \left[F_{k+1} \left(S_k - \sum_{l=1}^1 S_l \right) - 2S_k F_1 + S_{k+1} \left(F_1 - \sum_{m=2}^1 F_m \right) \right] \\ &= S_1 F_2 + S_2 F_1 + [F_3(S_2 - S_1) - 2S_2 F_1 + S_3(F_1 - F_2)] \\ &= S_1(F_2 - F_3) + S_2(F_3 - F_1) + S_3(F_1 - F_2) \end{aligned}$$

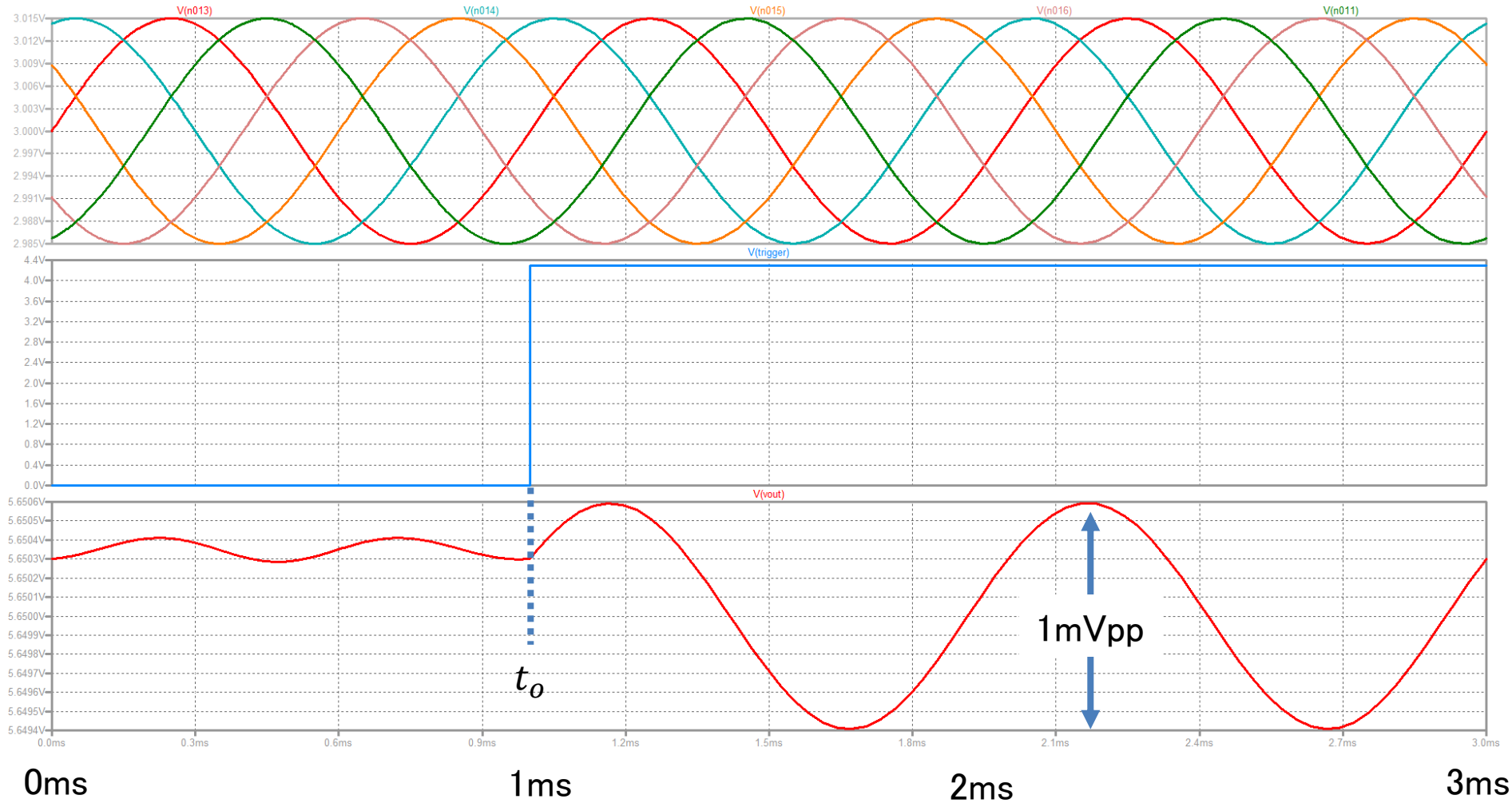
$$V_{O_3} = S_1(F_2 - F_3) + S_2(F_3 - F_1) + S_3(F_1 - F_2)$$

一致

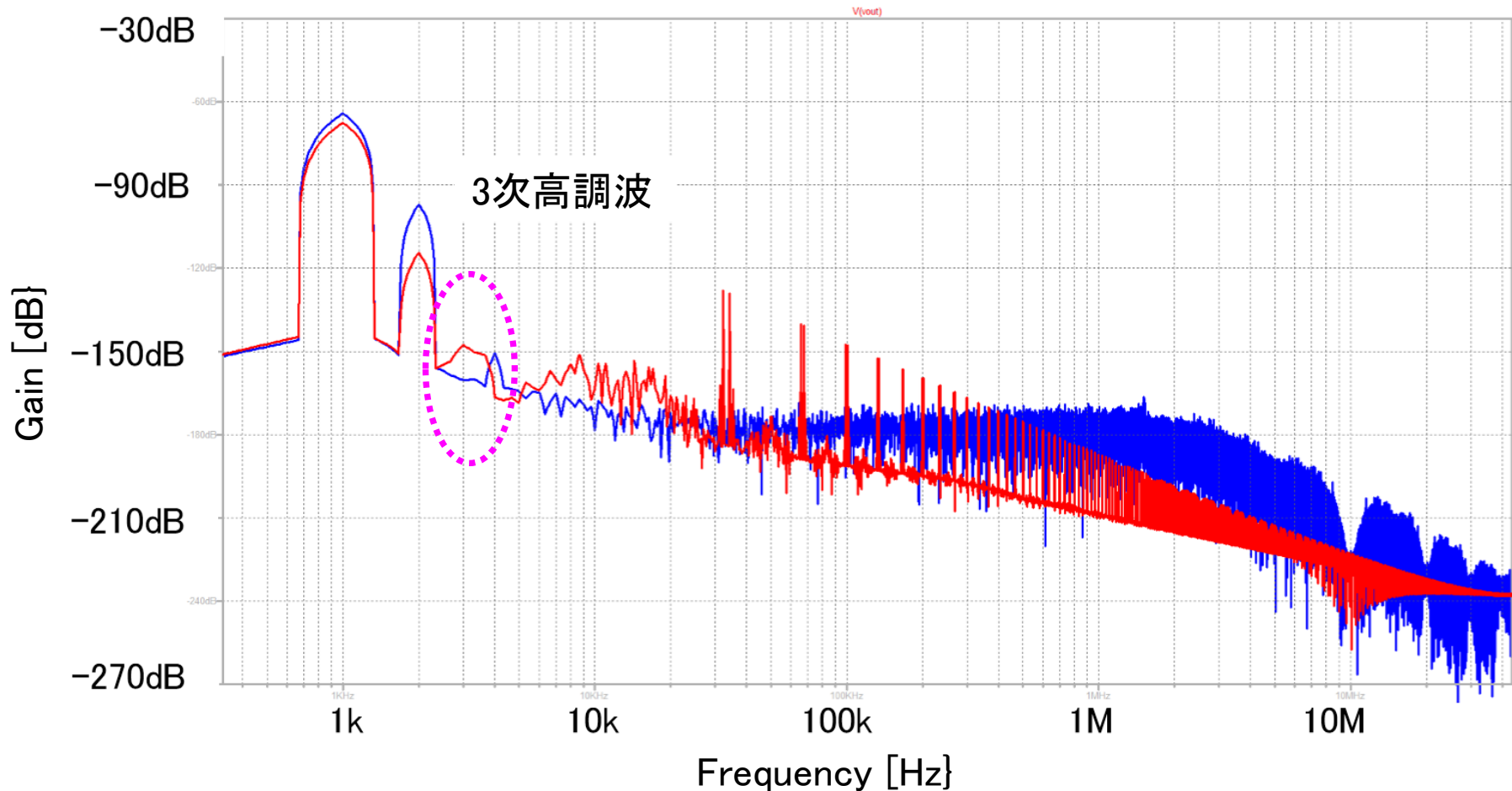
5段トリガ回路CMOS構成



出力の確認(5段)



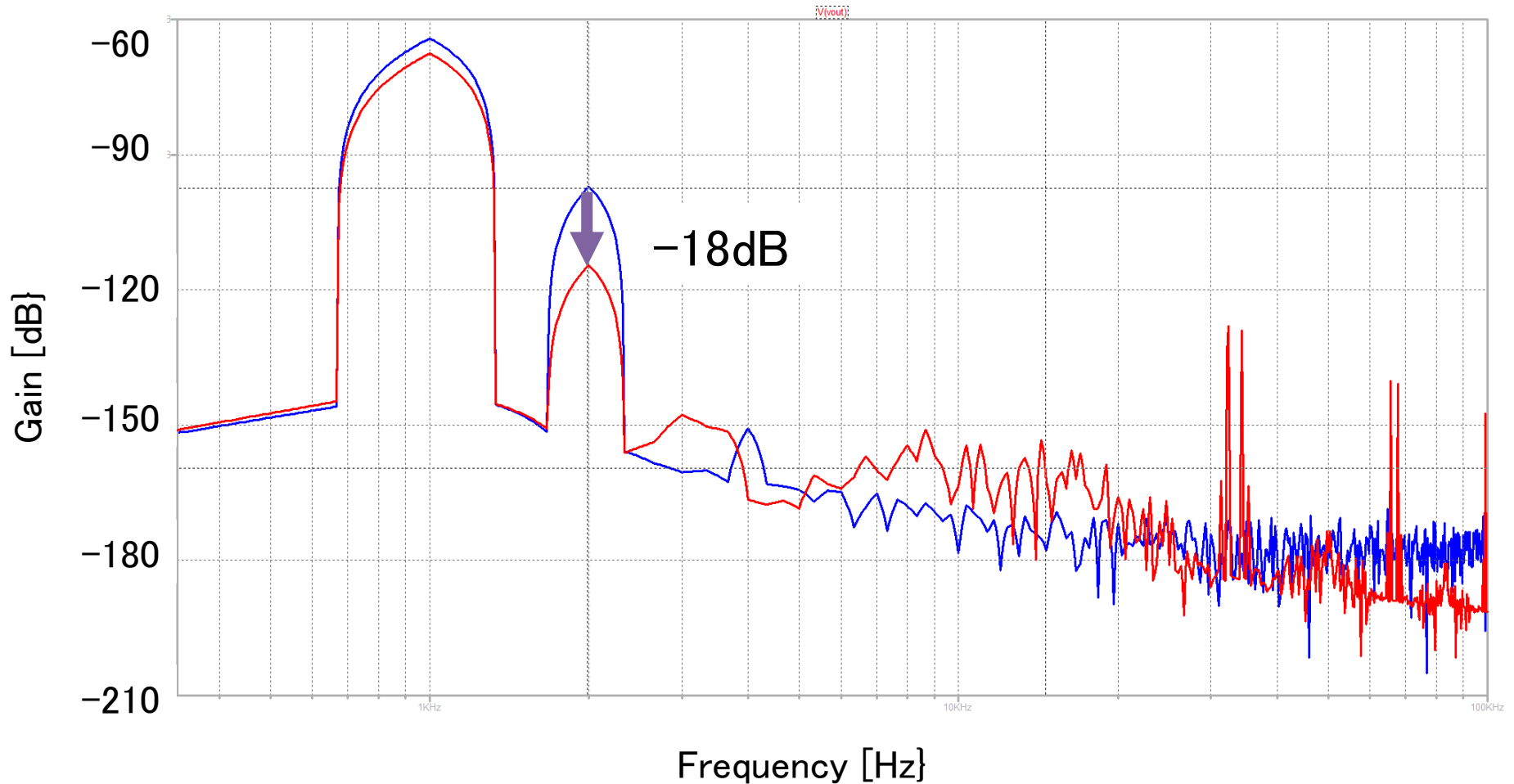
3段、5段での比較



5段でも同様に3次高調波がキャンセル

2次高調波が約30%低減

多段構成



5段でも同様に3次高調波がキャンセル

2次高調波が約30%低減

結果

- 3段構成を拡張し、多段構成のトリガ回路が実現可能
- 3段構成を5段構成にすることで2次高調波が約30%低減

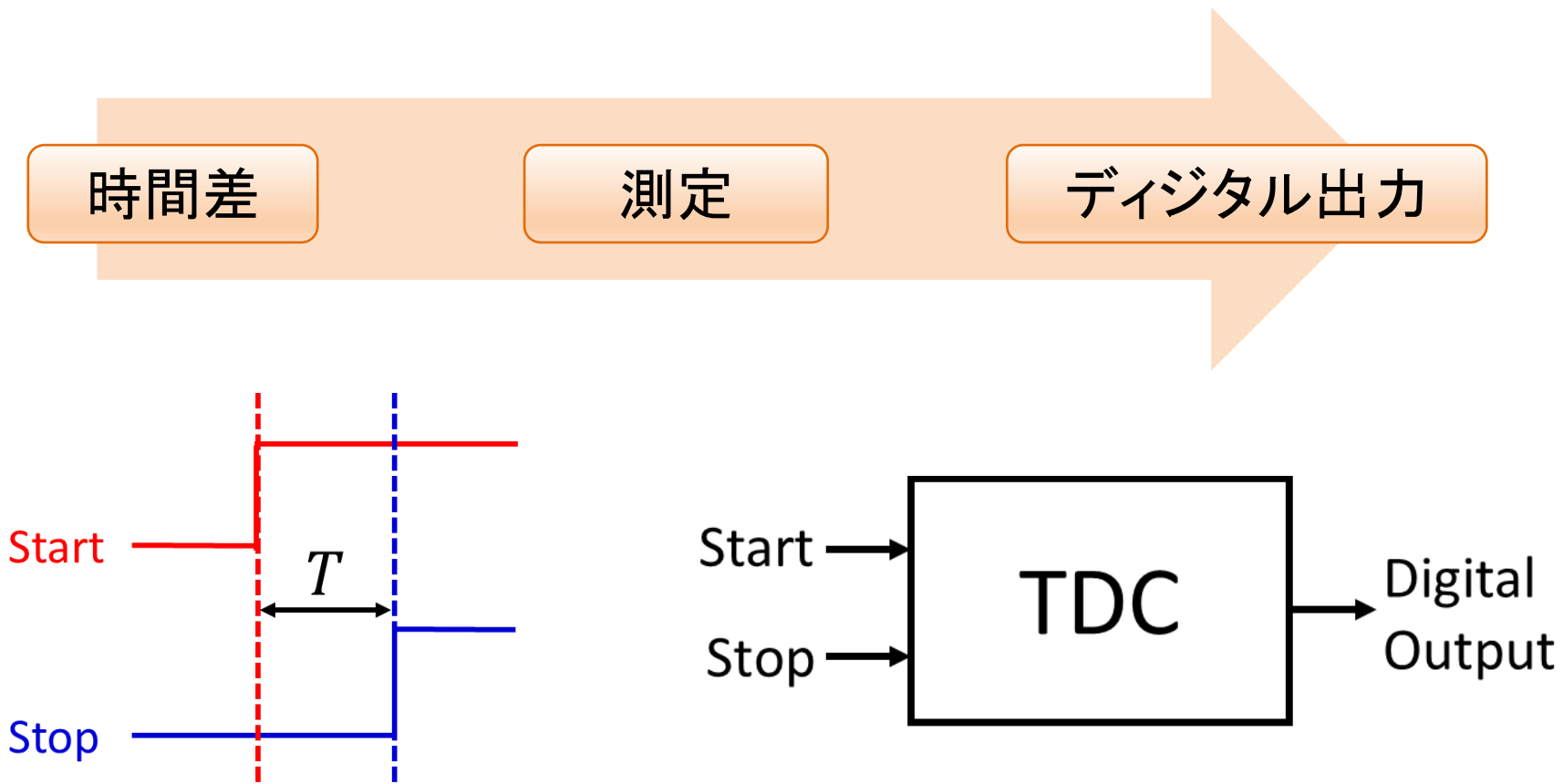
多段構成トリガ回路

入力の歪みに耐性のある出力が得られる

アウトライン

1. 研究概要
2. トリガ回路の解析
3. トリガ回路の多段化
4. SAR-TDCへの応用
5. まとめと今後の課題

時間デジタイザ回路(TDC)の役割

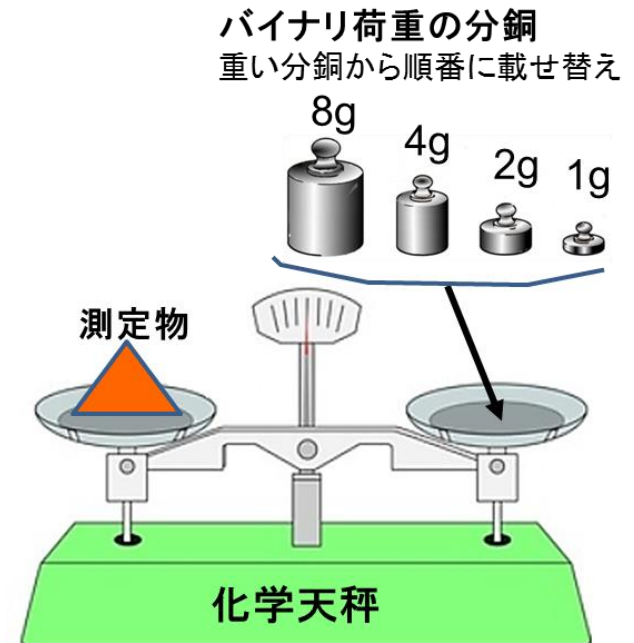
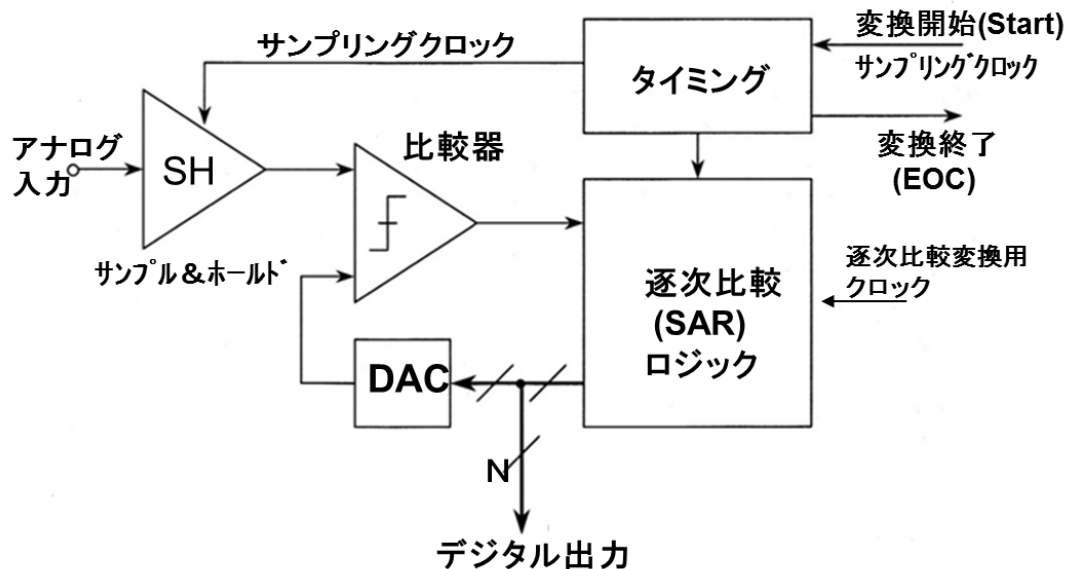
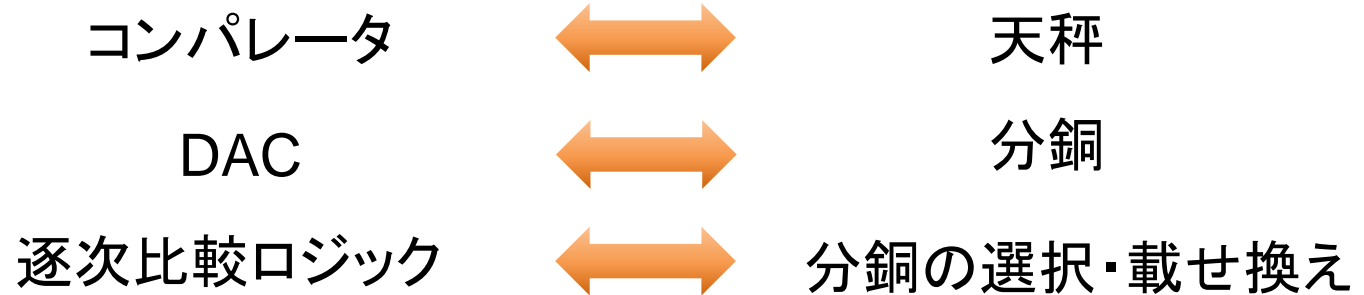


時間デジタイザ回路 (Time-to-Digital Converter、TDC) ;
タイミング信号の時間差を測定しデジタル出力

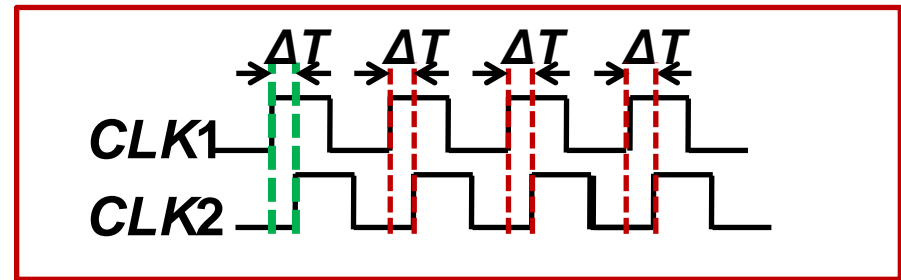
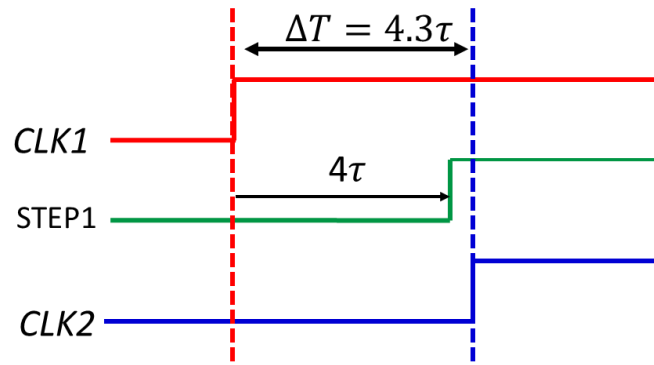
逐次比較の原理

例 逐次比較型ADC: SAR(Successive Approximation Register) ADC

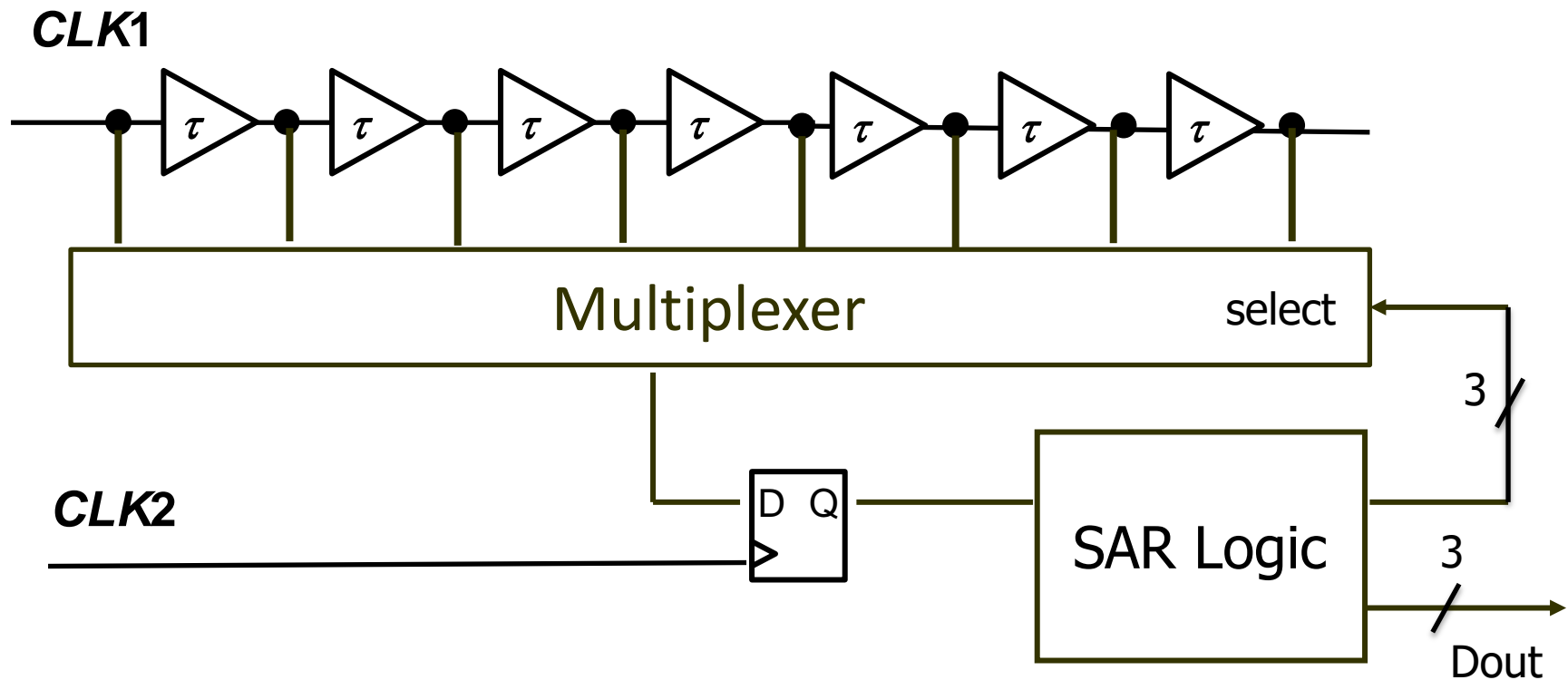
速度と精度のバランスが良く、チップ面積が小さく汎用ADCに最も多く使用される方式



逐次比較型(SAR)TDCの構成

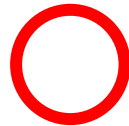


測定のために周期クロックが必要



SAR-TDCの問題と解決法提案

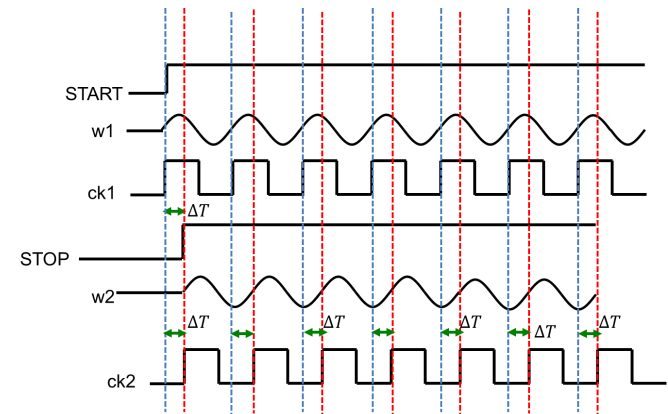
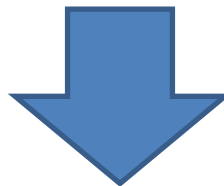
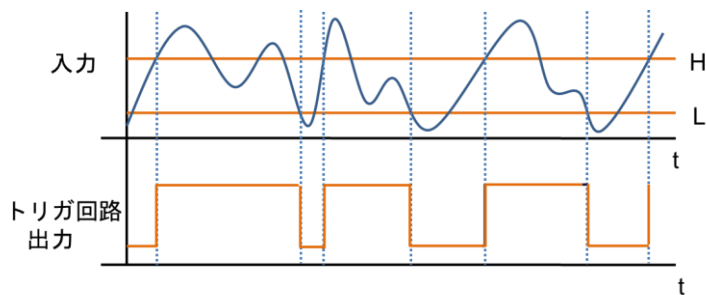
従来



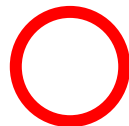
電圧信号は保持できる



時間信号差は保持できない



提案



時間信号差は保持できる

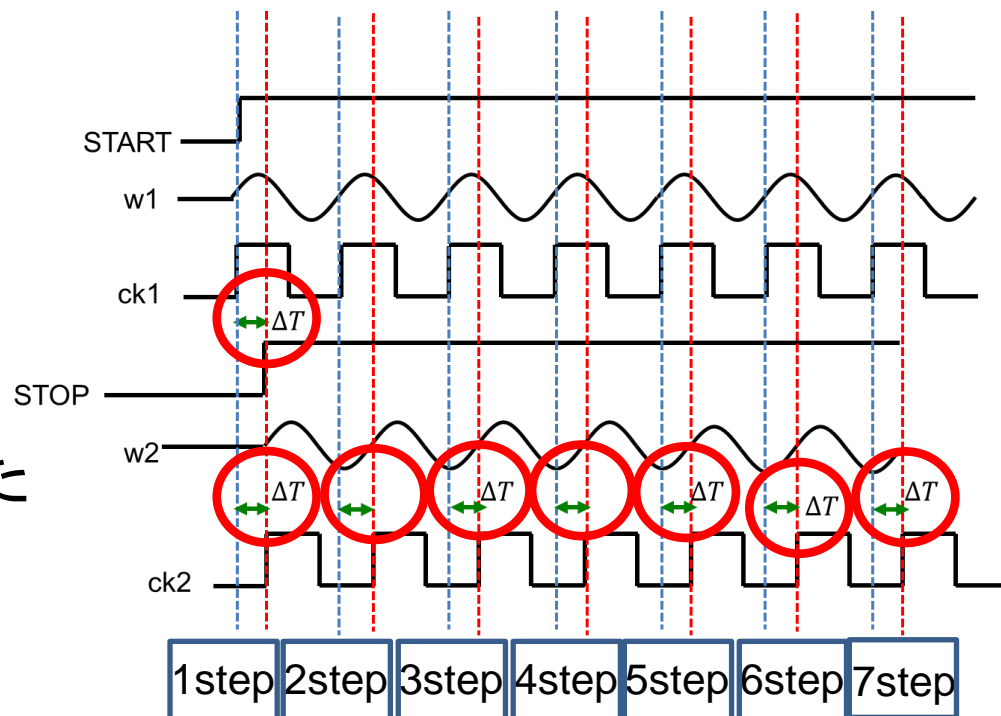
トリガ回路を用いた単発タイミング測定

提案

START, STOP信号を入力

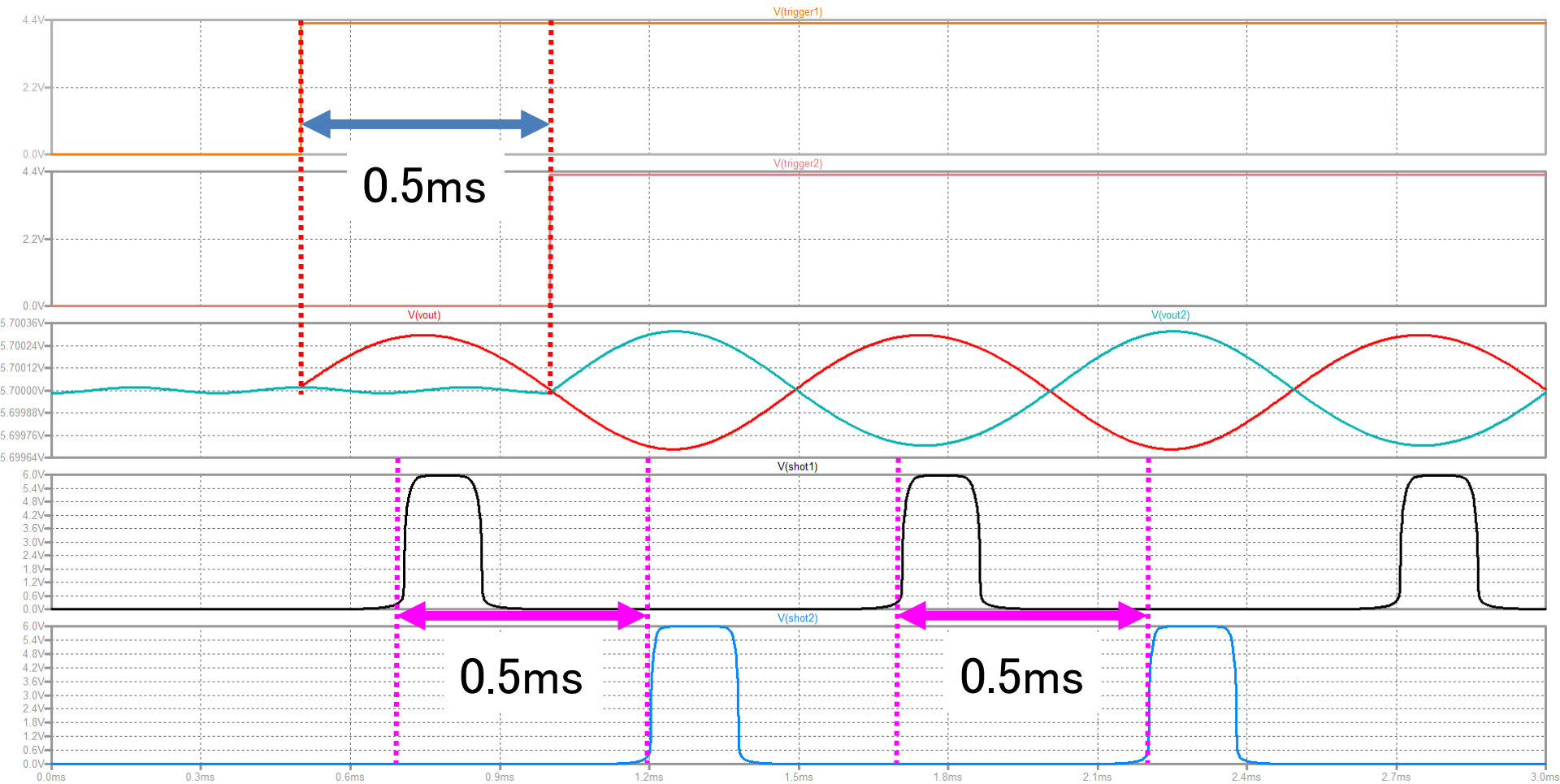


入力のタイミングから決められた
初期位相で発振を開始



二つのトリガ回路を用いることで**時間信号差の保持**が可能

単発タイミング測定の実論シミュレーション



アウトライン

1. 研究概要
2. トリガ回路の解析
3. トリガ回路の多段化
4. SAR-TDCへの応用
5. まとめと今後の課題

まとめと課題

まとめ

- トリガ回路のCMOS構成での動作を解析
- トリガ回路をN段構成に一般化
- 多段構成で歪みが低減することを確認
- SAR-TDCの単発タイミング測定のための構成を検討

課題

- 非理想要因を含めた検討
- SAR-TDCを含めた実装検討

ご清聴ありがとうございました

1. 研究概要
2. トリガ回路の解析
 - T/H回路、Gilbert Cell
 - 2段トリガ回路、3段トリガ回路
3. トリガ回路の多段化
 - N段構成トリガ回路
4. SAR-TDCへの応用
5. まとめと今後の課題

Q&A

Q歪みは何故発生するのか？また発生した場合どのような問題があるか？

Aギルバート乗算器は完璧な乗算を行っていない非線形演算により近似的な乗算を行っているため発生する。歪みが発生したときの影響に関しては、SAR-TDCに本トリガ回路を用いた場合にはトリガ回路の信号を増幅する必要があり、歪み成分も増幅してしまい、問題が発生するかもしれない

A小林先生「第3次高調波歪みなどは波形のスルーレートに関わってくる」

Q&A

Q 理想的な計算だと歪みはでないのでは？ 歪みは回路の非理想要因で発生する？

A 理想的な計算ではもちろん歪みは発生しない。
先程述べた通りギルバート乗算器の非線形演算により歪みが発生する。

Q 多段にすることで何故歪みが減る？

A 多段構成にすることでトランジスタのバラ付きを平均化して抑えることができると考えている。

Q&A

Q 歪みは既定値より小さければ問題ない？

A 具体的な数値を示していないが、適用するアプリケーションにより歪みの許容値が変わると考えている。