

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3801602号
(P3801602)

(45) 発行日 平成18年7月26日(2006.7.26)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.	F I				
H03M 1/66 (2006.01)	H03M	1/66		E	
H03M 1/08 (2006.01)	H03M	1/08		B	
H03M 3/04 (2006.01)	H03M	3/04			

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2004-185198 (P2004-185198)	(73) 特許権者	396023993
(22) 出願日	平成16年6月23日(2004.6.23)		株式会社半導体理工学研究センター
(65) 公開番号	特開2006-13704 (P2006-13704A)		神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階
(43) 公開日	平成18年1月12日(2006.1.12)	(74) 代理人	100086405
審査請求日	平成16年6月23日(2004.6.23)		弁理士 河宮 治
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	萩原 広之
			群馬県伊勢崎市長沼町1496
		(72) 発明者	小林 春夫
			群馬県桐生市相生町2-620-12 相生住宅1-202
		(72) 発明者	傘 昊
			群馬県前橋市城東町3-8-7-202
			最終頁に続く

(54) 【発明の名称】 DA変換回路及びそれを用いた $\Delta\Sigma$ AD変調器

(57) 【特許請求の範囲】

【請求項1】

帰還容量を有するオペアンプと、上記オペアンプに対して互いに並列接続された複数 $M = 2^L$ 個のキャパシタと、上記各キャパシタに対する充電のオン・オフを切り替える充電用スイッチと、上記各キャパシタからの放電のオン・オフを切り替える放電用スイッチとを備えたセグメントスイッチドキャパシタ型 DA 変換器を備えた DA 変換回路において、

上記各キャパシタに対して充電、放電、接地及び極性反転を行うスイッチ手段と、

所定の期間で各キャパシタに対して2回の充電及び放電を行うことにより所定の基準出力電圧の+2倍の出力電圧を得る「+2」の動作と、上記期間で各キャパシタに対して1回の充電及び放電の動作により上記基準出力電圧の1倍の出力電圧を得る「+1」の動作と、充電及び放電の動作をせずに接地電位の出力電圧を得る「0」の動作と、上記各キャパシタに対して1回の充電を行った後当該キャパシタの極性を反転することにより上記基準出力電圧の-1倍の出力電圧を得る「-1」の動作とを用いて、ローパス AD 変調器のために DA 変換回路の非線形性を2次ノイズシェーブするための2次 DWA アルゴリズムを実行するように、上記充電用スイッチと、上記放電用スイッチと、上記スイッチ手段とを制御する制御手段とを備えたことを特徴とする DA 変換回路。

【請求項2】

上記複数 2^L 個のキャパシタは等価的にリング状で接続されてなり、

上記制御手段は、

(a) 入力データ $D(n)$ に基づいて、プラス側ポイントの指示値 $P_{+}(n)$ と、プラ

10

20

ス側信号開始位置 $S_{o+}(n)$ と、プラス側個数 $A_{o+}(n)$ と、マイナス側ポインタの指示値 $P_{o-}(n)$ と、マイナス側信号開始位置 $S_{o-}(n)$ と、マイナス側個数 $A_{o-}(n)$ とを含む、上記 2 次 DWA アルゴリズムを用いて各キャパシタのスイッチ手段を制御するための制御パラメータを計算し、

(b) 上記各キャパシタとそれに接続されたスイッチ手段とにてなる各容量セルにおいて、 $S_{o+}(n)$, $\text{mod}_M(S_{o+}(n)+1)$, $\text{mod}_M(S_{o+}(n)+2)$, ..., $\text{mod}_M(S_{o+}(n)+A_{o+}(n)-1)$ 番目の容量セルに「正」を割り当てるとともに、 $S_{o-}(n)$, $\text{mod}_M(S_{o-}(n)+1)$, $\text{mod}_M(S_{o-}(n)+2)$, ..., $\text{mod}_M(S_{o-}(n)+A_{o-}(n)-1)$ 番目の容量セルに「負」を割り当て、

(c) m 番目の容量セルに正が割り当てられた回数を N_{mp} とし、負が割り当てられた回数を N_{mn} とし、

(d) $N_{mp} = N_{mn} + 2$ のとき m 番目の容量セルに対して「+2」の動作を設定し、 $N_{mp} = N_{mn} + 1$ のとき m 番目の容量セルに対して「+1」の動作を設定し、 $N_{mp} = N_{mn}$ のとき m 番目の容量セルに対して「0」の動作を設定し、それ以外のとき m 番目の容量セルに対して「-1」の動作を設定することにより、上記充電用スイッチと、上記放電用スイッチと、上記スイッチ手段とを制御することを特徴とする請求項 1 記載の DA 変換回路。

【請求項 3】

上記 L は 3 であり、 $m = 8$ 個のキャパシタを備え、8 ビットの DA 変換回路であること特徴とする請求項 1 又は 2 記載の DA 変換回路。

【請求項 4】

請求項 1 乃至 3 のうちのいずれか 1 つに記載の DA 変換回路と、

入力されるアナログ信号から、上記 DA 変換回路から出力される信号を減算し、減算結果の信号を出力する減算手段と、

上記減算手段から出力されるアナログ信号に対して所定の低域通過波の処理を実行して出力するローパスフィルタと、

上記ローパスフィルタから出力されるアナログ信号をデジタル信号に AD 変換して出力するとともに、上記デジタル信号を上記 DA 変換回路を介して減算手段に出力する AD 変換手段とを備えたことを特徴とする AD 変調器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば通信装置、センサー装置、オーディオ装置などにおいて用いられる AD 変調器のための DA 変換回路及びそれを用いた AD 変調器に関する。

【背景技術】

【0002】

通信システムでの信号処理手法はアナログ式からデジタル式に急速にかわりつつある。そのシステム中の AD 変換回路のアナログフロントエンドへのシフトが実現できれば、従来アナログで実現されていた複雑な機能をデジタル信号処理手法で実現し、システム全体の集積度と性能を上げることが可能となる。この実現のためには、AD 変換回路に対して優れた線形性、大きなダイナミックレンジ、広信号帯域とイメージ信号除去能力が要求される。

【0003】

変調器を用いた AD 変換器である AD 変調器は、高速化広帯域化が急速に進みこの要求を満たすものとして、従来の音響、計測応用だけでなく通信システムへの応用が広がりつつある。AD 変調器はオーバーサンプリングとノイズシェープ手法で高精度を実現する。更なる高性能を追求するためにマルチビット AD 変調器を用いると、低いオーバーサンプリング比 (Over Sampling Ratio; 以下、OSR という。) で高分解能が得られ安定性の問題も軽減されるという特徴を有している (例えば、非特許文献 1 参照)。

10

20

30

40

50

【 0 0 0 4 】

【特許文献 1】特開平 1 0 - 0 7 5 1 7 7 号公報。

【非特許文献 1】S. R. Norsworthy et al. (editors), "Delta-Sigma Data Converters, -Theory, Design and Simulation", IEEE Press, 1997.

【非特許文献 2】R. Shreier et al., "Speed vs. dynamic range trade-off in oversampling data converters", in C. Toumazou et al. (editors), Trade-Offs in Analog Circuit Design, The Designer's Companion, Kluwer Academic Publishers, pp.644-653, 2002.

【非特許文献 3】Y. Greets et al., "Design of Multi-bit Delta-Sigma A/D Converters", Kluwer Academic Publishers, 2002. 10

【非特許文献 4】A. Yasuda et al., "A third-order - modulator using second-order noise-shaping dynamic element matching", IEEE Journal of Solid-State Circuits, Vol.33, pp.1876-1886, December 1998.

【非特許文献 5】H. San et al., "An element rotation algorithm for multi-bit DAC nonlinearities in complex bandpass delta-sigma AD modulators", IEEE 17th International Conference on VLSI Design, Mumbai, India, pp.151-156, January 2004.

【非特許文献 6】H. San et al., "A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass AD Modulators", IEICE Transactions on Fundamentals, Vol.E87-A, No.4, pp.792-800 April 2004.

【発明の開示】 20

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、優れた線形性を有する 1 ビット D A 変換器とは対照的に、マルチビット A D 変調器の内部 D A 変換器の非線形性は変調器内でノイズシェーブされず、A D 変換器全体の精度を劣化させてしまうという問題が生じる。

【 0 0 0 6 】

図 1 (a) は従来技術に係るローパス A D 変調器の構成を示すブロック図であり、図 1 (b) は図 1 (a) のローパス A D 変調器の等価回路図である。

【 0 0 0 7 】

図 1 (a) において、当該ローパス A D 変調器は、減算器 S U 1 と、ローパスフィルタ L P 1 と、A D 変換器 A D 1 と、D A 変換器 D A 1 とを備えて構成される。アナログ入力信号 A i n は減算器 S U 1 に入力され、減算器 S U 1 は入力されるアナログ入力信号 A i n から、D A 変換器 D A 1 からのフィードバック信号を減算し、減算結果の信号を所定の低域通過特性を有するローパスフィルタ L P 1 を介して A D 変換器 A D 1 に出力する。A D 変換器 A D 1 は、入力される信号をデジタル出力信号 D o u t に変換して出力するとともに、D A 変換器 D A 1 に出力する。さらに、D A 変換器 D A 1 は入力されるデジタル出力信号 D o u t をアナログ信号に D A 変換して減算器 S U 1 にフィードバックする。 30

【 0 0 0 8 】

また、図 1 (b) の等価ブロック図において、X (z) はアナログ入力信号 A i n に対応し、Y (z) はデジタル出力信号 D o u t に対応する。また、ローパスフィルタ L P 1 は伝達関数 H (z) を有し、A D 変換器 A D 1 において量子化ノイズ E (z) が加算器 S M 1 により加算され、D A 変換器 S M 2 において非線形誤差 (z) が加算器 S M 2 により加算される。なお、図 1 (b) において、M (z) は D A 変換器 D A 1 からの出力信号である。 40

【 0 0 0 9 】

ここで、図 1 のローパス A D 変調器における入力信号 X (z) と出力信号 Y (z) との関係式は次式で表される。なお、当該明細書において、数式がイメージ入力された墨付き括弧の番号と、数式が文字入力された大括弧の番号とを混在して用いており、また、当該明細書での一連の数式番号として「式 (1)」の形式を用いて数式番号を 50

式の最後部に付与して用いることとする。

【 0 0 1 0 】

【 数 1 】

$$Y(z) = \frac{H(z)}{1+H(z)} [X(z) - \delta(z)] + \frac{1}{1+H(z)} E(z) \quad (1)$$

【 0 0 1 1 】

上記式(1)から明らかなように、内部AD変換器AD1の量子化ノイズE(z)はノイズシェーブされるが、DA変換器の非線形誤差(z)はノイズシェーブされずそのまま出力されるので、高精度のAD変調器の実現を困難にしてしまうことがわかる。そこで、AD変調器内部マルチビットDA変換器の非線形性をノイズシェーブするため、内部DA変換器DA1の前段にデジタル信号処理回路を設けてダイナミックエレメントマッチングを行うDWA(Data Weighted Averaging; データに対する重み付けの平均化)アルゴリズムが提案されてきている(例えば、非特許文献2-6参照。)

10

【 0 0 1 2 】

次いで、セグメントスイッチドキャパシタ型DA変換器と容量のミスマッチについて以下に説明する。図2(a)は従来技術に係るセグメント型スイッチドキャパシタDA変換器の構成を示す回路図であり、図2(b)は図2(a)のセグメント型スイッチドキャパシタDA変換器の電荷充電動作を示す回路図であり、図2(c)は図2(a)のセグメントスイッチドキャパシタ型DA変換器の電荷放電動作を示す回路図である。

20

【 0 0 1 3 】

図2(a)で示す9レベル分解能を有するセグメントスイッチドキャパシタ型DA変換器は、互いに並列接続された8個の単位キャパシタ $C_0 - C_7$ と、フィードバックキャパシタ C_{ref} を有するオペアンプOPAと、各単位キャパシタ $C_0 - C_7$ に対して所定の基準電圧 V_{ref} を供給するための充電用スイッチSW11と、各単位キャパシタ $C_0 - C_7$ に充電された電荷をオペアンプOPAに放電するための放電用スイッチSW12と、各単位キャパシタ $C_0 - C_7$ に対してそれぞれ基準電圧 V_{ref} を供給しもしくは接地するためのスイッチSW0-SW7とを備えて構成される。

【 0 0 1 4 】

ここで、理想的にはすべての単位キャパシタ C_k の静電容量値は等しいが、実際にはICチップ製造上においてプロセスのバラツキにより容量値が異なり、その静電容量値は次式で表される。

30

【 0 0 1 5 】

[数 1]

$$C_k = C + e_k \quad (k = 0, 1, 2, \dots, 7) \quad (2)$$

【 0 0 1 6 】

ここで

[数 2]

$$C = (C_0 + C_1 + C_2 + \dots + C_7) / 8 \quad (3)$$

[数 3]

$$e_0 + e_1 + e_2 + \dots + e_7 = 0 \quad (4)$$

40

である。

【 0 0 1 7 】

また、 e_k は静電容量値 C_k のミスマッチ値(平均静電容量Cからのずれ)である。図2(b)に示すように、デジタル入力信号がmのとき、充電用スイッチSW11がオンとされかつスイッチSW12がオフとされ、m個のスイッチSW0-SWm-1が接点a側に切り替えられて単位キャパシタ $C_0, C_1, C_2, \dots, C_{m-1}$ が基準電圧 V_{ref} に接続され、他のスイッチ(7-m+1)個のスイッチSWm-SW7のみが接点b側に切り替えられて単位キャパシタ C_m, C_{m+1}, \dots, C_7 が接地される。これにより、単位キャパシタ $C_0, C_1, C_2, \dots, C_{m-1}$ に電荷が充電される。次いで、所定の期間

50

後に、図2(c)に示すように、充電用スイッチSW11がオフとされかつスイッチSW12がオンとされ、すべてのスイッチSW0-SW7が接点a側に切り替えられて、単位キャパシタ $C_0, C_1, C_2, \dots, C_{m-1}$ に充電された電荷がオペアンプOPAに放電される。このとき、セグメントスイッチドキャパシタ型DA変換器の出力電圧 V_{out} は次式で表される。

【0018】

【数2】

$$V_{out} = -m \frac{C}{C_{ref}} V_{ref} + \delta \quad (5)$$

10

【0019】

また、当該DA変換器の非線形性は下式で与えられる。

【0020】

【数3】

$$\delta = -\frac{e_0 + e_1 + e_2 + \dots + e_{m-1}}{C_{ref}} V_{ref} \quad (6)$$

【0021】

従って、上記式(3)から明らかなように、ミスマッチ値 e_0, e_1, \dots, e_7 (これは、等価的にDA変換器DA1の非線形性に対応する。)によるAD変換器出力パワースペクトルは信号帯域内で平坦に表れることがわかる。

20

【0022】

次いで、1次ローパスDWAアルゴリズムについて以下に説明する。図3(a)従来技術に係るDA変換器DA1を1次DWAアルゴリズムを用いて1次ノイズシェーブするときのDA変換回路を示すブロック図であり、図3(b)は図3(a)のDA変換回路の等価回路図である。

【0023】

図3(a)において、非線形性 (z) を有するDA変換器DA1の前段において、伝達関数 $(1/(1-z^{-1}))$ を有するデジタルローパスフィルタLP11を挿入するとともに、DA変換器DA1の後段において、伝達関数 $(1-z^{-1})$ を有するアナログハイパスフィルタHP11を挿入している。ここで、デジタル入力信号A1と、DA変換器DA1の非線形性 (z) と、アナログ出力信号A4との関係は次式で表される。

30

【0024】

【数4】

$$A_4(z) = A_1(z) + (1-z^{-1})(z) \quad (7)$$

【0025】

図3(a)のローパスフィルタLP11は、図3(b)に示すように、加算器SM11とその出力信号を所定のクロック期間だけ遅延させた後加算器SM11にフィードバックする遅延回路DL11とにより構成される。図3から明らかなように、DA変換器DA1の非線形性 (z) は、伝達関数 $(1-z^{-1})$ を有するハイパスフィルタHP11により1次ノイズシェーブされる。ここで、図3(a)のハイパスフィルタHP11は、図3(b)に示すように、減算器SU11と、それに入力される信号を所定のクロック期間だけ遅延させた後減算器SU11に入力する遅延回路DL21とにより構成される。

40

【0026】

しかしながら、実際には、この回路を実現することはできない。例えばデジタル入力信号 $A_1(n)$ が常に正数2である場合、時刻 n の増加に伴い、DA変換器DA1への入力信号 $A_2(n)$ は無限大になり、DA変換器DA1の入力レンジを超えてしまい、DA変換が不可能となる。そこで、図3の回路を等価的に実現できる1次DWAアルゴリズムが提案されており(例えば、非特許文献2参照。)、当該1次DWAアルゴリズムは以下の通りである。

50

【0027】

セグメントスイッチドキャパシタ型DA変換器に対して以下のことを考える。

(A) セグメントスイッチドキャパシタ型DA変換器の各容量セル CS_m ($m = 0, 1, 2, \dots, 7$)を図4で示すようにリング状に配列する。ここで、各容量セル CS_m はキャパシタ C_m と、それをリング接続線 RR に接続するスイッチ SW_m とからなる。また、リング接続線 RR は充電用スイッチ SW_{11} を介して基準電圧源 V_{ref} に接続されるとともに、フィードバックキャパシタ C_{ref} を有するオペアンプOPAの非反転入力端子に接続される。

(B) DA変換器にオンになる容量セルの位置を記憶するポインタを設ける。時刻 n のポインタの指示値を $P(n)$ とし、時刻 $n+1$ では入力データに対して、 $P(n)$ 番目から

10

の容量セルを選択し、オンにする。この構成で次のような動作を行う。

(C) 時刻 n において、入力データ信号が $A_1(n) = n$ とする ($n = 0, 1, 2, 3, \dots$)。

(D) n 個の容量セル $CS(\text{mod}_8(P(n)+1))$, $CS(\text{mod}_8(P(n)+2))$, $CS(\text{mod}_8(P(n)+3))$, \dots , $CS(\text{mod}_8(P(n)+n))$ の各スイッチをオンにし、図2(b)において基準電圧源 V_{ref} に接続する。なお、本明細書では、 x を y で割った剰余を示す一般的な記法「 $x \text{ mod } y$ 」又は「 $x \text{ mod } y$ 」に代えてその簡略的な記法「 $\text{mod}_y x$ 」で記述する。

(E) 時刻 $n+1$ のポインタの指示値を $P(n+1) = \text{mod}_8(P(n)+n)$ に設定する。このように、オンになるスイッチの容量セルを選択することで容量セルのミスマッチ値(すなわち、DA変換器DA1の非線形性 (z))が1次ノイズシェーブされる。

20

【0028】

ところで、AD変換器は、その高いOSRのために、AD変換器の消費電力が比較的大きく、チップ面積も大きくなるという問題点があった。この問題点を解決するために、OSRを低減するAD変調器のマルチビット化が目を集めているが、マルチビットDA変換器では上述したように、デバイスのマッチング精度に起因した非線形性があり、これがAD変換器全体の性能に悪影響を及ぼす問題がある。上記の問題は特に小型高速化のために微細化プロセスを採用すればより深刻となるという問題点があった。

【0029】

この問題点を解決するために、上述のごとく、1次のノイズシェーピングをするローパスエレメントローテーション法が提案されているが、高いSN比を得るには限界があった。一方、2次のノイズシェーピング法も提案はされているが、回路構成が複雑すぎて実用的ではないという問題点があった。

30

【0030】

本発明の目的は以上の問題点を解決し、従来技術に比較して構成が簡単であって、しかもDA変換器の非線形性をノイズシェーブすることができるDA変換回路及びそれを用いたAD変調器を提供することにある。

【課題を解決するための手段】

【0031】

第1の発明に係るDA変換回路は、帰還容量を有するオペアンプと、上記オペアンプに対して互いに並列接続された複数 $M = 2^L$ 個のキャパシタと、上記各キャパシタに対する充電のオン・オフを切り替える充電用スイッチと、上記各キャパシタからの放電のオン・オフを切り替える放電用スイッチとを備えたセグメントスイッチドキャパシタ型DA変換器を備えたDA変換回路において、

上記各キャパシタに対して充電、放電、接地及び極性反転を行うスイッチ手段と、

所定の期間で各キャパシタに対して2回の充電及び放電を行うことにより所定の基準出力電圧の+2倍の出力電圧を得る「+2」の動作と、上記期間で各キャパシタに対して1回の充電及び放電の動作により上記基準出力電圧の1倍の出力電圧を得る「+1」の動作と、充電及び放電の動作をせずに接地電位の出力電圧を得る「0」の動作と、上記各キャ

40

50

パシタに対して1回の充電を行った後当該キャパシタの極性を反転することにより上記基準出力電圧の-1倍の出力電圧を得る「-1」の動作とを用いて、ローパスAD変調器のためにDA変換回路の非線形性を2次ノイズシェーブするための2次DWAアルゴリズムを実行するように、上記充電用スイッチと、上記放電用スイッチと、上記スイッチ手段とを制御する制御手段とを備えたことを特徴とする。

【0032】

上記DA変換回路において、上記複数 2^L 個のキャパシタは等価的にリング状で接続されてなり、上記制御手段は、

(a) 入力データ $D(n)$ に基づいて、プラス側ポイントの指示値 $P_{+}(n)$ と、プラス側信号開始位置 $S_{+}(n)$ と、プラス側個数 $A_{+}(n)$ と、マイナス側ポイントの指示値 $P_{-}(n)$ と、マイナス側信号開始位置 $S_{-}(n)$ と、マイナス側個数 $A_{-}(n)$ とを含む、上記2次DWAアルゴリズムを用いて各キャパシタのスイッチ手段を制御するための制御パラメータを計算し、

(b) 上記各キャパシタとそれに接続されたスイッチ手段とにてなる各容量セルにおいて、 $S_{+}(n), \text{mod}_M(S_{+}(n)+1), \text{mod}_M(S_{+}(n)+2), \dots, \text{mod}_M(S_{+}(n)+A_{+}(n)-1)$ 番目の容量セルに「正」を割り当てるとともに、 $S_{-}(n), \text{mod}_M(S_{-}(n)+1), \text{mod}_M(S_{-}(n)+2), \dots, \text{mod}_M(S_{-}(n)+A_{-}(n)-1)$ 番目の容量セルに「負」を割り当て、

(c) m 番目の容量セルに正が割り当てられた回数を N_{mp} とし、負が割り当てられた回数を N_{mn} とし、

(d) $N_{mp} = N_{mn} + 2$ のとき m 番目の容量セルに対して「+2」の動作を設定し、 $N_{mp} = N_{mn} + 1$ のとき m 番目の容量セルに対して「+1」の動作を設定し、 $N_{mp} = N_{mn}$ のとき m 番目の容量セルに対して「0」の動作を設定し、それ以外のとき m 番目の容量セルに対して「-1」の動作を設定することにより、上記充電用スイッチと、上記放電用スイッチと、上記スイッチ手段とを制御することを特徴とする。

【0033】

また、上記DA変換回路において、上記 L は3であり、 $m = 8$ 個のキャパシタを備え、8ビットのDA変換回路であること特徴とする。

【0034】

第2の発明に係るAD変調器は、請求項1乃至3のうちのいずれか1つに記載のDA変換回路と、

入力されるアナログ信号から、上記DA変換回路から出力される信号を減算し、減算結果の信号を出力する減算手段と、

上記減算手段から出力されるアナログ信号に対して所定の低域通過ろ波の処理を実行して出力するローパスフィルタと、

上記ローパスフィルタから出力されるアナログ信号をデジタル信号にAD変換して出力するとともに、上記デジタル信号を上記DA変換回路を介して減算手段に出力するAD変換手段とを備えたことを特徴とする。

【発明の効果】

【0035】

従って、本発明によれば、従来技術に比較して構成が簡単であって、しかもDA変換器の非線形性をノイズシェーブすることができるDA変換回路及びそれを用いたAD変調器を提供することができる。これにより、例えば微細デバイスなど低精度のデバイス)でも、容易にマルチビットのDA変換器の非線形性を抑圧でき、理想に近い高いSN比を得ることが実用レベルで初めて可能になる。

【発明を実施するための最良の形態】

【0036】

以下、本発明に係る実施形態について図面を参照して説明する。なお、同様の構成要素については同一の符号を付している。

【0037】

10

20

30

40

50

本実施形態では、ローパス AD変調器のために、DA変換器の非線形性を2次ノイズシェーブする比較的回路実現が容易なAD変換回路のためのアルゴリズムについて説明し、そのアルゴリズムを実現するための、スイッチドキャパシタ回路を用いたハードウェア回路について説明する。

【0038】

図5(a)は本発明の一実施形態に係る、DA変換器DA1の非線形性を2次ノイズシェーブするときのDA変換回路を示すブロック図であり、図5(b)は図5(a)のDA変換回路の等価回路図である。本実施形態では、1次DWAアルゴリズムを拡張して、2次DWAアルゴリズムを考案し、その実現回路を考案した。

【0039】

図5(a)に示すように、DA変換器DA1の前段に2個のローパスフィルタ(デジタル積分フィルタ)LP11, LP12を設けるとともに、DA変換器DA1の後段に2個のハイパスフィルタ(アナログ微分フィルタ)HP11, HP12を設ける。ここで、Xをデジタル入力信号とし、Yをアナログ出力信号とし、(z)をDA変換器DA1の非線形性とするとき次式の関係が得られる。

【0040】

[数5]

$$Y(z) = X(z) + (1 - z^{-1})^2 \cdot (z) \quad (8)$$

【0041】

図5(a)のローパスフィルタLP11は、図3と同様に、図5(b)に示すように、加算器SM11とその出力信号を所定のクロック期間だけ遅延させた後加算器SM11にフィードバックする遅延回路DL11とにより構成され、図5(a)のローパスフィルタLP12は、図5(b)に示すように、加算器SM12とその出力信号を所定のクロック期間だけ遅延させた後加算器SM12にフィードバックする遅延回路DL12とにより構成される。また、図5(a)のハイパスフィルタHP11は、図3と同様に、図5(b)に示すように、減算器SU11と、それに入力される信号を所定のクロック期間だけ遅延させた後減算器SU11に入力する遅延回路DL21とにより構成され、図5(a)のハイパスフィルタHP12は、図5(b)に示すように、減算器SU12と、それに入力される信号を所定のクロック期間だけ遅延させた後減算器SU12に入力する遅延回路DL22とにより構成される。

【0042】

上記式(5)から明らかなように、DA変換器DA1の非線形性(z)が2次ノイズシェーブされることがわかる。上述と同様に、DA変換器DA1の入力レンジの制限で図5の構成も直接的には実現できない。1次DWAアルゴリズムの場合と同様に、各容量セルCS0 - CS7を図4で示すようにリング状に配列して等価的にこの構成を実現することを考える。

【0043】

次いで、本発明者らが考案した2次DWAアルゴリズムについて以下に説明する。当該アルゴリズムでは、セグメントスイッチドキャパシタ型DA変換器の各容量セルCS0 - CS7は-1, 0, 1, 2の多値をとることが特徴である。

【0044】

まず、図4のリング形状のセグメントスイッチドキャパシタ型DA変換器において、どの容量セルを選択するかを示すポイントの設定について以下に説明する。

【0045】

設定時刻nにおけるDA変換器DA1への入力データをD(n)とすると、次式の間係を有する。ここで、プラス側のポイントの指示値P₊(n)、マイナス側のポイントの指示値P₋(n)、プラス側の信号開始位置S₊(n)、マイナス側の信号開始位置S₋(n)、プラス側の割り当て回数A₊(n)、マイナス側の割り当て回数A₋(n)を定義する。

【0046】

10

20

30

40

50

(A) プラス側 :

【数 4】

$$P_{o+}(n) = \text{mod}_8 \left[D(n-1) + \sum_{k=0}^{n-2} P_{o+}(k) \right] \quad (9)$$

【数 6】

$$S_{o+}(n) = \text{mod}_8 [P_{o+}(n) + 1] \quad (10)$$

【数 7】

$$A_{o+}(n) = D(n) + \text{mod}_8 (A_{o+}(n-1)) \quad (11)$$

(B) マイナス側 :

【数 8】

$$P_{o-}(n) = P_{o+}(n-1) \quad (12)$$

【数 9】

$$S_{o-}(n) = \text{mod}_8 [P_{o+}(n-1) + 1] \quad (13)$$

【数 10】

$$A_{o-}(n) = \text{mod}_8 (A_{o+}(n-1)) \quad (14)$$

【0047】

次いで、各容量セルへの「正」、 「負」の割り当てルール R1、R2 について説明する。

【0048】

(R1) $S_{o+}(n)$, $\text{mod}_8 (S_{o+}(n) + 1)$, $\text{mod}_8 (S_{o+}(n) + 2)$, ..., $\text{mod}_8 (S_{o+}(n) + A_{o+}(n) - 1)$ 番目の容量セルに「正」を割り当てる。

(R2) $S_{o-}(n)$, $\text{mod}_8 (S_{o-}(n) + 1)$, $\text{mod}_8 (S_{o-}(n) + 2)$, ..., $\text{mod}_8 (S_{o-}(n) + A_{o-}(n) - 1)$ 番目の容量セルに「負」を割り当てる。

【0049】

ここで、m 番目の容量セル $C S m$ は + が $k + 2$ 回割り当てられてきたとすると、その容量セルは - が k 回、 $k + 1$ 回、 $k + 2$ 回又は $k + 3$ 回割り当てられる。ここで、 k は任意の自然数である。なお、上記割り当てルール R1、R2 における mod 演算の除数 (又は底) は 3 ビットの DA 変換のために 8 であるが、 $M = 2^L$ ビットののための DA 変換のときは、 M となる。

【0050】

さらに、各容量セルの -1, 0, 1, 2 の値の決定方法について以下に説明する。

【0051】

m 番目の容量セル $C S m$ ($m = 1, 2, \dots, 7$) が -1, 0, 1, 2 のどの値をとるかは以下の条件で決める。

(1) 容量セルの値が「+1」の条件は、上記割り当てルール R1、R2 に従って、「正が $k + 2$ 回で、負が $k + 1$ 回」割り当てられたとき、もしくは「正が 2 回、負が 1 回」割り当てられたとき。

(2) 容量セルの値が「2」の条件は、「正が $k + 2$ 回、負が k 回」割り当てられたとき。

(3) 容量セルの値が「0」の条件は、「正が $k + 2$ 回、負が $k + 2$ 回」割り当てられたとき。

(4) 容量セルの値が「-1」の条件は、「正が $k + 2$ 回、負が $k + 3$ 回」割り当てられたとき。

【0052】

さらに、当該アルゴリズムを用いたときの DA 変換器 DA1 の出力信号 V_{out} について以下に説明する。

【0053】

10

20

30

40

50

入力データ $D(n) = 3$ のとき、図 2 の通常のセグメントスイッチドキャパシタ型 D A 変換器では出力信号は常に次式のようにになる。

【 0 0 5 4 】

【 数 5 】

$$\begin{aligned} V_{\text{out}} &= -\frac{C_0 + C_1 + C_2}{C_{\text{ref}}} V_{\text{ref}} \\ &= -\frac{3C}{C_{\text{ref}}} V_{\text{ref}} - \frac{e_0 + e_1 + e_2}{C_{\text{ref}}} V_{\text{ref}} \quad (15) \end{aligned}$$

10

【 0 0 5 5 】

ここで、2 次 D W A アルゴリズムを用いたとき、例えば 1 番目の容量セルの値が - 1 で、2, 3, 4, 5 番目の容量セルの値が + 1 で、その他の容量セルの値が 0 の場合が生じ得て、そのときの出力信号は次式で表される。

【 0 0 5 6 】

【 数 6 】

$$\begin{aligned} V_{\text{out}} &= -\frac{-C_1 + C_2 + C_3 + C_4 + C_5}{C_{\text{ref}}} V_{\text{ref}} \\ &= -\frac{3C}{C_{\text{ref}}} V_{\text{ref}} - \frac{-e_1 + e_2 + e_3 + e_4 + e_5}{C_{\text{ref}}} V_{\text{ref}} \quad (16) \end{aligned}$$

20

【 0 0 5 7 】

また、別のタイミングでは入力データ $D(n)$ が同じ 2 でも、3 番目の容量セルの値が 2 で、4 番目の容量セルの値が + 1 で、その他の容量セルの値が 0 の場合が生じ得て、そのときは出力信号は次式で表される。

【 0 0 5 8 】

【 数 7 】

$$\begin{aligned} V_{\text{out}} &= -\frac{2C_3 + C_4}{C_{\text{ref}}} V_{\text{ref}} \\ &= -\frac{3C}{C_{\text{ref}}} V_{\text{ref}} - \frac{2e_3 + e_4}{C_{\text{ref}}} V_{\text{ref}} \quad (17) \end{aligned}$$

30

【 0 0 5 9 】

次いで、上述の 2 次 D W A アルゴリズムを用いたセグメントスイッチドキャパシタ型 D A 変換器の動作例について以下に説明する。図 6 は図 5 の D A 変換回路の動作例を示す図であって、入力信号に対する各容量セル $C S_m$ ($m = 0, 1, 2, \dots, 7$) への設定を示す図である。図 6 では、D A 変換器への入力信号が 3, 4, 2, 5, 6, 1, ... と推移した場合、上記 2 次 D W A アルゴリズムに従った容量セルの値を示す。このときの動作は以下の通りになる。

40

【 0 0 6 0 】

(S S 1) 最初の時刻 $n = 0$ でデジタル入力 $D(0)$ が 3 であるとする、そのまま 3 は出力され、容量セル $C S_0, C S_1, C S_2$ の値は「 + 1 」になる。

(S S 2) 次いで、4 が入力されると ($D(1) = 4$)、3 番目の容量セル $C S_3$ からここまでの入力の積分値である $3 + 4 = 7$ 個が「 + 」になる。すなわち、容量セル $C S_3, C S_4, C S_5, C S_6, C S_7, C S_0, C S_1$ に「 + 」を割り当てられる。また、1 つ前で使われた入力信号である 3 により容量セル $C S_0, C S_1, C S_2$ に「 - 」が割り当てられる。「 + 」と「 - 」の両方が 1 回ずつ割り当てられた容量セル $C S_0, C S_1$ の値は「 0 」になり、「 - 」のみが 1 回割り当てられた容量セル $C S_2$ の値は「 - 1 」にな

50

り、「+」のみが1回割り当てられた容量セルCS3, CS4, CS5, CS6, CS7の値は「+1」になる。

(SS3)次いで、2が入力されると($D(2) = 2$)、2番目の容量セルCS2からここまでの入力データの積分値である $3 + 4 + 2 = 9$ 個が「+」になる。すなわち、容量セルCS2, CS3, CS4, CS5, CS6, CS7, CS0, CS1, CS2には「+」を割り当てられる。また、1つ前で使われた入力信号の積分値である7により容量セルCS3, CS4, CS5, CS6, CS7, CS0, CS1には「-」が割り当てられる。容量セルCS2には+が2回割り当てられるので、値は「+2」になる。容量セルCS0, CS1は「+」1回と「-」1回が割り当てられるので値は「0」になる。

【0061】

次いで、2次DWAアルゴリズムをセグメントスイッチドキャパシタ型DA変換器に対して適用したDA変換回路50について以下に説明する。図7は本発明の一実施形態に係るDA変換回路50の構成を示すブロック図である。図7において、DA変換回路50は、入力データ $D(n)$ に基づいて2次DWAアルゴリズムを実行してセグメントスイッチドキャパシタ型DA変換器20の各スイッチを制御するコントローラ10と、コントローラ10により制御されDA変換後の出力信号 V_{out} を出力するセグメントスイッチドキャパシタ型DA変換器20とを備えて構成される。なお、コントローラ10は、デジタル順序回路と、クロック発生回路とを組み合わせ構成してもよい。

【0062】

図8は図7のセグメントスイッチドキャパシタ型DA変換器20の詳細構成を示す回路図である。図8のセグメントスイッチドキャパシタ型DA変換器20は、図2(a)のセグメントスイッチドキャパシタ型DA変換器と比較して以下の点異なる。

(1) 図2における各キャパシタ C_m ($m = 0, 1, 2, \dots, 7$)に対する充電又は接地のためのスイッチ SW_m に代えて、これら充電、放電及び接地の機能に加えて、各キャパシタ C_m を反転(後述するマイナス動作のため)の機能を提供するために、各キャパシタ C_m の一方の側に、充電用スイッチ SW_{11} を介して基準電圧源 V_{ref} が接続されたスイッチ S_{1-m} と、接地に接続されたスイッチ S_{3-m} とが挿入される一方、各キャパシタ C_m の他方の側に、充電用スイッチ SW_{11} を介して基準電圧源 V_{ref} が接続されたスイッチ S_{4-m} と、接地に接続されたスイッチ S_{2-m} とが挿入される。ここで、スイッチ S_{1-m} 乃至 S_{4-m} ($m = 0, 1, 2, \dots, 7$)は、キャパシタ C_m に対する充電、放電、接地及びキャパシタ C_m の極性反転のためのスイッチである。

(2) ここで、正での充電又は放電のとき、スイッチ S_{1-m} 及びスイッチ S_{2-m} がオンされる一方、スイッチ S_{3-m} 及びスイッチ S_{4-m} がオフされる。また、反転された負での充電又は放電のとき、スイッチ S_{1-m} 及びスイッチ S_{2-m} がオフされる一方、スイッチ S_{3-m} 及びスイッチ S_{4-m} がオンされる。

(3) 充電用スイッチ SW_{11} 及び放電用 SW_{12} の動作は基本的には図2の動作と同様であるが、マルチクロック動作では、1つのクロック期間で2回の充放電が実行される。

【0063】

すなわち、上述した2次DWAアルゴリズムを実現するために、容量セルからの2倍の出力信号及びマイナスの出力信号必要になる。これをセグメントスイッチドキャパシタ型DA変換器で実現するためにそれぞれ、以下で詳述する「マルチクロック動作(2クロック動作)」と「マイナス動作」を用いる。

【0064】

図9は、図8のセグメントスイッチドキャパシタ型DA変換器20の容量セル CS_m におけるマルチクロック動作を示す図であって、図9(a)はその第1の電荷充電動作を示す回路図であり、図9(b)はその第1の電荷放電動作を示す回路図であり、図9(c)はその第2の電荷充電動作を示す回路図であり、図9(d)はその第2の電荷放電動作を示す回路図である。なお、図9では、説明の簡単化のために1つの容量セル CS_m のみを図示している。

【0065】

10

20

30

40

50

図9(a)において充電用スイッチSW11をオンしかつ放電用スイッチSW12をオフして1回目の充電を行った後、図9(b)において充電用スイッチSW11をオフしかつ放電用スイッチSW12をオンして1回目の放電を行い、オペアンプOPAで単位電圧を保持する。次いで、図9(c)においてスイッチ充電用SW11をオンしかつ放電用スイッチSW12をオフして2回目の充電を行った後、図9(d)において充電用スイッチSW11をオフしかつ放電用スイッチSW12をオンして2回目の放電を行い、オペアンプOPAで単位電圧の2倍の電圧を保持する。すなわち、容量セルCSmに対して「+2」の動作を実行するマルチクロック動作では、1クロックの間に2回電荷を貯めて送り出す動作で、出力電圧として2倍の電荷を送り出すことができる。

【0066】

図10は、図8のセグメントスイッチドキャパシタ型DA変換器20の容量セルCSmにおけるマイナス動作を示す図であって、図10(a)はその電荷充電動作を示す回路図であり、図10(b)はその電荷保持動作を示す回路図であり、図10(c)はその電荷放電動作を示す回路図である。なお、図10では、説明の簡単化のために1つの容量セルCSmのみを図示している。

【0067】

図10(a)において充電用スイッチSW11をオンしかつ放電用スイッチSW12をオフして充電を行った後、図10(b)において2つのスイッチSW11, SW12をともにオフにした電荷保持状態でキャパシタCmの接続を反転してマイナスの極性を得て、図10(c)においてスイッチ充電用SW11をオフしかつ放電用スイッチSW12をオンして放電を行い、オペアンプOPAに出力する。すなわち、容量セルCSmに対して「-1」の動作を実行するマイナス動作では、一度電荷を充電して保持した後に、キャパシタCmの接続をプラスとマイナスを逆に接続することでマイナス出力電圧を実現する。

【0068】

以上説明した2次DWAアルゴリズムを用いた動作をまとめると以下のようになる。

(1)「+2」の動作：上述のマルチクロックの動作により所定の基準出力電圧(正確には、図9及び図10に示すように、 $(C/C_{ref})V_{ref}$ である。)の+2倍の出力電圧を得る。

(2)「+1」の動作：通常の1回の充電、放電の動作により上記基準出力電圧の1倍の出力電圧を得る。

(3)「0」の動作：充電、放電の動作をせずに接地電位の出力電圧を得る。

(4)「-1」の動作：上述のマイナスの動作により上記基準出力電圧の-1倍の出力電圧を得る。

【0069】

図11は、図7のコントローラ10によって実行されるDA変換器制御処理を示すフローチャートである。ステップS1又はステップS10AからステップS10までの処理が1クロック信号の期間で実行される。

【0070】

図11のステップS1では、まず、時刻パラメータnを1にリセットした後、ステップS2において入力データD(n)に基づいて式(9)~(14)を用いて制御パラメータを計算する。次いで、ステップS3では、各容量セルCSm(m=0, 1, 2, ..., 7)に対して上述の割り当てルール(R1)及び(R2)に基づいて正又は負の割り当てを行う。そして、ステップS4では、セル番号パラメータmを0にリセットし、ステップS5においてm番目の容量セルCSmに正が割り当てられた回数をNmpとし、負が割り当てられた回数をNm nとし、ステップS6において図12のサブルーチンである「容量セルCSmに対する設定処理」を実行した後、ステップS7に進む。さらに、S7においてセル番号パラメータmはm-7であるか否かが判断され、NOのときはステップS8に進む一方、YESのときはステップS9に進む。ステップS8では、セル番号パラメータmを1だけインクリメントし、ステップS5に戻り上述の処理を繰り返す。一方、ステップS9では、クロック信号の立ち上がりも同期して、設定された各動作に基づいて、DA変換

10

20

30

40

50

器 20 に対して各スイッチを制御するための制御信号を出力し、ステップ S 10 において時刻パラメータ n がその最大値 n_{max} であるか否かが判断され、NO のときはステップ S 10 A に進む一方、YES のときは当該制御処理を終了する。ステップ S 10 A では、時刻パラメータ n を 1 だけインクリメントした後、ステップ S 2 に戻り、上述の処理を繰り返す。

【0071】

図 12 は、図 11 のサブルーチンである容量セル C_m に対する設定処理（ステップ S 5）を示すフローチャートである。

【0072】

図 12 のステップ S 11 において、 $N_{mp} = N_{mn} + 2$ であるか否かが判断され、YES のときはステップ S 14 に進む一方、NO のときはステップ S 12 に進む。次いで、ステップ S 12 では、 $N_{mp} = N_{mn} + 1$ であるか否かが判断され、YES のときはステップ S 15 に進む一方、NO のときはステップ S 13 に進む。さらに、S 13 において $N_{mp} = N_{mn}$ であるか否かが判断され、YES のときはステップ S 16 に進む一方、NO のときはステップ S 17 に進む。ステップ S 14 においては、 m 番目の容量セル C_m に対して「+2」の動作を設定した後、元のメインルーチンに戻る。また、ステップ S 15 では、 m 番目の容量セル C_m に対して「+1」の動作を設定した後、元のメインルーチンに戻る。そして、ステップ S 16 において m 番目の容量セル C_m に対して「0」の動作を設定した後、元のメインルーチンに戻る。さらに、ステップ S 17 では、 m 番目の容量セル C_m に対して「-1」の動作を設定した後、元のメインルーチンに戻る。

【0073】

以上の実施形態においては、「+2」の動作と、「+1」の動作と、「0」の動作と、「-1」の動作とを用いて、ローパス AD 変調器のために DA 変換回路の非線形性を 2 次ノイズシェーブするための上述の 2 次 DWA アルゴリズムを実行するように、コントローラ 10 により、3 ビットの DA 変換のために 8 個のキャパシタ $C_0 - C_7$ を備えたセグメントスイッチドキャパシタ型 DA 変換器 20 の各スイッチ SW_{11} , SW_{12} , S_{1-m} 乃至 S_{4-m} ($m = 0, 1, 2, \dots, 7$) を制御している。これにより、ローパス AD 変調器のために DA 変換回路の非線形性を 2 次ノイズシェーブする 3 ビット（9 レベル）の DA 変換回路を実現している。本発明はこれに限らず、「+2」の動作と、「+1」の動作と、「0」の動作と、「-1」の動作とを用いて、ローパス AD 変調器のために DA 変換回路の非線形性を 2 次ノイズシェーブするための上述の 2 次 DWA アルゴリズムを実行するように、コントローラ 10 により、複数 L ビットの DA 変換のために 2^L 個のキャパシタ $C_0 - C_7$ を備えたセグメントスイッチドキャパシタ型 DA 変換器 20 の各スイッチ SW_{11} , SW_{12} , S_{1-m} 乃至 S_{4-m} ($m = 0, 1, 2, \dots, L$) を制御することにより、ローパス AD 変調器のために DA 変換回路の非線形性を 2 次ノイズシェーブする L ビット（ 2^L レベル）の DA 変換回路を実現してもよい。

【実施例 1】

【0074】

さらに、本発明者らは、2 次 DWA アルゴリズムの有効性を検証するために、3 ビット 2 次ローパス 変調器を用いて、マットラブ (MATLAB; 登録商標) によるシミュレーションを行った。

【0075】

図 13 は図 6 の DA 変換回路 50 のシミュレーション結果であって、理想状態における正規化周波数（入力周波数 F_{in} をサンプリング周波数 F_s により正規化したものであり、以下、同様である。）に対する相対電力特性を示すスペクトル図であり、図 14 は図 6 の DA 変換回路 50 のシミュレーション結果であって、DA 変換器 DA 1 の非線形を示す正規化周波数に対する相対電力特性を示すスペクトル図である。また、図 15 は図 6 の DA 変換回路 50 のシミュレーション結果であって、1 次 DWA アルゴリズムを用いて DA 変換器 DA 1 に対して 1 次ノイズシェーブしたときにおける正規化周波数に対する相対電力特性を示すスペクトル図であり、図 16 は図 6 の DA 変換回路 50 のシミュレーション

10

20

30

40

50

結果であって、2次DWAアルゴリズムを用いてDA変換器DA1に対して2次ノイズシェーブしたときにおける正規化周波数に対する相対電力特性を示すスペクトル図である。

【0076】

図13乃至図16から明らかなように、この結果から1次DWAアルゴリズムを用いた場合に比べて2次DWAアルゴリズムを用いた場合の方が信号帯域内のDA変換器非線形性ノイズの影響が低下して信号電力対雑音及び歪電力比(以下、SND Rという。)の劣化が抑えられていることがわかる。

【0077】

図17は、図6のDA変換回路50のシミュレーション結果であって、図13乃至図16の場合におけるOSRに対するSN比を示すグラフである。図17から明らかなように、例えば、OSRが28のときに、SND RはDA変換器の非線形性のない理想状態ではSN比が116.6dBであり、DA変換器DA1の非線形性があるがDWAアルゴリズムを用いていない場合(図中で「DA変換器の非線形性」と示す。)のSN比は24.7dBであり、同じDA変換器DA1の非線形性で1次DWAアルゴリズムを用いた場合(図中で「1次DWAアルゴリズム」と示す。)のSN比は102.7dBであり、2次DWAアルゴリズムを用いた場合(図中で「2次DWAアルゴリズム」と示す。)のSN比は116.0dBという結果になり、2次DWAアルゴリズムの有効性が示された。

【0078】

以上説明したように、本実施形態では、比較的回路実現が容易な2次DWAアルゴリズムを検討し、その有効性をシミュレーションで確認した。また、そのセグメントスイッチドキャパシタ型DA変換器を用いた回路実現法を示した。

【産業上の利用可能性】

【0079】

以上詳述したように、本発明によれば、従来技術に比較して構成が簡単であって、しかもDA変換器の非線形性をノイズシェーブすることができるDA変換回路及びそれを用いたAD変調器を提供することができる。これにより、例えば微細デバイスなど低精度のデバイス)でも、容易にマルチビットのDA変換器の非線形性を抑圧でき、理想に近い高いSN比を得ることが実用レベルで初めて可能になる。

【図面の簡単な説明】

【0080】

【図1】(a)は従来技術に係るローパスAD変調器の構成を示すブロック図であり、(b)は(a)のローパスAD変調器の等価回路図である。

【図2】(a)は従来技術に係るセグメント型スイッチドキャパシタDA変換器の構成を示す回路図であり、(b)は(a)のセグメント型スイッチドキャパシタDA変換器の電荷充電動作を示す回路図であり、(c)は(a)のセグメントスイッチドキャパシタ型DA変換器の電荷放電動作を示す回路図である。

【図3】(a)従来技術に係るDA変換器DA1を1次DWAアルゴリズムを用いて1次ノイズシェーブするときのDA変換回路を示すブロック図であり、(b)は(a)のDA変換回路の等価回路図である。

【図4】図3のDA変換回路で用いる容量セルがリング状に配置されたセグメントスイッチドキャパシタ型DA変換器の構成を示す回路図である。

【図5】(a)は本発明の一実施形態に係る、DA変換器DA1の非線形を2次ノイズシェーブするときのDA変換回路を示すブロック図であり、(b)は(a)のDA変換回路の等価回路図である。

【図6】図5のDA変換回路の動作例を示す図であって、入力信号に対する各容量セル C_{Sm} ($m = 0, 1, 2, \dots, 7$)への設定を示す図である。

【図7】本発明の一実施形態に係るDA変換回路50の構成を示すブロック図である。

【図8】図7のセグメントスイッチドキャパシタ型DA変換器20の詳細構成を示す回路図である。

【図9】図8のセグメントスイッチドキャパシタ型DA変換器20の容量セル C_{Sm} にお

10

20

30

40

50

けるマルチクロック動作を示す図であって、(a)はその第1の電荷充電動作を示す回路図であり、(b)はその第1の電荷放電動作を示す回路図であり、(c)はその第2の電荷充電動作を示す回路図であり、(d)はその第2の電荷放電動作を示す回路図である。

【図10】図8のセグメントスイッチドキャパシタ型DA変換器20の容量セルCSmにおけるマイナス動作を示す図であって、(a)はその電荷充電動作を示す回路図であり、(b)はその電荷保持動作を示す回路図であり、(c)はその電荷放電動作を示す回路図である。

【図11】図7のコントローラ10によって実行されるDA変換器制御処理を示すフローチャートである。

【図12】図11のサブルーチンである容量セルCmに対する設定処理(ステップS5)を示すフローチャートである。 10

【図13】図6のDA変換回路50のシミュレーション結果であって、理想状態における正規化周波数に対する相対電力特性を示すスペクトル図である。

【図14】図6のDA変換回路50のシミュレーション結果であって、DA変換器DA1の非線形を示す正規化周波数に対する相対電力特性を示すスペクトル図である。

【図15】図6のDA変換回路50のシミュレーション結果であって、1次DWAアルゴリズムを用いてDA変換器DA1に対して1次ノイズシェーブしたときにおける正規化周波数に対する相対電力特性を示すスペクトル図である。

【図16】図6のDA変換回路50のシミュレーション結果であって、2次DWAアルゴリズムを用いてDA変換器DA1に対して2次ノイズシェーブしたときにおける正規化周波数に対する相対電力特性を示すスペクトル図である。 20

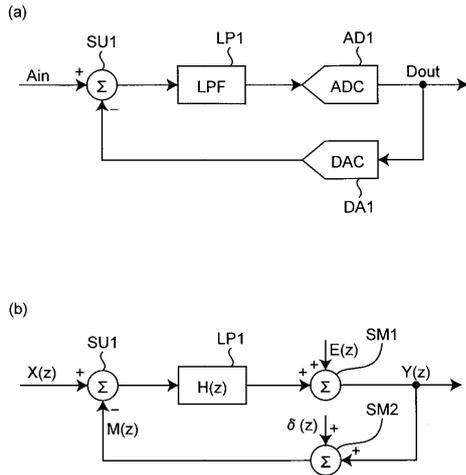
【図17】図6のDA変換回路50のシミュレーション結果であって、図13乃至図16の場合におけるOSRに対するSN比を示すグラフである。

【符号の説明】

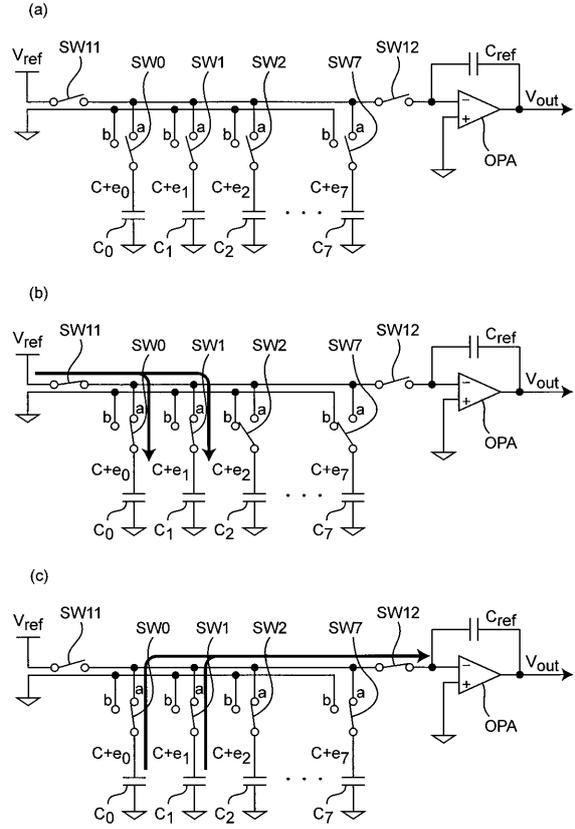
【0081】

10...コントローラ、
 20...セグメントスイッチドキャパシタ型DA変換器、
 50...DA変換回路、
 AD1...AD変換器、
 C₀乃至C₇...キャパシタ、 30
 C_{ref}...フィードバックキャパシタ、
 CS0乃至CS7...容量セル、
 DA1...DA変換器、
 HP11, HP12...ハイパスフィルタ、
 LP1, LP11, LP12...ローパスフィルタ、
 OPA...オペアンプ、
 RR...リング接続線、
 S1-0, S2-0, S3-0, S4-0乃至S1-7, S2-7, S3-7, S4-7
 ...スイッチ、
 SW11...充電用スイッチ、 40
 SW12...放電用スイッチ、
 SM1, SM2...加算器、
 SU1...減算器。

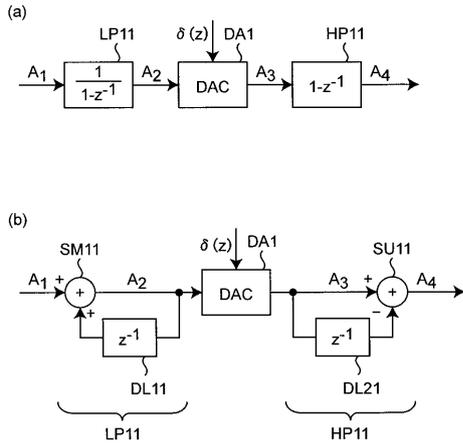
【 図 1 】



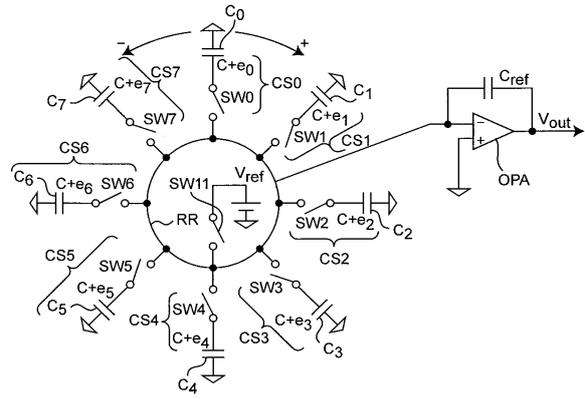
【 図 2 】



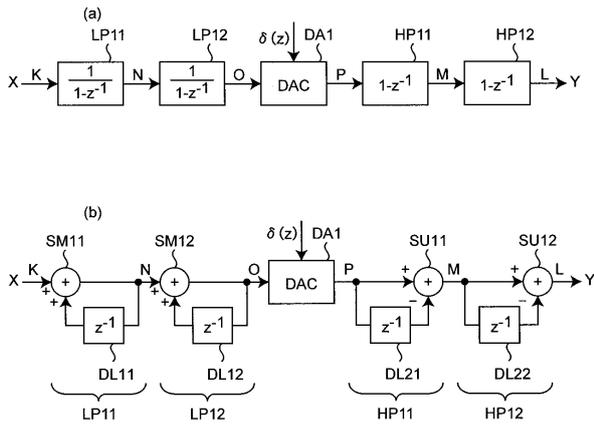
【 図 3 】



【 図 4 】



【 図 5 】

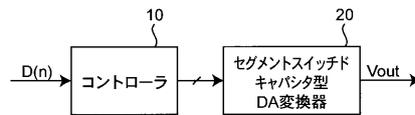


【 図 6 】

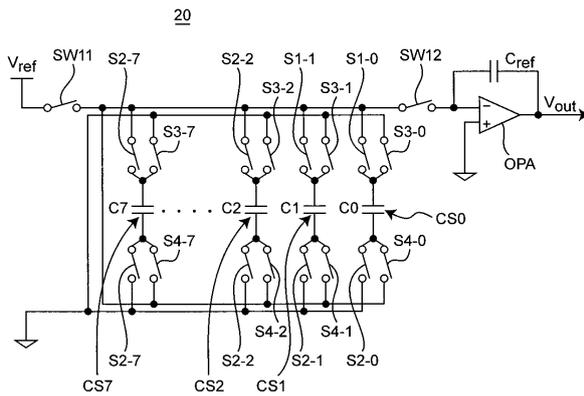
入力データ D(n)	CS0	CS1	CS2	CS3	CS4	CS5	CS6	CS7
3	+	+	+					
4			-	+	+	+	+	+
2			++					
5	+		-	+	+	+	+	+
6		++	++	+	+			
1	+		-	-	-	+	+	+
2		-	+	+	+			
3		++	+					
3		-	-	+	+	+	+	+

【 図 7 】

DA変換回路 50

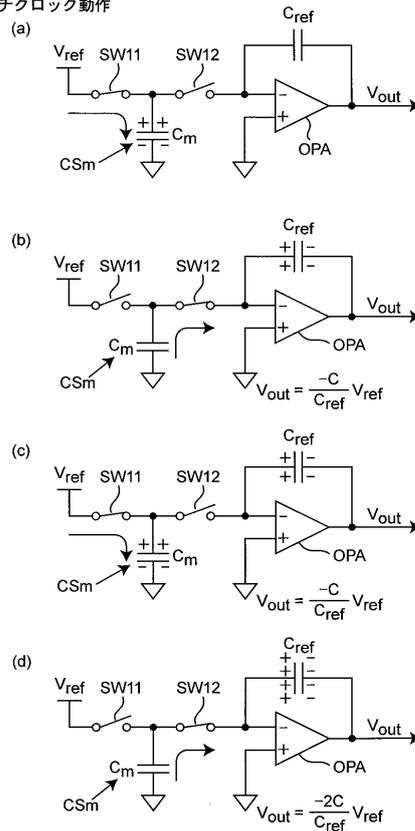


【 図 8 】



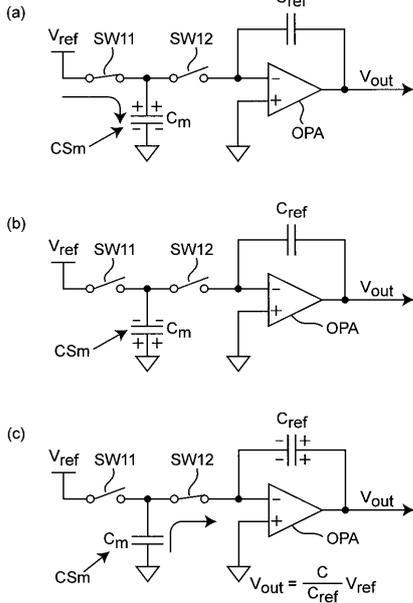
【 図 9 】

マルチクロック動作

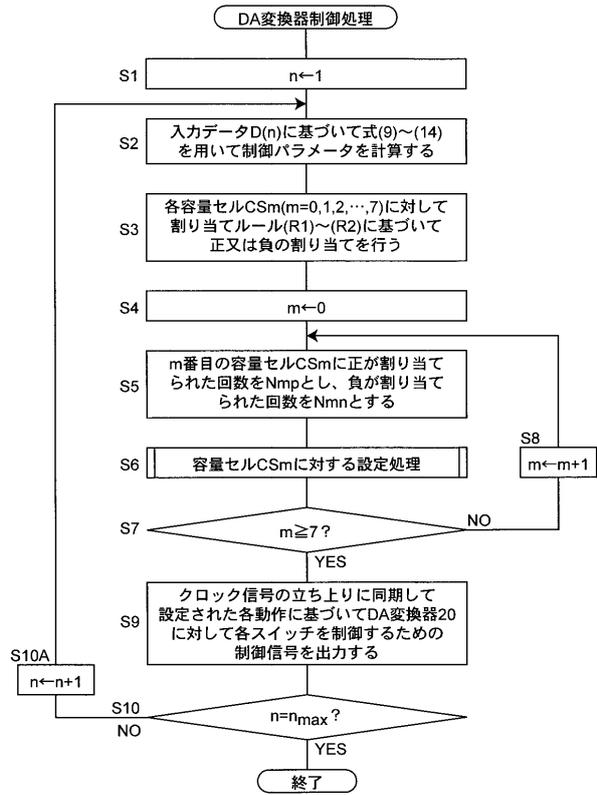


【 図 1 0 】

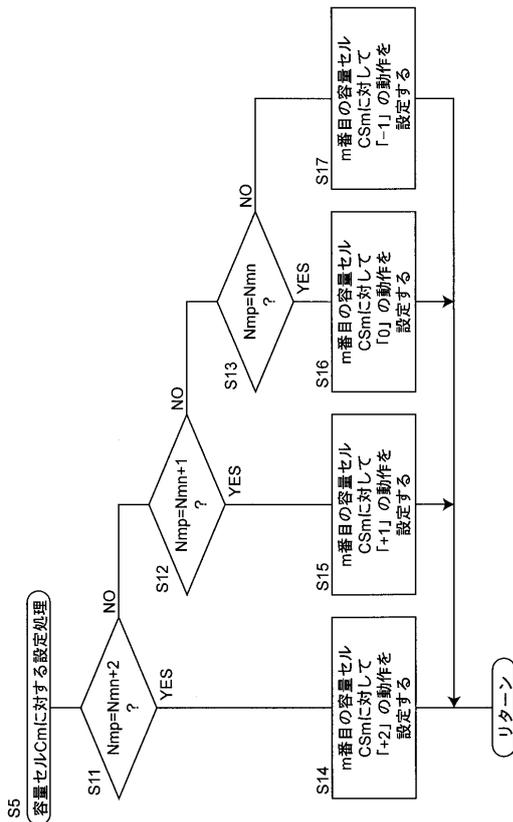
マイナス動作



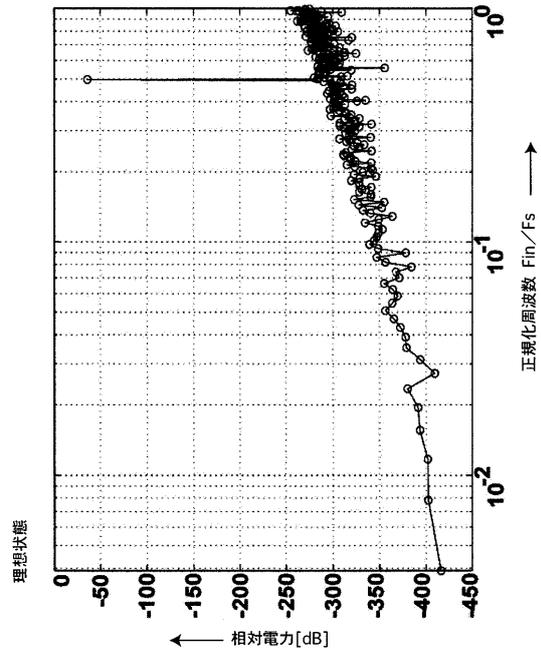
【 図 1 1 】



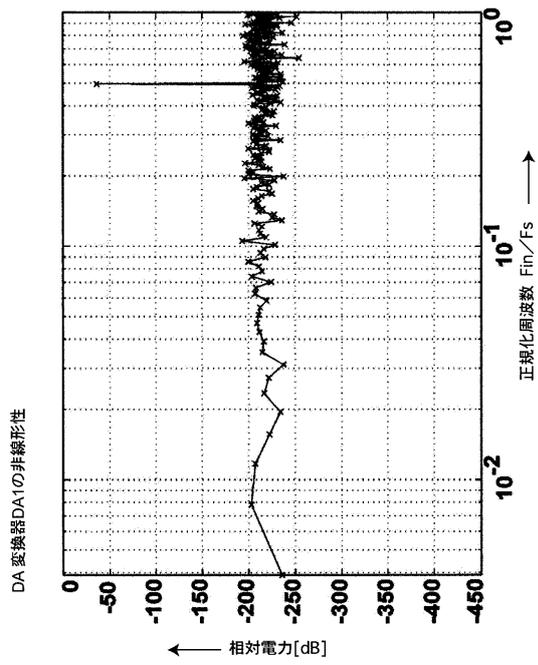
【 図 1 2 】



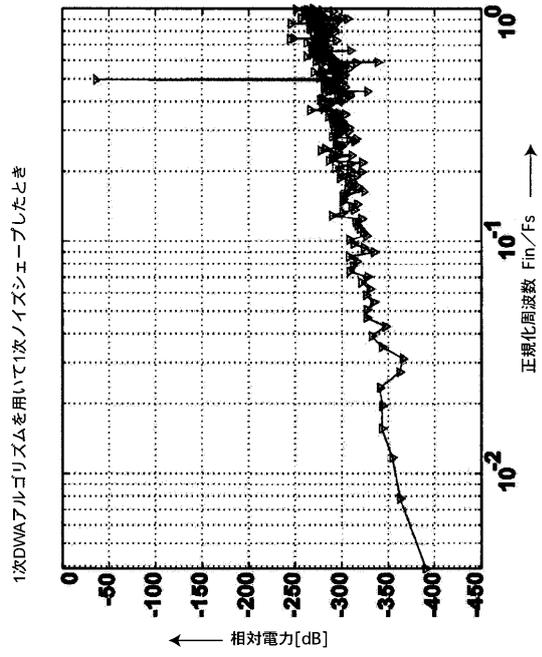
【 図 1 3 】



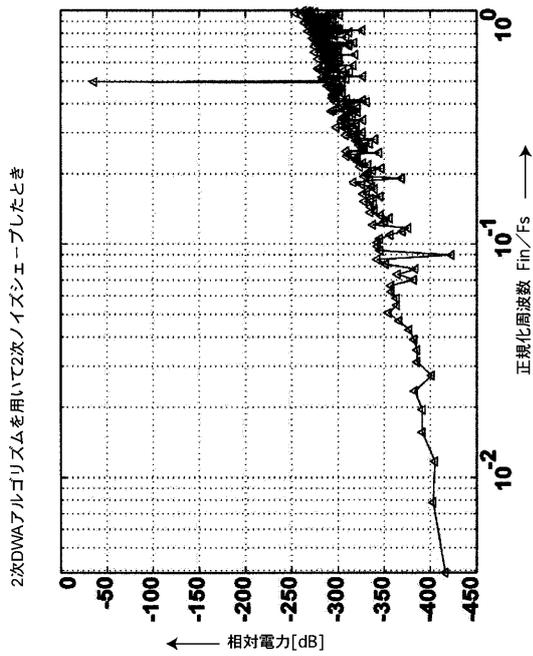
【 図 1 4 】



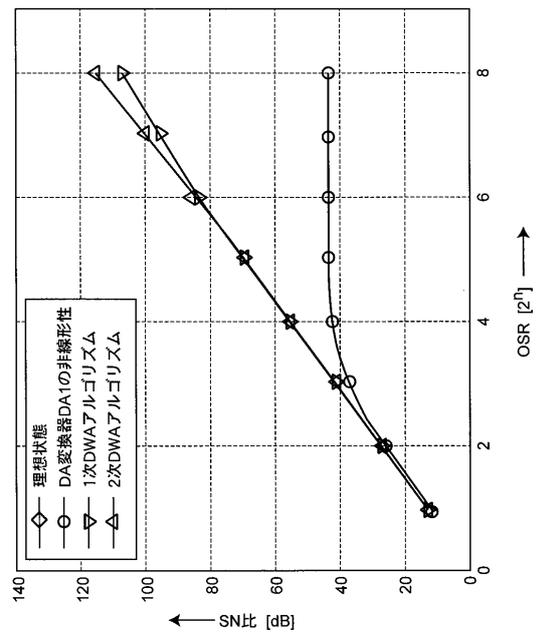
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(72)発明者 和田 淳
岐阜県大垣市万石 1 - 3 0 - 3

審査官 清水 稔

(56)参考文献 Henderson, R.K. Nys, O.J.A.P. , Dynamic element matching techniques with arbitrary noise shaping function , Circuits and Systems, 1996. ISCAS '96., 'Connecting the World'. , 1996 IEEE International Symposium on , 1996年 5月15日 , Vol.1 , 293 - 296

(58)調査した分野(Int.Cl. , DB名)

H 0 3 M 1 / 6 6

H 0 3 M 1 / 0 8

H 0 3 M 3 / 0 4