

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3909570号
(P3909570)

(45) 発行日 平成19年4月25日(2007.4.25)

(24) 登録日 平成19年2月2日(2007.2.2)

(51) Int. Cl.		F I			
H03F	3/45	(2006.01)	H03F	3/45	Z
H03F	3/68	(2006.01)	H03F	3/68	B
H03M	1/12	(2006.01)	H03M	1/12	A
H03M	1/36	(2006.01)	H03M	1/36	

請求項の数 6 (全 8 頁)

(21) 出願番号	特願2001-340807 (P2001-340807)	(73) 特許権者	598145875
(22) 出願日	平成13年11月6日(2001.11.6)		小林 春夫
(65) 公開番号	特開2003-142963 (P2003-142963A)		群馬県桐生市相生町2-620-12 相生住宅1-202
(43) 公開日	平成15年5月16日(2003.5.16)	(73) 特許権者	000001889
審査請求日	平成16年11月4日(2004.11.4)		三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
		(74) 代理人	100107906 弁理士 須藤 克彦
		(72) 発明者	小林 春夫 群馬県桐生市相生町2丁目620番地12号 相生住宅1の202
		(72) 発明者	木村 安行 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 AD変換器の入力回路

(57) 【特許請求の範囲】

【請求項1】

アナログ信号をデジタル信号に変換するAD変換器の入力回路において、アナログ信号が共通に印加された複数の前段増幅器を有し、それぞれの前段増幅器は、アナログ信号がゲートに印加された第1のMOSトランジスタと、参照電圧がゲートに印加され、前記第1のMOSトランジスタと共に差動ペアを構成する第2のMOSトランジスタと、ゲートに前記アナログ信号が印加されると共に、ソースが前記第1のMOSトランジスタのバルク端子に接続された第3のMOSトランジスタと、該第3のMOSトランジスタにバイアス電流を供給する電流源と、を具備し、前記第1、第2及び第3のMOSトランジスタは前記前段増幅器毎に相互に分離されたウエル領域内に形成されていることを特徴とするAD変換器の入力回路。

10

【請求項2】

前記第3のMOSトランジスタのサイズは、前記第1及び第2のMOSトランジスタのサイズより小さいことを特徴とする請求項1記載のAD変換器の入力回路。

【請求項3】

前記第1、第2及び第3のMOSトランジスタは第1導電型トランジスタであり、これらの第1、第2及び第3のMOSトランジスタは、第1導電型の半導体基板上に形成された第2導電型のウエル領域内に形成されていることを特徴とする請求項1または2記載のAD変換器の入力回路。

【請求項4】

20

アナログ信号をデジタル信号に変換するA/D変換器の入力回路において、アナログ信号が共通に印加された複数の前段増幅器を有し、それぞれの前段増幅器は、アナログ信号がゲートに印加された第1のMOSトランジスタと、参照電圧がゲートに印加され、前記第1のMOSトランジスタと共に差動ペアを構成する第2のMOSトランジスタと、前記第1及び第2のMOSトランジスタにバイアス電流を供給する第1の電流源と、ゲートに前記アナログ信号が印加されると共に、ソースが前記第1のMOSトランジスタのバルク端子に接続された第3のMOSトランジスタと、該第3のMOSトランジスタにバイアス電流を供給する第2の電流源と、を具備し、前記第1、第2及び第3のMOSトランジスタは前記前段増幅器毎に相互に分離されたウエル領域内に形成されていることを特徴とするA/D変換器の入力回路。

10

【請求項5】

前記第2の電流源が供給するバイアス電流は、前記第1の電流源が供給するバイアス電流より小さいことを特徴とする請求項4記載のA/D変換器の入力回路。

【請求項6】

前記第3のMOSトランジスタのサイズは、前記第1及び第2のMOSトランジスタのサイズより小さいことを特徴とする請求項4または5記載のA/D変換器の入力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ信号をデジタル信号に変換するA/D変換器の入力回路に関するものであり、特にA/D変換器の高周波特性を向上させる回路技術に関する。

20

【0002】

【従来の技術】

アナログ信号をデジタル信号に変換するA/D変換器において、最高速のA/D変換器の構成は、比較器を分解能の(2のべき乗-1)個必要とした並列型の構成で実現されることが多い。

【0003】

図4に、そのような並列型のA/D変換器の回路図を示す。このA/D変換器の入力部はN個のプリアンプ10-1~10-N(前段増幅器)が並設されている。プリアンプ10-1~10-Nは次段に接続されるコンパレータのオフセット電圧など、検出誤差の要求を軽減するために設けられている。A/D変換器の分解能がmビットの場合、 $N = 2^m - 1$ である。例えば、分解能が8ビットの場合、255個のプリアンプが必要となる。

30

【0004】

各プリアンプ10-1~10-NのMOSトランジスタM1のゲートには、入力端子1からの入力アナログ信号Vinが共通に印加されている。一方、各プリアンプ10-1~10-NのMOSトランジスタM2のゲートには、それぞれ参照電圧Vref1~VrefNが印加されている。また、抵抗ストリング22は電圧源20が発生する高電圧Vrefpと低電圧Vrefmの間に接続された(N-1)個の抵抗Rから構成されている。これらの参照電圧Vref1~VrefNは、この抵抗ストリング22の各接続点から発生される。

【0005】

また、上述したように差動ペアを構成するMOSトランジスタM1、M2に電流を供給する電流源11が設けられている。MOSトランジスタM1、M2と電源電圧Vdd(たとえば+5V)の間には、それぞれ負荷抵抗R1、R2が接続されており、その接続点から差動出力が取り出される。

40

【0006】

そして、これらのプリアンプ10-1~10-Nの差動出力は、次段のコンパレータ30-1~30-Nの非反転入力(+),反転入力(-)に入力されている。コンパレータ30-1~30-Nの各出力は、さらにデジタルエンコーダ40に入力され、デジタル信号が生成される。

【0007】

50

【発明が解決しようとする課題】

上述したように、並列型のAD変換器では、たとえば分解能が8ビットの場合255個のプリアンプとコンパレータが必要になり、アナログ入力信号はこの255個のプリアンプに接続される。

【0008】

ところで、近年はAD変換器はCMOS・LSIとして実現されることが多い。この際、255個のプリアンプの入力容量が大きな値(たとえば10pF程度)になり、このため高周波アナログ入力信号が減衰してしまい、CMOS AD変換器の高周波特性を劣化させてしまうという問題があった。

【0009】

図5は、1つのプリアンプの構成を示す回路図である。入力アナログ信号 V_{in} が印加されたMOSトランジスタM1のバルク端子B1(基板端子)は接地電圧 $V_{ss}(0V)$ に接続されている。プリアンプの入力容量は、MOSトランジスタM1に付随した寄生容量の和であり、具体的にはMOSトランジスタM1のゲート・ソース間容量(C_{gs})、ゲート・ドレイン間容量(C_{gd})、ゲート・バルク間容量(C_{gb})と、そのミラー効果により決まる。ここで、ゲート・バルク間容量(C_{gb})の前記入力容量への寄与は、入力容量全体の2~3割を占める。

【0010】**【課題を解決するための手段】**

そこで、本発明はこのゲート・バルク間容量(C_{gb})の入力容量への寄与を無くすことにより、CMOS AD変換器の高周波特性の改善を図ったものである。

【0011】

すなわち、本発明の特徴構成は、第1のMOSトランジスタM1のバルク端子B1をアナログ信号に応じて駆動するソースフォロワー回路を新たに設けることにより、入力アナログ信号 V_{in} の変化に応じてバルク端子B1の電位もこれに連動して変化するので、ゲート・バルク間の電圧は略一定となる。故に、入力アナログ信号 V_{in} の変化してもゲート・バルク間容量(C_{gb})に電流はほとんど流れ込まない。したがって、ゲート・バルク間容量(C_{gb})の入力容量への寄与はほとんど無くなる。

【0012】**【発明の実施の形態】**

次に、本発明の実施形態について図面を参照しながら説明する。図1は、本発明の実施形態に係るプリアンプ(前段増幅器)の構成を示す回路図である。なおAD変換器全体の構成は、例えば、図4に示したものと同様の並列型のAD変換器と同様であり、本発明の特徴はプリアンプ10-1~10-Nの構成を変更した点である。

【0013】

すなわち、図1に示すように、MOSトランジスタM1のバルク端子B1をアナログ信号に応じて駆動するソースフォロワー回路を新たに設けた。このソースフォロワー回路は、ゲートにアナログ信号 V_{in} が印加されると共に、ソースがMOSトランジスタM1のバルク端子B1に接続されたMOSトランジスタM3と、MOSトランジスタM3にバイアス電流を供給する電流源12とから構成される。その他の構成については、従来例のプリアンプと同様である。ここで、MOSトランジスタM1, M2, M3はいずれもNチャネル型である。

【0014】

これにより、入力アナログ信号 V_{in} の変化に応じてバルク端子B1の電位もこれに連動して変化するので、ゲート・バルク間の電圧は略一定となる。故に、入力アナログ信号 V_{in} の変化してもゲート・バルク間容量(C_{gb})に電流はほとんど流れ込まない。したがって、ゲート・バルク間容量(C_{gb})の入力容量への寄与はほとんど無くなる。

【0015】

なお、これらのMOSトランジスタM1, M2, M3はプリアンプ10-1~10-N毎に分離されたウエル領域に形成されていることが相互干渉を除去する上で好ましい。

10

20

30

40

50

【0016】

また、差動ペアを構成するMOSトランジスタM1, M2のサイズ(GW/GL)は、たとえば100 μ m/0.35 μ mとすると、MOSトランジスタM3のサイズ(GW/GL)は、10 μ m/0.35 μ mと、1/10程度でよい。ここで、GWはトランジスタのゲート幅、GLはゲート長である。また、差動ペアを構成するMOSトランジスタM1, M2にバイアス電流を供給する電流源11のバイアス電流はたとえば200 μ Aとすると、MOSトランジスタM3にバイアス電流を供給する電流源12のバイアス電流は20 μ Aと、1/10程度でよい。なお、負荷抵抗R1, R2はいずれも1Kである。これにより、ソースフォロワー回路を設けたことによる消費電力及びチップ面積の増加はわずかである。

10

【0017】

図2は、半導体基板上に形成された1つのプリアンプのデバイス構造図である。N型のシリコン基板50の表面にP型のウエル領域51が熱拡散により形成されている。そして、P型のウエル領域51内には、Nチャネル型のMOSトランジスタM1, M2, M3が形成されている。

【0018】

MOSトランジスタM1, M2, M3の構造は、図2ではN+型のソース・ドレイン層を有するコンベンショナル型であるが、ショートチャネル効果を抑止するためにLDD構造にすることが好ましい。ここで、MOSトランジスタM1, M2, M3の各バルク端子B1, B2, B3はP+層で形成され、P型のウエル領域51に低抵抗で接続されている。

20

【0019】

なお、図2ではN型シリコン基板を用いてプリアンプを形成しているが、P型基板上に深いN型ウエル領域を形成し、その深いN型ウエル領域内にさらにP型のウエル領域を形成し、そのP型のウエル領域内にNチャネル型のMOSトランジスタM1, M2, M3等を形成してもよい。

【0020】

図2には、1つのプリアンプを示したが、他のプリアンプについては、N型のシリコン基板50上で、P型のウエル領域51と分離された別々のP型ウエル領域(不図示)に形成される。

【0021】

図3に、入力容量の回路シミュレーション結果を示す。横軸は入力アナログ入力信号Vin(V)、縦軸は入力容量Cin(pF)である。回路シミュレーションのパラメータとしては上述した数値(トランジスタのサイズ等)を用いている。

30

【0022】

この回路シミュレーションの結果から明らかなように、従来例のプリアンプを用いた場合の入力容量(破線で示す)に比して、本発明のプリアンプを用いた入力容量は、入力アナログ入力信号Vinに依存した非線形性を示すが全体として2~3割減少していることがわかる。これは、ソースフォロワー回路を設けたことにより、ゲート・バルク間容量(Cgb)の入力容量への寄与はほとんど無くなった効果である。

【0023】

上述した実施形態では、プリアンプ10-1~10-NにNチャネル型MOSトランジスタM1, M2, M3を用いたが、Pチャネル型MOSトランジスタを用いた場合でも同様の構成にすることで、入力容量を低減することができる。

40

【0024】

また、上述した実施形態においては、プリアンプ10-1~10-Nで増幅した後に、コンパレータ30-1~30-N、デジタルエンコーダ40を通してデジタル信号が生成されるAD変換器について説明したが、本発明はプリアンプ10-1~10-Nの構成に特徴を有するため、そのようなAD変換器への適用に限定されるものではなく、並列配置型の複数のプリアンプを有するAD変換器に広く適用することができるものであり、さらに言えば、アナログ信号をデジタル信号に変換してデジタル信号処理を行う全ての製品、例えば、計測器

50

のFFTアナライザ、デジタル・オシロスコープなどの製品に適用して、それらの高周波特性を著しく向上させることができるものである。

【0025】

【発明の効果】

本発明によれば、AD変換器の入力部の前段増幅器において、入力アナログ信号が印加される入力MOSトランジスタM1のバルク端子をソースフォロワー回路で駆動することにより、入力MOSトランジスタM1のゲート・バルク間容量(C_{gb})をAD変換器から分離し、結果としてAD変換器の高周波特性を向上させることができる。

【0026】

また、ソースフォロワー回路を構成するMOSトランジスタM3のサイズはプリアンプの差動ペアを構成するMOSトランジスタM1、M2のサイズの1/10程度であり、また、MOSトランジスタM3のバイアス電流もMOSトランジスタM1、M2のバイアス電流の1/10程度で足りるので、ソースフォロワー回路を設けたことによる消費電力及びチップサイズの増加はAD変換器全体から見ればわずかである。

10

【図面の簡単な説明】

【図1】本発明の実施形態に係るAD変換器のプリアンプの構成を示す回路図である。

【図2】本発明の実施形態に係るプリアンプを半導体基板上に実現した場合のデバイス構造図である。

【図3】入力容量の回路シミュレーション結果を示す図である。

【図4】従来例に係るAD変換器の構成を示す回路図である。

20

【図5】従来例に係るプリアンプの構成を示す回路図である。

【符号の説明】

- 1 入力端子
- 1 1 電流源
- 1 2 電流源
- 2 0 電圧源
- 2 2 抵抗ストリング
- 4 0 デジタルエンコーダ
- 5 0 N型のシリコン基板
- 5 1 P型のウエル領域

30

フロントページの続き

(72)発明者 木暮 英行
埼玉県児玉郡上里町勅使河原1151番地

審査官 伏本 正典

(56)参考文献 特開昭63-283217(JP,A)
特開昭62-208716(JP,A)
特開平06-224653(JP,A)
特開平04-130808(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/45
H03F 3/50-3/52
H03F 3/62-3/64
H03F 3/68-3/72
H01L 27/06,102-331
H01L 27/08,102-331
H03M 1/12
H03M 1/36