

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4048208号
(P4048208)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年11月30日(2007.11.30)

(51) Int. Cl. F I
 H03M 3/02 (2006.01) H03M 3/02
 H03M 1/08 (2006.01) H03M 1/08 A

請求項の数 6 (全 23 頁)

(21) 出願番号	特願2005-213039 (P2005-213039)	(73) 特許権者	396023993
(22) 出願日	平成17年7月22日 (2005.7.22)		株式会社半導体理工学研究センター
(65) 公開番号	特開2007-36383 (P2007-36383A)		神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階
(43) 公開日	平成19年2月8日 (2007.2.8)	(74) 代理人	100098280
審査請求日	平成17年7月22日 (2005.7.22)		弁理士 石野 正弘
特許法第30条第1項適用 2005年4月25日 社団法人電子情報通信学会発行の「第18回回路とシステム軽井沢ワークショップ論文集」に発表、2005年4月26日 社団法人電子情報通信学会主催の「第18回回路とシステム軽井沢ワークショップ」において文書をもって発表		(72) 発明者	上森 将文
			埼玉県深谷市常盤町77-35
		(72) 発明者	小林 春夫
			群馬県桐生市相生町2-620-12 相生住宅1-202
		(72) 発明者	市川 知成
			群馬県桐生市梅田1丁目235 サンライフュー103

最終頁に続く

(54) 【発明の名称】 バンドパスΔΣAD変調器及びデジタル無線受信機

(57) 【特許請求の範囲】

【請求項1】

アナログバンドパスフィルタと、所定のサンプリング周波数 f_s を有するサンプリングクロックを用いてAD変換するAD変換器と、上記サンプリング周波数 f_s を有するサンプリングクロックを用いてDA変換するDA変換器とを備え、

入力されるアナログ入力信号から上記DA変換器からのアナログ信号を減算し、減算結果のアナログ信号を上記アナログバンドパスフィルタを介して上記AD変換器に出力し、上記AD変換器からのデジタル信号を上記DA変換器に出力するとともに、バンドパス

AD変調処理後のデジタル信号として出力するバンドパス AD変調器において、上記入力されるアナログ信号の最大入力周波数 f_{in} は実質的に上記サンプリング周波数 f_s の $3/4$ となるように設定され、

上記DA変換器は、入力されるデジタル入力信号の値に応じて互いに反転したアナログ信号であって、時刻 $k/(2f_s)$ (ここで、 k は整数である。) において振幅が実質的にゼロでありかつ傾きが実質的にゼロであるアナログ信号にDA変換して出力するように構成されたことを特徴とするバンドパス AD変調器。

【請求項2】

上記DA変換器から出力されるアナログ信号は、時刻 $k/(2f_s)$ の近傍において、当該近傍以外の時刻(当該アナログ信号の最大点及び最小点を除く。)に比較して小さい傾きを有して変化することを特徴とする請求項1記載のバンドパス AD変調器。

【請求項3】

10

20

上記 D A 変換器は、入力されるデジタル入力信号の値に基づいて、所定の交流信号を上記サンプリングクロックに応じてスイッチングしかつ所定のバイアス電圧を印加することによりアナログ信号を発生することを特徴とする請求項 1 又は 2 記載のバンドパス A D 変調器。

【請求項 4】

上記 D A 変換器はマルチビット D A 変換器であり、上記 A D 変換器はマルチビット A D 変換器であることを特徴とする請求項 1 乃至 3 のうちのいずれか 1 つに記載のバンドパス A D 変調器。

【請求項 5】

上記アナログバンドパスフィルタは連続時間アナログバンドパスフィルタであることを特徴とする請求項 1 乃至 3 のうちのいずれか 1 つに記載のバンドパス A D 変調器。 10

【請求項 6】

受信信号を帯域通過フィルタにより帯域通過ろ波した後、バンドパス A D 変調器によりバンドパス A D 変調処理を実行するデジタル無線受信機において、

上記バンドパス A D 変調器は、請求項 1 乃至 5 のうちのいずれか 1 つに記載のバンドパス A D 変調器であることを特徴とするデジタル無線受信機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば無線 LAN や携帯電話機等の受信機アナログフロントエンド部で高周波狭帯域信号を高精度低消費電力で A D 変換するためのバンドパス A D 変調器と、それを用いたデジタル無線受信機に関する。 20

【背景技術】

【0002】

無線 LAN や携帯電話機等の受信機アナログフロントエンド部で高周波狭帯域信号を高精度低消費電力で A D 変換するために、バンドパス A D 変調器を用いることが検討されている（例えば、非特許文献 1 - 6 参照。）。 20

【0003】

【特許文献 1】特開 2000 - 244323 号公報。

【特許文献 2】特開 2002 - 100992 号公報。 30

【非特許文献 1】F. Munoz et al., "A 4.7mW 89.5dB DR CT Complex ADC with Built-in LPF", ISSCC Digest of Technical Papers, Vol. 47, pp.500-501, February 2005.

【非特許文献 2】R. Schreier et al., "A 10-300MHz IF-digitizing IC with 90-105-dB dynamic range and 15-333-kHz band width", IEEE Journal of Solid-State Circuits, Vol.37, No.12, pp.1636-1644, December 2002.

【非特許文献 3】T. Salo et al., "A Dual-Mode 80MHz Bandpass Modulator for a GSM/WCDMA IF-receiver", ISSCC Digest of Technical Papers, Vol.45, pp.218-219, February 2002.

【非特許文献 4】U. V. Kack et al., "Direct RF Sampling Continuous-Time Bandpass A/D Converter Design for 3G Wireless Applications", Proceedings of IEEE ISCAS, pp.1-409-1-412, Vancouver, Canada, May 2004. 40

【非特許文献 5】P. Fontaine et al., "A Low-Noise Low-Voltage CT Modulator with Digital Compensation of Excess Loop Delay", ISSCC Digest of Technical Papers, Vol.47, pp.498-499, February 2004.

【非特許文献 6】H. San et al., "A noise-shaping algorithm of multi-bit DAC nonlinearities in complex bandpass AD modulators", IEICE Transactions on Fundamentals, Vol. E87-A, No. 4, pp.792-800, April 2004.

【非特許文献 7】S. R. Norsworthy et al. (editors), "Delta-Sigma Data Converters, -Theory, Design and Simulation", IEEE Press, pp.244-245, 1997. 50

【非特許文献 8】S. Luschs et al., "Radio Frequency Digital-to-Analog Converter", IEEE Journal of Solid-State Circuits, Vol. 39, No. 9, pp.1462-1467, September 2004.

【非特許文献 9】H. Kobayashi et al., "Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems", IEICE Transactions on Fundamentals, Vol. E85-A, No. 2, pp.335-346, February 2002.

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来技術に係るベースバンドへの周波数変換回路を無くし、RF信号を直接AD変換しアナログ最小、デジタルリッチな回路構成でのソフトウェア無線システムの実現が種々検討されている(図1参照)。図1(a)の従来技術に係るデジタル無線受信機は、アンテナ1と、帯域通過フィルタ2と、低雑音増幅器3と、ベースバンドへの周波数変換部4と、1対のローパスAD変調器5a, 5bと、デジタルシグナルプロセッサ(DSP)6とを備えて構成される。なお、図1以降の図面において、AD変換器(アナログ/デジタル変換器)をADCと省略して表示し、DA変換器(デジタル/アナログ変換器)をDACと省略して表示する。

10

【0005】

図1において、従来は高精度でAD変換可能なスイッチドキャパシタ回路を用いた離散時間回路(図3)構成が多かったが、近年は低消費電力でより高速に動作する可能性があるため内部に連続時間アナログフィルタを用いた連続時間回路(図4)構成が研究されている。しかしながら、この場合、内部AD変換器のクロックジッタの影響はノイズシェープのため小さいが、内部DA変換器のジッタの影響によりAD変調器全体の精度劣化となるという問題が生じる。

20

【0006】

本発明の目的は以上の問題点を解決し、従来技術に比較して構成が簡単であるデジタル無線受信機を提供するために、高精度でバンドパスAD変調処理を行うことができるバンドパスAD変調器及びそれを用いたデジタル無線受信機を提供することにある。

【課題を解決するための手段】

【0007】

第1の発明に係るバンドパスAD変調器は、アナログバンドパスフィルタと、所定のサンプリング周波数 f_s を有するサンプリングクロックを用いてAD変換するAD変換器と、上記サンプリング周波数 f_s を有するサンプリングクロックを用いてDA変換するDA変換器とを備え、

30

入力されるアナログ入力信号から上記DA変換器からのアナログ信号を減算し、減算結果のアナログ信号を上記アナログバンドパスフィルタを介して上記AD変換器に出力し、上記AD変換器からのデジタル信号を上記DA変換器に出力するとともに、バンドパス

AD変調処理後のデジタル信号として出力するバンドパスAD変調器において、

上記入力されるアナログ信号の最大入力周波数 f_{in} は実質的に上記サンプリング周波数 f_s の $3/4$ となるように設定され、

40

上記DA変換器は、入力されるデジタル入力信号の値に応じて互いに反転したアナログ信号であって、時刻 $k/(2f_s)$ (ここで、 k は整数である。)において振幅が実質的にゼロでありかつ傾きが実質的にゼロであるアナログ信号にDA変換して出力するように構成されたことを特徴とする。

【0008】

上記バンドパスAD変調器において、上記DA変換器から出力されるアナログ信号は、時刻 $k/(2f_s)$ の近傍において、当該近傍以外の時刻(当該アナログ信号の最大点及び最小点を除く。)に比較して小さい傾きを有して変化することを特徴とする。

【0009】

また、上記バンドパスAD変調器において、上記DA変換器は、入力されるデジタ

50

ル入力信号の値に基づいて、所定の交流信号を上記サンプリングクロックに応じてスイッチングしかつ所定のバイアス電圧を印加することによりアナログ信号を発生することを特徴とする。

【0010】

さらに、上記バンドパス A/D変調器において、上記D/A変換器はマルチビットD/A変換器であり、上記A/D変換器はマルチビットA/D変換器であることを特徴とする。

【0011】

またさらに、上記バンドパス A/D変調器において、上記アナログバンドパスフィルタは連続時間アナログバンドパスフィルタであることを特徴とする。

【0012】

第2の発明に係るデジタル無線受信機は、受信信号を帯域通過フィルタにより帯域通過ろ波した後、バンドパス A/D変調器によりバンドパス A/D変調処理を実行するデジタル無線受信機において、

上記バンドパス A/D変調器は、上記記載のバンドパス A/D変調器であることを特徴とする。

【発明の効果】

【0013】

従って、本発明に係るバンドパス A/D変調器及びそれを用いたデジタル無線受信機によれば、上記入力されるアナログ信号の最大入力周波数 f_{in} は実質的に上記サンプリング周波数 f_s の $3/4$ となるように設定され、上記D/A変換器は、入力されるデジタル入力信号の値に応じて互いに反転したアナログ信号であって、時刻 $k/(2f_s)$ (ここで、 k は整数である。) において振幅が実質的にゼロでありかつ傾きが実質的にゼロであるアナログ信号にD/A変換して出力するように構成されている。それ故、従来技術に比較して、簡単な構成で高精度でA/D変換することができ、しかも高周波信号を直接にA/D変換することができる。また、従来技術に比較してより高い周波数の入力信号を取り扱うことができ、しかも低消費電力で動作可能である。

【発明を実施するための最良の形態】

【0014】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

【0015】

実施形態における事前検討。

本発明では、連続時間バンドパス A/D変調器の内部D/A変換器にジッタの影響が小さいD/A変換器を用いてサブサンプリングを行うことで、低消費電力、高精度で、高周波RF信号を直接A/D変換できる回路構成を提案する。特に、本実施形態においては、連続時間 A/D変調器のメリットである「高周波信号を扱えること」をさらに伸ばし、そのデメリットである「D/A変換器のクロックジッタの影響大であること」を解決する構成について以下に説明する。なお、本実施形態に係る連続時間バンドパス A/D変調器は、例えば、図1(b)のデジタル無線受信機のバンドパス A/D変調器7として用いることができる。図1(b)において、アンテナ1により受信された受信信号は帯域通過フィルタ2aにより帯域通過ろ波された後、その狭帯域アナログ信号は低雑音増幅器3により低雑音増幅され、本実施形態に係るバンドパス A/D変調器7に入力される。バンドパス A/D変調器7は入力される狭帯域アナログ信号に対してバンドパス A/D変調処理を実行した後、処理後のデジタル信号をデジタルシグナルプロセッサ6に出力して復調処理などの処理を行う。

【0016】

従来技術に係る多くのバンドパス A/D変調器では、後段のデジタルフィルタの設計のしやすさ等の理由から、そのサンプリングクロック周波数(以下、サンプリング周波数という。) f_s は入力信号帯域の中心周波数 f_c の4倍が用いられている ($f_s = 4f_c$: ナイキストサンプリング) (例えば、非特許文献7参照。)。すなわち、従来技術の構

10

20

30

40

50

成では扱える入力帯域中心周波数は、内部 A D 変換器，D A 変換器の動作可能なクロック周波数 (f_s) の 4 分の 1 である ($f_c = (1/4) f_s$)。従って、高周波入力信号を扱おうとすると、その変調器のクロック周波数が高くなり内部の A D 変換器や D A 変換器が動作できなくなる。

【 0 0 1 7 】

この問題点を克服するため、サンプリング周波数 f_s を入力信号の中心周波数 f_c の 3 分の 4 にする「アナログサブサンプリング技術」が提案された ($f_c = (3/4) f_s$)。そこでは、入力帯域の中心周波数 f_c はサンプリング周波数 f_s の 4 分の 3 になるのと同じクロック周波数で 3 倍の高い周波数の信号を扱うことができる ($f_c = (3/4) f_s$)。通常ナイキストサンプリングでは、 $0 \leq f < (1/2) f_s$ を信号帯域として用いるが、サブサンプリングでは、 $(1/2) f_s \leq f < f_s$ の範囲を信号帯域として用いる (図 2 及び図 5 - 図 6 参照。)

10

【 0 0 1 8 】

離散時間回路を用いたバンドパス変調器において、この「サブサンプリング技術」を用いたものは既に L S I として実現され動作が確認されている。しかしながら、連続時間回路を用いたバンドパス変調器でこの「サブサンプリング技術」を用いた例はほとんど報告されていない (例えば、非特許文献 4 参照。)

【 0 0 1 9 】

次いで、サブサンプリング連続時間バンドパス A D 変調器について以下に検討する。図 7 は、内部 D A 変換器に図 1 2 の N R Z D A 変換器 2 1 を使用してサブサンプリングを行ったときの連続時間バンドパス A D 変調器の出力パワースペクトラムを示す図である。また、図 8 は、内部 D A 変換器に図 1 2 の 2 5 % R T Z D A 変換器 2 3 を使用してサブサンプリングを行ったときの連続時間バンドパス A D 変調器の出力パワースペクトラムを示す図である。さらに、図 9 は、内部 D A 変換器に図 1 2 の R F D A 変換器 2 2 を使用してサブサンプリングを行ったときの連続時間バンドパス A D 変調器の出力パワースペクトラムを示す図である。またさらに、図 1 0 は図 7 乃至図 9 の各 D A 変換器 2 1, 2 2, 2 3 からの出力信号の波形例 (1 ビット D A 変換器) を示す波形図である。ここで、図 1 0 から明らかなように、N R Z D A 変換器 2 1 はアナログ信号として N R Z (N o n - R e t u r n - t o - Z e r o) 信号を出力する D A 変換器であり、R F D A 変換器 2 2 はアナログ信号として、例えば、1 サンプル周期内で数周期の高周波余弦波信号を出力する D A 変換器であり、2 5 % R T Z D A 変換器 2 3 はアナログ信号としてデューティ比又はパルス幅が 2 5 % である R T Z (R e t u r n - t o - Z e r o) 信号を出力する D A 変換器である。

20

30

【 0 0 2 0 】

まず、内部 D A 変換器に N R Z D A 変換器 2 1 を使用した場合、連続時間バンドパス変調器内部で出力信号が N R Z の 0 次ホールドの D A 変換器を用いてサブサンプリングを行おうとしてもバンドパス変調器として動作しない。発明者らはこれを M A T L A B (登録商標) シミュレーション装置で確認した (図 7 参照。)。図 7 から明らかなように、N R Z D A 変換器 2 1 を用いた場合、周波数 $(3/4) f_s$ 近傍でノイズシェーブされていないことが分かる。入力信号の振幅やフィルタ係数を変化させても発振してしまい動作させることはできない。これは、0 次ホールド D A 変換器のインパルス応答は利得が直流で最大になってしまい、 $(3/4) f_s$ の成分での劣化が大きいためである。なお、図 7 乃至図 9 のシミュレーションでは、連続時間 A D 変調器のループフィルタに 1 次の連続時間バンドパスフィルタを用いた。

40

【 0 0 2 1 】

次いで、内部 D A 変換器に R T Z D A 変換器 2 3 を使用した場合について以下に説明する。2 0 0 4 年にルーセント (L u c e n t) 社から連続時間バンドパス変調器で出力信号が R T Z 信号である内部 D A 変換器を用いてサブサンプリングを行う方式が提案された (例えば、非特許文献 4 参照。)。M A T L A B (登録商標) シミュレーションでも、内部 D A 変換器にパルス幅 2 5 % の R T Z D A 変換器 2 3 を用いると、図 8 に示すように、

50

周波数 $(3/4) f_s$ 近傍で量子化雑音がノイズシェープされている。しかしながら、この方式では、R T Z 出力 D A 変換器 2 3 へのサンプリングクロックのジッタにより A D 変調器全体の精度が大きく劣化してしまう。すなわち、D A 変換器出力を R T Z 信号にすると、1 サンプル周期内にそのエッジが 2 つあるので N R Z D A 変換器 2 1 の場合よりもクロックジッタの影響を受けてしまう (図 1 0 参照。)。

【 0 0 2 2 】

さらに、内部 D A 変換器に R F D A 変換器 2 2 を使用した場合について以下に説明する。2 0 0 4 年にマサチューセッツ工科大学から狭帯域高周波信号を発生するために、R F D A 変換器 2 2 が提案された (例えば、非特許文献 8 参照。)。通常の D A 変換器は出力信号が 1 サンプル周期内で一定である 0 次ホールドであるが、R F D A 変換器 2 2 は 1 サンプル周期内で D A 変換器出力信号が数周期の余弦波を発生させる。0 次ホールドの D A 変換器ではそのインパルス応答の周波数特性は直流で利得が最大になるが、R F D A 変換器 2 2 のあるものは、直流成分はゼロで、 $(3/4) f_s$ で利得を最大にすることができる。この R F D A 変換器 2 2 を用いることで、サブサンプリング動作が可能となる。発明者らは M A T L A B (登録商標) によるシミュレーションにおいて、周波数 $(3/4) f_s$ 近傍で量子化雑音がノイズシェープされることを確認した (図 9 参照。)。また、通常の D A 変換器ではサンプリングのタイミングでデータ値が不連続的に切り替わるが、R F D A 変換器 2 2 では出力信号が連続な余弦波であり、サンプリングタイミングではそのスルーレートがゼロ ($d D A C o u t / d t = 0$) であるのでサンプリングクロックジッタの影響が極めて小さい。なお、非特許文献 8 での R F D A 変換器は D A 変換器単体として用いることを記述しており、この R F D A 変換器 2 2 を A D 変調器に用いることは記述されていない。

【 0 0 2 3 】

第 1 の実施形態 .

本発明者らは以上のことに着目し、この R F D A 変換器 2 2 を、サブサンプリングを行う連続時間バンドパス A D 変調器に用いることを提案する。図 1 1 は本発明の第 1 の実施形態に係る連続時間バンドパス A D 変調器の構成を示すブロック図である。

【 0 0 2 4 】

図 1 1 において、本実施形態に係る連続時間バンドパス A D 変調器は、減算器 1 1 と、連続時間アナログバンドパスフィルタ 1 2 と、1 ビット A D 変換器 1 3 と、1 ビット R F D A 変換器 1 4 と、サンプリングクロック発生器 1 5 とを備えて構成される。ここで、サンプリングクロック発生器 1 5 は、サンプリング周波数 f_s を有するサンプリングクロック C L K を発生して 1 ビット A D 変換器 1 3 及び 1 ビット R F D A 変換器 1 4 に供給する。 $f_{i n} = (3/4) f_s$ である最大入力周波数 $f_{i n}$ を有するアナログ入力信号は減算器 1 1 に入力され、減算器 1 1 は入力されたアナログ入力信号から、1 ビット R F D A 変換器 1 4 からのアナログ信号を減算し、減算結果のアナログ信号を連続時間アナログバンドパスフィルタ 1 2 に出力する。次いで、連続時間アナログバンドパスフィルタ 1 2 は、入力されるアナログ信号に対して連続時間でアナログバンドパスのフィルタ処理を実行した後、処理後のアナログ信号を 1 ビット A D 変換器 1 3 に出力する。1 ビット A D 変換器 1 3 は入力されるアナログ信号を 1 ビットのデジタル信号に A D 変換した後、デジタル出力信号として出力するとともに、1 ビット R F D A 変換器 1 4 に出力する。1 ビット R F D A 変換器 1 4 は入力される 1 ビットのデジタル信号をアナログ信号に D A 変換した後、減算器 1 1 に出力する。以上のように構成することにより、連続時間バンドパス A D 変調器を構成できる。

【 0 0 2 5 】

本発明の実施形態に係る図 1 1 の連続時間バンドパス A D 変調器は、その内部 D A 変換器に R F D A 変換器 2 2 を用いることで、次の特有の効果をも有する。

(i) 最大入力周波数は、内部 A D 変換器 1 3 や D A 変換器 1 4 の動作可能なクロック周波数の 4 分の 3 にすることができる。すなわち、従来の 3 倍の入力周波数を扱える。

(i i) D A 変換器 1 4 へのサンプリングクロックのジッタの A D 変調器全体の精度劣化

10

20

30

40

50

への影響が極めて少ない。また、連続時間変調器を用いるので、離散時間方式に比べ次の効果を有する。すなわち、低消費電力であり、高いクロック周波数で動作可能であって、前段のアンチエイリアジングフィルタを単純化できる。

【0026】

次いで、RFDA変換器22の原理と動作について以下に説明する。図12(a)はデジタル入力信号が“1”であるときに、デジタル入力信号を各DA変換器21, 22, 23に入力したときの出力信号波形を示す図であり、図12(b)はデジタル入力信号が“0”であるときに、デジタル入力信号を各DA変換器21, 22, 23に入力したときの出力信号波形を示す図である。また、図10に図7乃至図9の各DA変換器21, 22, 23からの出力信号の波形例(1ビットDA変換器)を示す。

10

【0027】

連続時間バンドパスAD変調器内部で1ビットDA変換器を用いる場合、サンプリング時刻kではNRZDA変換器21の出力信号は次式のようなになる(kは整数であり、 $k = 0, \pm 1, \pm 2, \pm 3, \dots$)。

【0028】

(1) デジタル入力信号が“1”の場合：

【数1】

$$D_{\text{out, NRZ}}(t) \equiv 1, \left(\frac{k}{f_s} \leq t \leq \frac{k+1}{f_s} \text{のとき} \right) \quad (1)$$

20

【0029】

(2) デジタル入力信号が“0”の場合：

【数2】

$$D_{\text{out, NRZ}}(t) \equiv -1, \left(\frac{k}{f_s} \leq t \leq \frac{k+1}{f_s} \text{のとき} \right) \quad (2)$$

【0030】

一方、RFDA変換器22の出力信号は次式のようなになる。

【0031】

(1) デジタル入力信号が“1”の場合：

30

【数3】

$$D_{\text{out, RF}}(t) = A_1(t), \left(\frac{k}{f_s} \leq t \leq \frac{k+1/2}{f_s} \text{のとき} \right) \quad (3)$$

【数4】

$$D_{\text{out, RF}}(t) = A_2(t), \left(\frac{k+1/2}{f_s} \leq t \leq \frac{k+1}{f_s} \text{のとき} \right) \quad (4)$$

【0032】

(2) デジタル入力信号が“0”の場合：

40

【数5】

$$D_{\text{out, RF}}(t) = A_2(t), \left(\frac{k}{f_s} \leq t \leq \frac{k+1/2}{f_s} \text{のとき} \right) \quad (5)$$

【数6】

$$D_{\text{out, RF}}(t) = A_1(t), \left(\frac{k+1/2}{f_s} \leq t \leq \frac{k+1}{f_s} \text{のとき} \right) \quad (6)$$

【0033】

ここで、

50

【数7】

$$A_1(t) = -\frac{1}{2} \cos\{2\pi(2f_s)t\} + \frac{1}{2} \quad (7)$$

【数8】

$$A_2(t) = \frac{1}{2} \cos\{2\pi(2f_s)t\} - \frac{1}{2} \quad (8)$$

【0034】

ここで、 $A_1(t)$ は周波数 $2f_s$ の余弦波をその最低レベルが 0 レベルとなるようにより高いレベルにバイアスしてなる信号であり、 $A_2(t)$ は周波数 $2f_s$ の余弦波をその最高レベルが 0 レベルとなるようにより低いレベルにバイアスしてなる信号である。RFDA 変換器 22 の動作は、デジタル入力信号が 1 のときは、図 12 のように $1/(2f_s)$ の時点で、信号 $A_1(t)$ から信号 $A_2(t)$ に切り替えた信号波形を出力する一方、デジタル入力信号が 0 のときは、 $1/(2f_s)$ の時点で信号 $A_2(t)$ から信号 $A_1(t)$ に切り替えた信号波形を出力する。

10

【0035】

図 13 は、図 11 の 1 ビット RFDA 変換器 14 の構成を示す回路図である。上記 RFDA 変換器 22 は差動ペアに、 $\cos\{2(2f_s)t\}$ の交流信号を出力するテール電流源に接続した比較的簡単な回路で実現できる。図 13 において、電流源 I_{sc} から出力される周波数 f_{osc} の交流電流を、スイッチドライバ回路 30 からの制御信号により、1 対のスイッチング素子である MOS 電界効果トランジスタ（以下、MOSFET という。） Q_1 、 Q_2 を互いに交互にスイッチングすることにより、式 (3) 乃至式 (6) に示すアナログ信号（図 10） I_{out} 、 $-I_{out}$ を発生して出力する。ここで、スイッチドライバ回路 30 からの 1 対の制御信号は各 MOSFET Q_1 、 Q_2 のゲートに印加され、各 MOSFET Q_1 、 Q_2 のソースには電流源 I_{sc} が接続され。各 MOSFET Q_1 、 Q_2 のソースは出力信号の出力端子となる。なお、スイッチドライバ回路 30 は、デジタルデータ信号に基づいて、交流周波数 f_{osc} の交流電流に同期するサンプリング周波数 f_s のサンプリングクロックに基づいて制御信号を発生して出力する。

20

【0036】

図 14 は、図 12 の各 DA 変換器 21、22、23 の各利得周波数特性を示すスペクトル図である。RFDA 変換器 22 のインパルス応答のパワースペクトラムは、図 12 のように、周波数 $(3/4)f_s$ 近傍で最大となり、直流成分はゼロとなる。図 11 の本実施形態に係る回路構成では、この利得特性を利用して入力周波数 $(3/4)f_s$ でサブサンプリングを実現する。また、整数 k ($k = 0, \pm 1, \pm 2, \pm 3, \dots$) に対して次式の性質がある。

30

【0037】

【数9】

$$A_1\left(\frac{k}{2f_s}\right) = 0 \quad (9)$$

40

【数10】

$$A_2\left(\frac{k}{2f_s}\right) = 0 \quad (10)$$

【0038】

【数 1 1】

$$\left. \frac{dA_1}{dt} \right|_{t=\left(\frac{k}{2f_s}\right)} = 0 \quad (11)$$

【数 1 2】

$$\left. \frac{dA_2}{dt} \right|_{t=\left(\frac{k}{2f_s}\right)} = 0 \quad (12)$$

10

【0039】

ここで、出力値及び出力スルーレートがともにゼロ近傍のときに、サンプリングクロックの切り替えが行われるのでジッタの影響（例えば、非特許文献9参照。）は小さくなると考えられる。

【0040】

以上の実施形態において、図13の1ビットRFDA変換器14においては、余弦波信号をスイッチングしてアナログ信号を発生しているが、本発明はこれに限らず、少なくとも、式(9)乃至式(12)を満たすような連続値を有する信号であればよく、好ましくは、時刻 $t = k / (2 f_s)$ (k は整数である。)においてその信号と傾きはゼロであって、しかも当該時刻 $t = k / (2 f_s)$ 近傍において緩やかに増大し又は減少する連続値を有する信号である。

20

【0041】

以上の実施形態においては、図13において電流出力型の1ビットRFDA変換器14を開示しているが、図15を参照して詳細後述するように、電圧出力型のRFDA変換器であってもよい。

【0042】

第2の実施形態.

図15は本発明の第2の実施形態に係る差動型1ビットRFDA変換器14Aの構成を示す回路図である。第2の実施形態は、第1の実施形態に比較して、差動型で電圧出力型に変更して回路構成したことを特徴としている。図15において、入力端子T11, T12の前段に、マルチプレクサMUX1と2個のインバータINV1, INV2とからなる入力信号処理回路を備え、さらに、入力端子T11, T12と、出力端子T21, T22との間に、2対のスイッチング素子であるMOSFETQ1, Q2, Q11, Q12が接続され、MOSFETQ1, Q2には電流源 I_{s1} が接続され、MOSFETQ11, Q12には電流源 I_{s2} が接続される。また、電圧出力型とするために、各MOSFETQ1, Q2, Q11, Q12の各ソースにはそれぞれ抵抗R11, R12を介して電圧源 V_{dd} に接続される。ここで、電流源 I_{s1} , I_{s2} の各電流信号 I_{osc+} , I_{osc-} は次式で表される。

30

【0043】

[数1]

$$I_{osc+} = (1/2) [1 - \cos\{2(2f_s)t\} + D_C]$$

[数2]

$$I_{osc-} = -(1/2) [1 - \cos\{2(2f_s)t\} + D_C]$$

【0044】

図15に示す回路構成において、ある第1の時刻で制御電圧信号 V_{in+} をハイレベルとしかつ制御電圧信号 V_{in-} をローレベルとする一方、半周期後に第2の時刻で制御電圧信号 V_{in+} をローレベルとしかつ制御電圧信号 V_{in-} をハイレベルとする。なお、図16は図15のマルチプレクサMUX1の動作を示す各信号のタイミングチャートであ

50

り、当該DA変換器への入力信号T_nに基づいてマルチプレクサMUX1を制御することにより、サンプリングクロックCLKを図16のように処理して非反転出力信号ZであるV_{i_n+}と、反転出力信号/ZであるV_{i_n-}とを発生してそれぞれ端子T11, T12に出力している。

【0045】

図15の回路では、図17に示すように信号を入力して動作することにより、図17から明らかなように、差動型1ビットRFDA変換器14Aを構成できる。なお、図18は図15のシミュレーション結果を示す各電圧の信号波形を示す波形図であり、差動型1ビットRFDA変換器14Aが目的通りに動作していることがわかる。なお、図15の回路については、後述する3ビット又はマルチビットの差動型RFDA変換器に適用してもよい。

10

【0046】

以上のように構成された1ビット差動型RFDA変換器によれば、信号振幅を大きくとれるとともに、雑音に強く、常に電流を流すことができる。従って、コモンモード電圧の雑音はきわめて少なくなり、また、歪みに強いという効果を有する。

【0047】

第3の実施形態.

図19は本発明の第3の実施形態に係るセグメント型3ビットRFDA変換器14Bの回路構成概念図であり、図20は本発明の第3の実施形態に係るセグメント型3ビットRFDA変換器14Bの構成を示す回路図である。図19において、電圧源V_{dd}から抵抗R11又はR12を介して、さらに各スイッチ51-1乃至51-N及び電流源I_{s1}乃至I_{sN}を介して接地されており、抵抗R11又はR12と各スイッチ51-1乃至51-Nの一端との接続点がアナログ信号の出力端子T30となる。

20

【0048】

図19の回路を実際に構成した場合には、複数N個の電流源I_{s1}乃至I_{sN}を1個の電流源I_sで置き換え、図20のように構成する。図20において、電圧源V_{dd}は電流源I_s及びスイッチング素子であるMOSFETQ50を介して接地される。また、電圧源V_{dd}は抵抗R11を介して、各スイッチング素子であるMOSFETM1, M3, ..., M(2N-1)及びMOSFETQ51-1, Q51-2, ..., Q51-(N/2)を介して接地される。さらに、電圧源V_{dd}は抵抗R12を介して、各スイッチング素子であるMOSFETM2, M4, ..., M(2N)及びMOSFETQ51-1, Q51-2, ..., Q51-(N/2)を介して接地される。信号デコーダ及びスイッチドライバ回路40は、入力されるデジタルバイナリデータ信号をサーモメータコードに変換した後、スイッチング素子であるMOSFETM1, M2, M3, ..., M(2N)のオン・オフを制御する制御信号を発生してそれらのゲートに印加する。ここで、デジタルバイナリデータ信号B2, B1, B0をサーモメータコードT7-T1に変換するときの変換テーブルを次に示す。

30

【0049】

[表1]

B2, B1, B0	T7, T6, T5, T4, T3, T2, T1
0 0 0	0 0 0 0 0 0 0
0 0 1	0 0 0 0 0 0 1
0 1 0	0 0 0 0 0 1 1
0 1 1	0 0 0 0 1 1 1
1 0 0	0 0 0 1 1 1 1
1 0 1	0 0 1 1 1 1 1
1 1 0	0 1 1 1 1 1 1
1 1 1	1 1 1 1 1 1 1

40

50

【0050】

スイッチング素子であるMOSFET $M_1, M_2, M_3, \dots, M_{(2N)}$ からなる回路は、7個の1ビットのRFDA変換器が並列に接続されていることと等価であり、上記変換後のサーモメータコードなる制御信号に基づいてオン・オフされることにより、オンするスイッチング素子が増大するにつれて電流量が増大してそれに比例した電圧が増大する。このように得られたアナログ出力信号の電圧は図29及び図30に示すようにデジタル入力信号に応答してアナログ出力信号が変化する。そして、当該セグメント型3ビットRFDA変換器14Bは各抵抗 R_{11}, R_{12} の一端に接続された出力端子 T_{31}, T_{32} からDA変換後のアナログ信号を出力する。

10

【0051】

以上のように構成されたセグメント型3ビットRFDA変換器によれば、グリッチ雑音を軽減でき、入出力間の単調性を確保できるという特有の効果をも有する。

【0052】

上述の各実施形態においては、入力されるアナログ信号の最大入力周波数 f_{in} は実質的に上記サンプリング周波数 f_s の $3/4$ となるように設定され、DA変換器14, 14Aは、入力されるデジタル入力信号の値に応じて互いに反転したアナログ信号であって、時刻 $k/(2f_s)$ において振幅が実質的にゼロでありかつ傾きが実質的にゼロであるアナログ信号にDA変換して出力するように構成されることを特徴としている。また、DA変換器14, 14Aから出力されるアナログ信号は、好ましくは、時刻 $k/(2f_s)$ の近傍において、当該近傍以外の時刻(当該アナログ信号の最大点及び最小点を除く。)に比較して小さい傾きを有して変化する。ここで、DA変換器14, 14Aは、好ましくは、入力されるデジタル入力信号の値に基づいて、所定の交流信号を上記サンプリングクロックに応じてスイッチングしかつ所定のバイアス電圧を印加することによりアナログ信号を発生する。さらに、好ましくは、DA変換器14, 14AはマルチビットDA変換器であり、AD変換器13はマルチビットAD変換器であり、これにより、1ビットに比較し変換精度を向上できる。なお、以上の実施形態において、アナログバンドパスフィルタは連続時間アナログバンドパスフィルタ12であるが、本発明はこれに限らず、離散間隔を十分に小さくすれば、離散時間アナログバンドパスフィルタで構成してもよい。

20

【実施例1】

30

【0053】

本発明者らは、シミュレーションによる動作の確認をするために、上述の実施形態に係る連続時間バンドパスAD変調器の有効性を確認するため、MATLAB(登録商標)ツールを用いてシミュレーションを行った。

【0054】

図21は、第1の実施形態に係る実施例1のバンドパスAD変調器の構成を示すブロック図である。図21において、実施例1のバンドパスAD変調器は、図11の装置構成に比較して、連続時間アナログバンドパスフィルタ12を、2つのフィルタ12a, 12cと、それらの間に挿入される減算器12bとからなる2次連続時間バンドパスフィルタにより構成したことを特徴としている。ここで、減算器11から出力されるアナログ信号は、伝達関数 $(b_1s / (s^2 + c^2))$ を有するフィルタ12aを介して減算器12bに出力され、減算器12bはフィルタ12aからのアナログ信号から1ビットRFDA変換器14からのアナログ信号を減算し、減算結果のアナログ信号を、伝達関数 $(b_2s / (s^2 + c^2))$ を有するフィルタ12cを介して1ビットAD変換器13に出力する。ここで、 c は入力アナログ信号の搬送波周波数である。

40

【0055】

実施例1では、図21の回路構成を有する連続時間バンドパスAD変調器の有効性を確認するため、MATLAB(登録商標)ツールを用いてシミュレーションを行った。図21の変調器では、内部DA変換器として1ビットRFDA変換器14を組み込み、ループフィルタとして中心周波数 $(3/4)f_s$ の2次連続時間バンドパスフィルタを用い

50

、最大入力周波数 $f_{in} = (3/4) f_s$ のアナログ信号を入力した。ループフィルタ 12a, 12c の係数は次式のように設定した。なお、入力されるアナログ信号の最大入力周波数 f_{in} はサンプリング周波数 f_s の $3/4$ に同一又は実質的に同一であるように設定することが好ましい。

【0056】

【数13】

$$\omega_c = 2\pi \left(\frac{3}{4} f_s \right) \quad (13)$$

【数14】

$$b_1 = \frac{1.5}{30} \omega_c \quad (14)$$

【数15】

$$b_2 = \frac{5}{30} \omega_c \quad (15)$$

【0057】

上記の係数の設定は、1ビットRFDA変換器14の出力振幅を1としたときに、フィルタ出力振幅が1近傍（すなわち、1又は実質的に1である）になるように設定した。

【0058】

図22は図21の内部DA変換器にRFDA変換器を用いたときの連続時間バンドパスAD変調器の出力パワースペクトラムを示す図であり、図23は図21の内部DA変換器にRFDA変換器を用いたときの連続時間バンドパスAD変調器のオーバーサンプリングレート(OSR)に対するSNDRの特性を示す図である。図21の変調器の出力パワースペクトラムは図22に示すようになり、量子化雑音が周波数 $(3/4) f_s$ でノイズシェーブされている。信号電力に対する（雑音電力+歪み雑音電力）の比であるSNDRは図23のように、傾き 15 dB/oct となり、実施例1の回路構成がサブサンプリングを行う2次バンドパスAD変調器として動作することが確認できた。

【0059】

次いで、DA変換器におけるクロックジッタがバンドパスAD変調器の精度に与える影響について、図24及び図25を参照して以下に説明する。図24は、図21の内部DA変換器にRFDA変換器を用いたときのDA変換器のサンプリングクロックのジッタによる連続時間バンドパスAD変調器の出力パワースペクトラムを示す図であり、図25は、図21の内部DA変換器に25%RTZDA変換器を用いたときのDA変換器のサンプリングクロックのジッタによる連続時間バンドパスAD変調器の出力パワースペクトラムを示す図である。

【0060】

ここでは、内部DA変換器がRFDA変換器14であり、パルス幅25%のRTZDA変換器23（例えば、非特許文献4参照。）のときに（図12）、DA変換器14のクロックに対してガウス分布でクロック周波数 f_s の $\pm 1\%$ の範囲のクロックジッタを与えてシミュレーションを行った。このときの出力パワースペクトラムを図24及び図25に示している。図24及び図25から明らかなように、25%RTZDA変換器23を用いた場合には、ジッタの影響によりノイズフロアが大きく上昇しているが、RFDA変換器14を用いた場合にはほとんど変化が無いことが分かる。

【0061】

図26は、図21の内部DA変換器にRFDA変換器を用いたときのDA変換器のサンプリングクロックのジッタの有無に対する連続時間バンドパスAD変調器のオーバーサンプリングレート(OSR)に対するSNDRの変化を示すグラフであり、図27は、図21の内部DA変換器に25%RTZDA変換器を用いたときのDA変換器のサンプリ

10

20

30

40

50

ングクロックのジッタの有無に対する連続時間バンドパス AD変調器のオーバーサンプリングレート(OSR)に対するSNDRの変化を示すグラフである。図26及び図27から明らかなように、25%RTZDA変換器23を用いた場合には、大きくSNDRが劣化しているのに対し、RFDA変換器14を用いたときには、劣化が改善されていることが確認できた。

【実施例2】

【0062】

図28は第3の実施形態に係る実施例2のバンドパス AD変調器の構成を示すブロック図である。また、図29は図28の3ビットRFDA変換器14_aに入力されるデジタル入力信号の波形を示す波形図であり、図30は図28の3ビットRFDA変換器14_aから出力されるアナログ信号の波形を示す波形図である。

10

【0063】

実施例2では、図21の実施例1に比較して、図28に示すように、連続時間バンドパス AD変調器の内部DA変換器及びAD変換器としてそれぞれ、マルチビットDA変換器14_a及びマルチビットAD変換器13_aを用いることで、マルチビット連続時間バンドパス AD変調器を構成している。ここで、実施例2では、マルチビットとして3ビットの例を例示している。マルチビットの回路構成ではより高精度なAD変換が実現できる。

【0064】

3ビットRFDA変換器14_aの入出力の関係は図29及び図30の通りである。この3ビットRFDA変換器14_aを内部DA変換器に用い、ループフィルタを、1ビットRFDA変換器を組み込んだ場合と同様に、RFDA変換器14_aの最大出力振幅を1としたときにフィルタ後の出力振幅が1に近くなるように設定した係数を有する中心周波数 $(3/4)f_s$ の2次連続時間バンドパスフィルタとして、最大入力周波数 $f_{in} = (3/4)f_s$ を有するアナログ信号を入力してシミュレーションを行った。なお、ループフィルタの係数はそれぞれ次式で表される。

20

【0065】

【数16】

$$\omega_c = 2\pi \left(\frac{3}{4} f_s \right) \quad (16)$$

30

【数17】

$$b_1 = \frac{3}{30} \omega_c \quad (17)$$

【数18】

$$b_2 = \frac{18}{30} \omega_c \quad (18)$$

【0066】

図31は図28の内部DA変換器に1ビットRFDA変換器及び3ビットRFDA変換器を用いたときの連続時間バンドパス AD変調器の出力スペクトラムを示す図であり、図32は図28の内部DA変換器に1ビットRFDA変換器及び3ビットRFDA変換器を用いたときの連続時間バンドパス AD変調器のオーバーサンプリングレート(OSR)に対するSNDRの変化を示すグラフである。実施例2において、AD変換器及びDA変換器部にそれぞれ3ビットAD変換器13_a及び3ビットRFDA変換器14_aを用いると、図31に示すように、1ビットの場合に比べてノイズフロアが下がり、図32に示すように、SNDRがオーバーサンプリングレート(OSR) = 2⁵でおおよそ27dBだけ向上する。ただし、マルチビット構成を用いる場合にはDA変換器出力の非線形性によりAD変調器の全体の精度が大きく劣化するので(例えば、非特許文献6参照)、

40

50

例えば、DWA (Data Weighted Averaging; データに対する重み付けの平均化) アルゴリズム等を用いたミスマッチ軽減手法が必要となる。ここで、DWA アルゴリズムは、

A/D変調器内部マルチビットD/A変換器の非線形性をノイズシェーブするため、内部D/A変換器の前段にデジタル信号処理回路を設けてダイナミックエレメントマッチングを行うものである(例えば、非特許文献6参照。)

【0067】

以上説明したように、時間バンドパス A/D変調器のD/A変換器にRFDA変換器を用いることでサブサンプリングを実現し、また連続時間変調器の欠点であるクロックジッタの影響を軽減できることをシミュレーションで確認した。本発明の実施形態に係る連続時間バンドパス A/D変調器によれば、その内部D/A変換器にRFDA変換器を用いることで、次の特有の効果を有する。

(i) 最大入力周波数は、内部A/D変換器やD/A変換器の動作可能なクロック周波数の4分の3にすることができる。すなわち、従来の3倍の入力周波数を扱える。

(ii) D/A変換器へのサンプリングクロックのジッタのA/D変調器全体の精度劣化への影響が極めて少ない。また、連続時間変調器を用いるので、離散時間方式に比べ次の効果を有する。すなわち、低消費電力であり、高いクロック周波数で動作可能であって、前段のアンチエイリアジングフィルタを簡単化できる。

【産業上の利用可能性】

【0068】

以上詳述したように、本発明に係るバンドパス A/D変調器及びそれを用いたデジタル無線受信機によれば、上記入力されるアナログ信号の最大入力周波数 f_{in} は実質的に上記サンプリング周波数 f_s の $3/4$ となるように設定され、上記D/A変換器は、入力されるデジタル入力信号の値に応じて互いに反転したアナログ信号であって、時刻 $k/(2f_s)$ において振幅が実質的にゼロでありかつ傾きが実質的にゼロであるアナログ信号にD/A変換して出力するように構成されている。それ故、従来技術に比較して、簡単な構成で高精度でA/D変換することができ、しかも高周波信号を直接にA/D変換することができる。また、従来技術に比較してより高い周波数の入力信号を取り扱うことができ、しかも低消費電力で動作可能である。

【図面の簡単な説明】

【0069】

【図1】(a) 従来技術に係るデジタル無線受信機の構成を示すブロック図であり、(b) は本発明の基本構成に係るデジタル無線受信機の構成を示すブロック図である。

【図2】本発明の実施形態に係るバンドパス A/D変調器で取り扱う中心周波数を示すスペクトル図である。

【図3】従来技術に係る離散時間フィルタの回路構成を示す回路図である。

【図4】従来技術に係る連続時間フィルタの回路構成を示す回路図である。

【図5】従来技術に係るバンドパス A/D変調器で用いるナイキストサンプリングの使用帯域を示すスペクトル図である。

【図6】従来技術に係るバンドパス A/D変調器で用いるサブサンプリングの使用帯域を示すスペクトル図である。

【図7】内部D/A変換器に図12のNRZDA変換器21を使用してサブサンプリングを行ったときの連続時間バンドパス A/D変調器の出力パワースペクトラムを示す図である。

【図8】内部D/A変換器に図12の25%RTZDA変換器23を使用してサブサンプリングを行ったときの連続時間バンドパス A/D変調器の出力パワースペクトラムを示す図である。

【図9】内部D/A変換器に図12のRFDA変換器22を使用してサブサンプリングを行ったときの連続時間バンドパス A/D変調器の出力パワースペクトラムを示す図である。

【図10】図7乃至図9の各D/A変換器21, 22, 23からの出力信号の波形例(1ピ

10

20

30

40

50

ット D A 変換器) を示す波形図である。

【図 1 1】本発明の第 1 の実施形態に係る連続時間バンドパス A D 変調器の構成を示すブロック図である。

【図 1 2】(a) はデジタル入力信号が " 1 " であるときに、デジタル入力信号を各 D A 変換器 2 1 , 2 2 , 2 3 に入力したときの出力信号波形を示す図であり、(b) はデジタル入力信号が " 0 " であるときに、デジタル入力信号を各 D A 変換器 2 1 , 2 2 , 2 3 に入力したときの出力信号波形を示す図である。

【図 1 3】図 1 1 の 1 ビット R F D A 変換器 1 4 の構成を示す回路図である。

【図 1 4】図 1 2 の各 D A 変換器 2 1 , 2 2 , 2 3 の各利得周波数特性を示すスペクトル図である。

10

【図 1 5】本発明の第 2 の実施形態に係る差動型 1 ビット R F D A 変換器 1 4 A の構成を示す回路図である。

【図 1 6】図 1 5 のマルチプレクサ M U X 1 の動作を示す各信号のタイミングチャートである。

【図 1 7】図 1 5 の各電圧の信号波形を示す波形図である。

【図 1 8】図 1 5 のシミュレーション結果を示す各電圧の信号波形を示す波形図である。

【図 1 9】本発明の第 3 の実施形態に係るセグメント型 3 ビット R F D A 変換器 1 4 B の回路構成概念図である。

【図 2 0】本発明の第 3 の実施形態に係るセグメント型 3 ビット R F D A 変換器 1 4 B の構成を示す回路図である。

20

【図 2 1】第 1 の実施形態に係る実施例 1 のバンドパス A D 変調器の構成を示すブロック図である。

【図 2 2】図 2 1 の内部 D A 変換器に R F D A 変換器を用いたときの連続時間バンドパス A D 変調器の出力パワースペクトラムを示す図である。

【図 2 3】図 2 1 の内部 D A 変換器に R F D A 変換器を用いたときの連続時間バンドパス A D 変調器のオーバーサンプリングレート (O S R) に対する S N D R の特性を示す図である。

【図 2 4】図 2 1 の内部 D A 変換器に R F D A 変換器を用いたときの D A 変換器のサンプリングクロックのジッタによる連続時間バンドパス A D 変調器の出力パワースペクトラムを示す図である。

30

【図 2 5】図 2 1 の内部 D A 変換器に 2 5 % R T Z D A 変換器を用いたときの D A 変換器のサンプリングクロックのジッタによる連続時間バンドパス A D 変調器の出力パワースペクトラムを示す図である。

【図 2 6】図 2 1 の内部 D A 変換器に R F D A 変換器を用いたときの D A 変換器のサンプリングクロックのジッタの有無に対する連続時間バンドパス A D 変調器のオーバーサンプリングレート (O S R) に対する S N D R の変化を示すグラフである。

【図 2 7】図 2 1 の内部 D A 変換器に 2 5 % R T Z D A 変換器を用いたときの D A 変換器のサンプリングクロックのジッタの有無に対する連続時間バンドパス A D 変調器のオーバーサンプリングレート (O S R) に対する S N D R の変化を示すグラフである。

【図 2 8】第 3 の実施形態に係る実施例 2 のバンドパス A D 変調器の構成を示すブロック図である。

40

【図 2 9】図 2 8 の 3 ビット R F D A 変換器 1 4 a に入力されるデジタル入力信号の波形を示す波形図である。

【図 3 0】図 2 8 の 3 ビット R F D A 変換器 1 4 a から出力されるアナログ信号の波形を示す波形図である。

【図 3 1】図 2 8 の内部 D A 変換器に 1 ビット R F D A 変換器及び 3 ビット R F D A 変換器を用いたときの連続時間バンドパス A D 変調器の出力スペクトラムを示す図である。

【図 3 2】図 2 8 の内部 D A 変換器に 1 ビット R F D A 変換器及び 3 ビット R F D A 変換器を用いたときの連続時間バンドパス A D 変調器のオーバーサンプリングレート (O

50

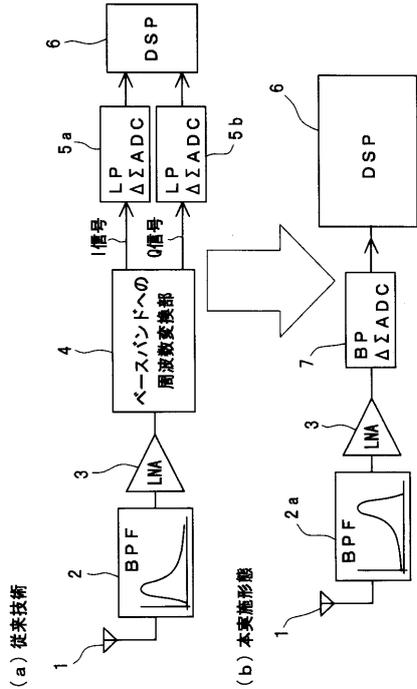
S R) に対する S N D R の変化を示すグラフである。

【符号の説明】

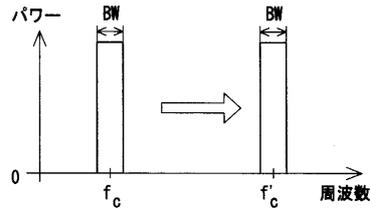
【 0 0 7 0 】

- 1 ... アンテナ、
- 2 a ... 帯域通過フィルタ、
- 3 ... 低雑音増幅器、
- 6 ... デジタルシグナルプロセッサ (D S P)、
- 7 ... バンドパス A D 変調器、
- 1 1 ... 減算器、
- 1 2 ... 連続時間アナログバンドパスフィルタ、 10
- 1 2 a , 1 2 c ... フィルタ、
- 1 2 b ... 減算器、
- 1 3 ... 1 ビット A D 変換器、
- 1 3 a ... 3 ビット A D 変換器、
- 1 4 ... 1 ビット R F D A 変換器、
- 1 4 a ... 3 ビット R F D A 変換器、
- 1 5 ... サンプリングクロック発生器、
- 2 2 ... R F D A 変換器、
- 3 0 ... スイッチドライバ回路、
- 4 0 ... 信号デコーダ及びスイッチドライバ回路、 20
- I N V 1 , I N V 2 ... インバータ、
- I s , I o s c ... 電流源、
- M 1 乃至 M 2 N , Q 1 , Q 2 , Q 1 1 , Q 1 2 , Q 5 0 , Q 5 1 - 1 乃至 Q 5 1 - (N / 2) ... M O S 電界効果トランジスタ (M O S F E T)、
- M U X 1 ... マルチプレクサ、
- R 1 1 , R 1 2 ... 抵抗、
- T 1 1 , T 1 2 , T 2 1 , T 2 2 ... 端子。

【図1】

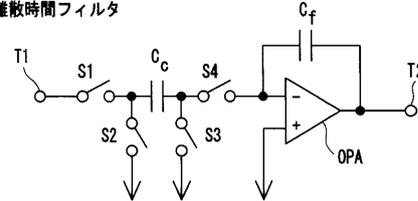


【図2】



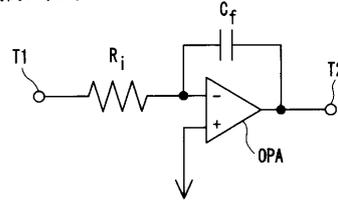
【図3】

離散時間フィルタ



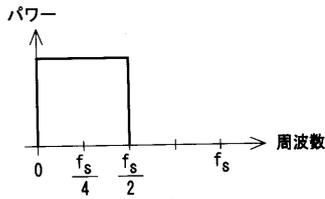
【図4】

連続時間フィルタ



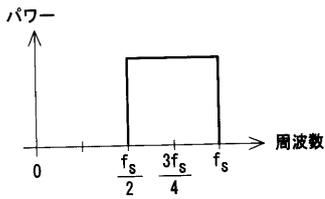
【図5】

ナイキストサンプリングの使用帯域



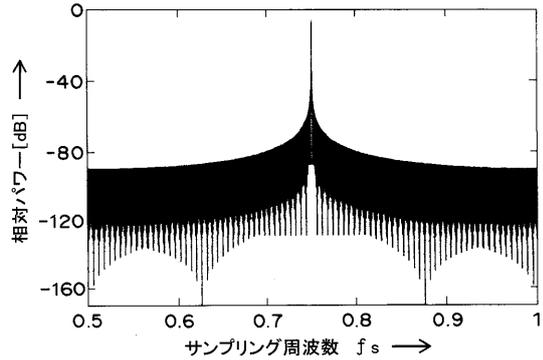
【図6】

サブサンプリングの使用帯域



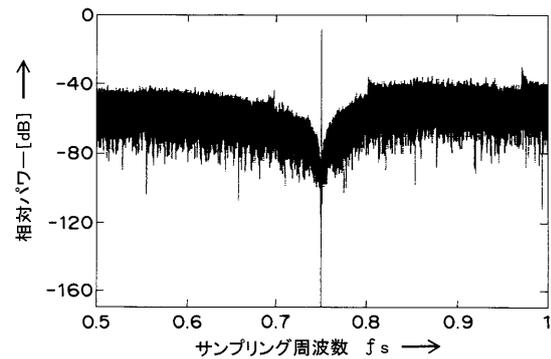
【図7】

NRZ DAC のとき

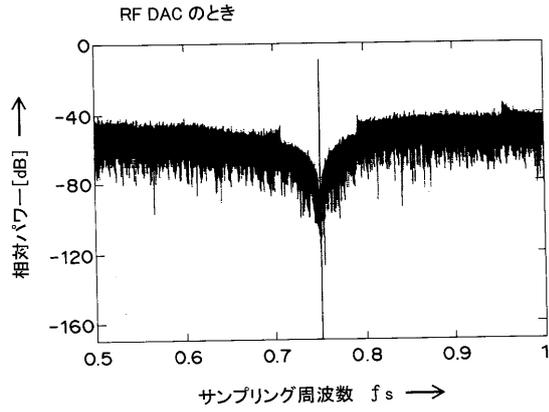


【図8】

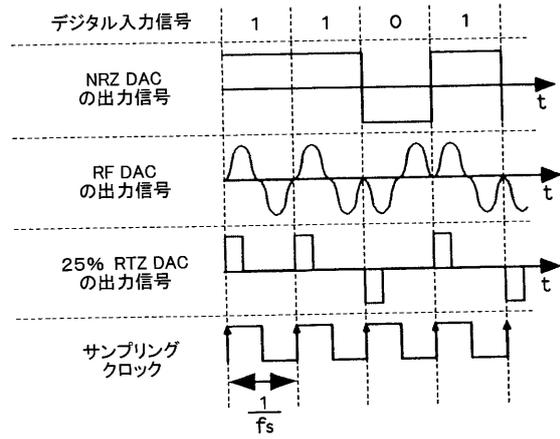
25%RTZ DAC のとき



【図9】



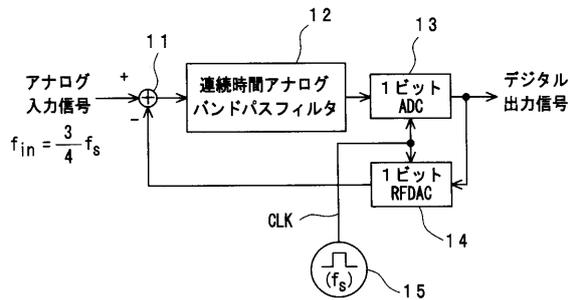
【図10】



【図11】

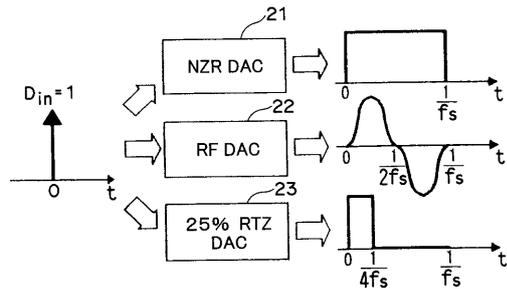
第1の実施形態

連続時間バンドパス $\Delta\Sigma$ AD変調器

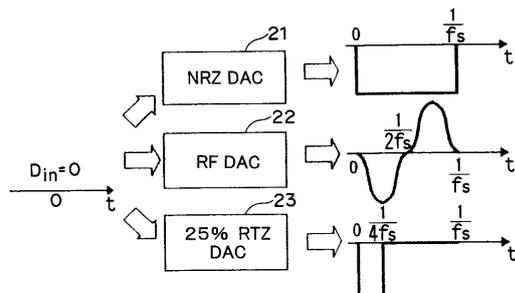


【図12】

(a) デジタル入力信号が"1"のとき



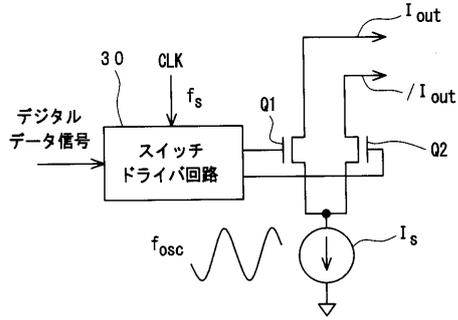
(b) デジタル入力信号が"0"のとき



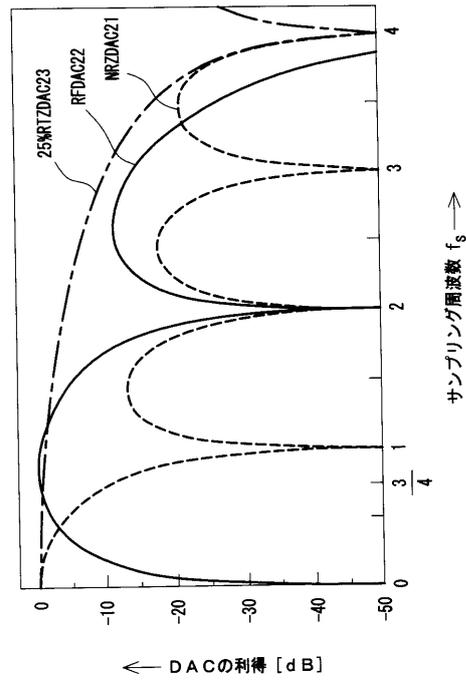
【図13】

第1の実施形態

1ビットRFDAC 14

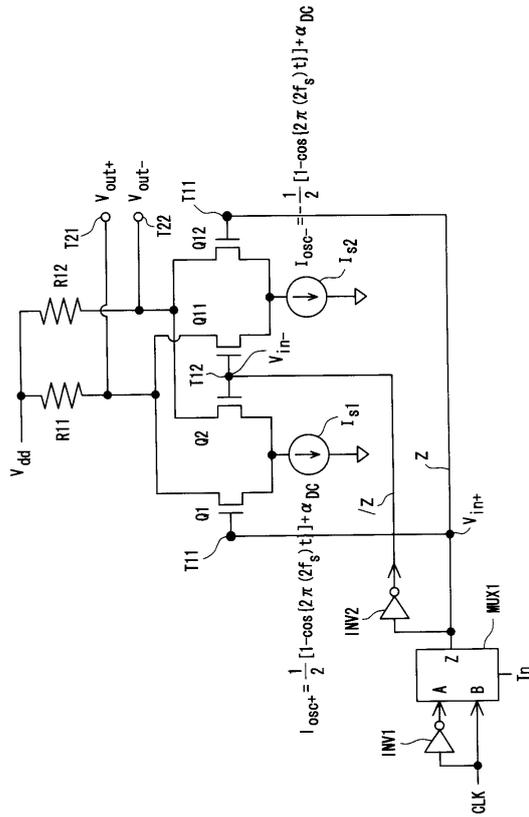


【図14】

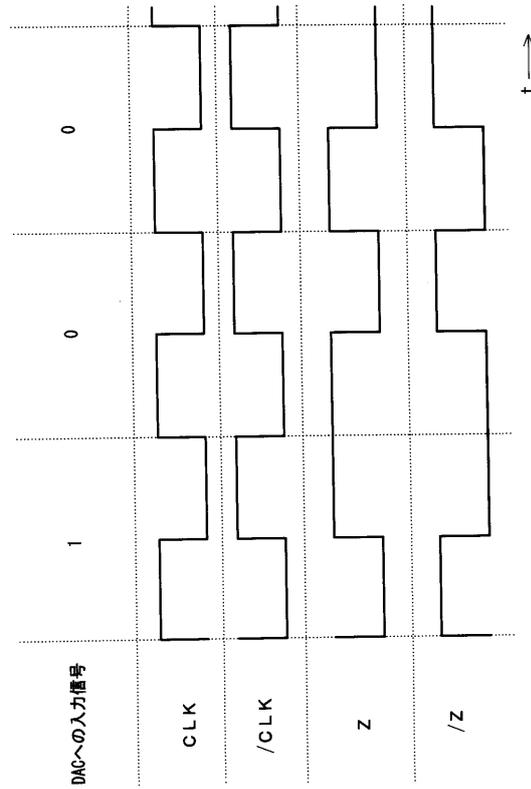


【図15】

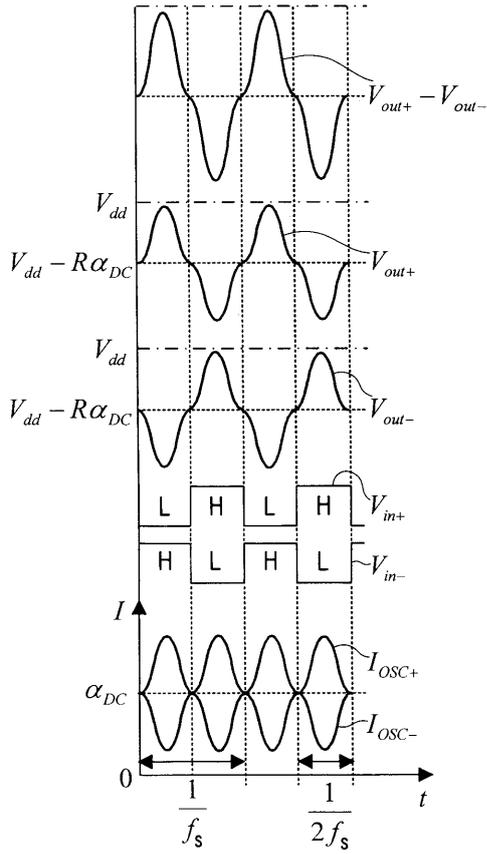
第2の実施形態
差動型1ビットRFDAC 14A



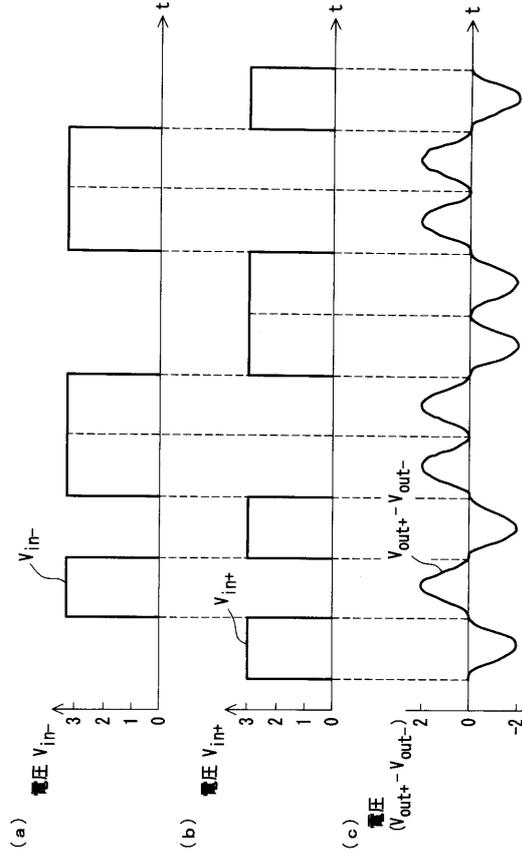
【図16】



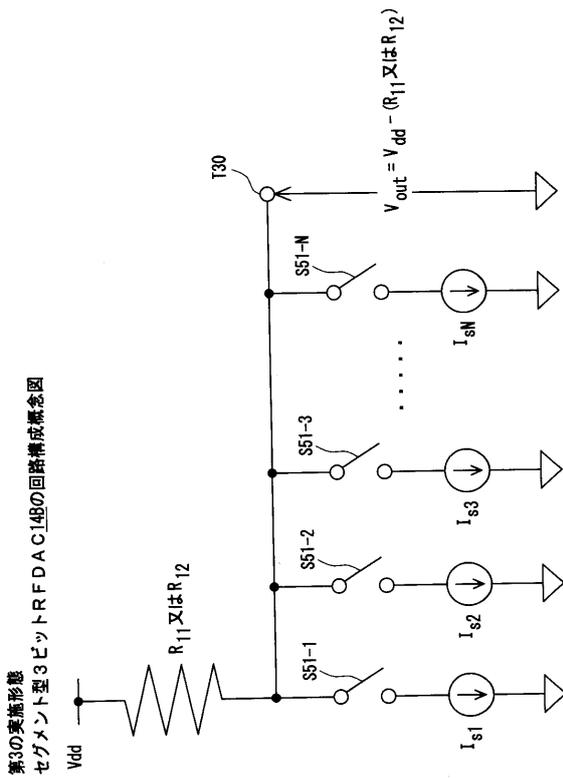
【図17】



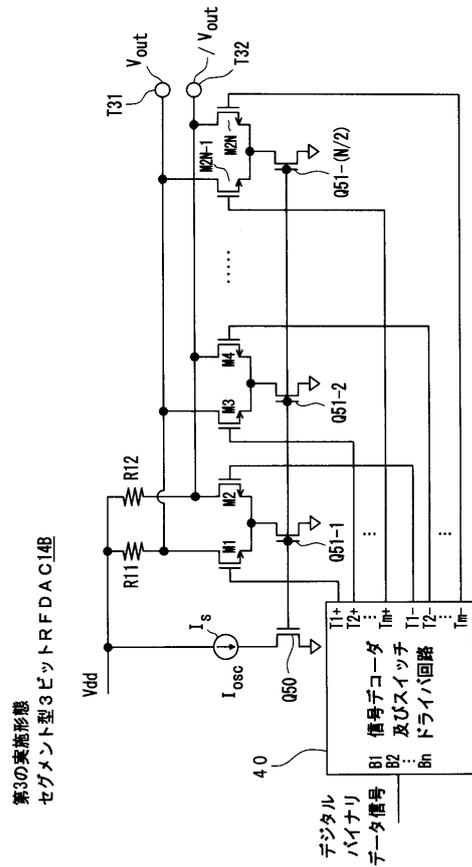
【図18】



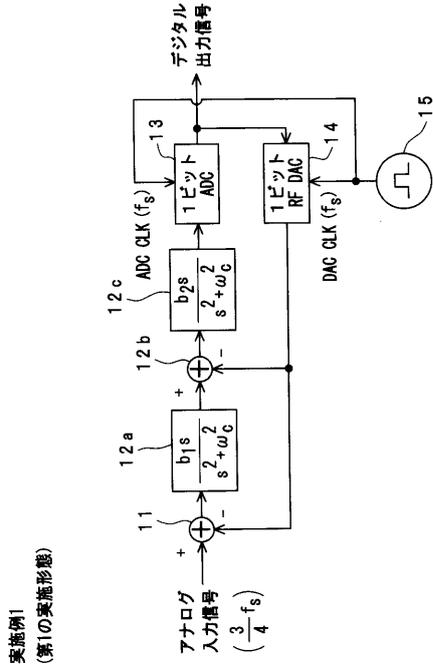
【図19】



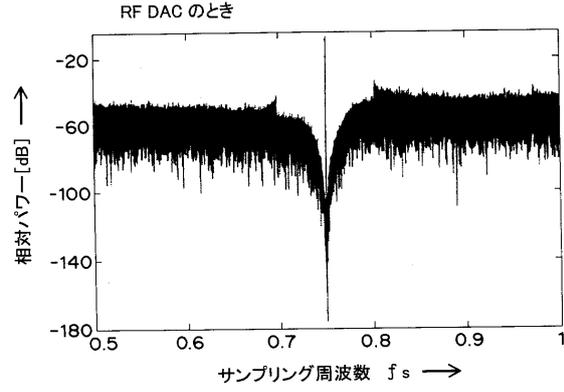
【図20】



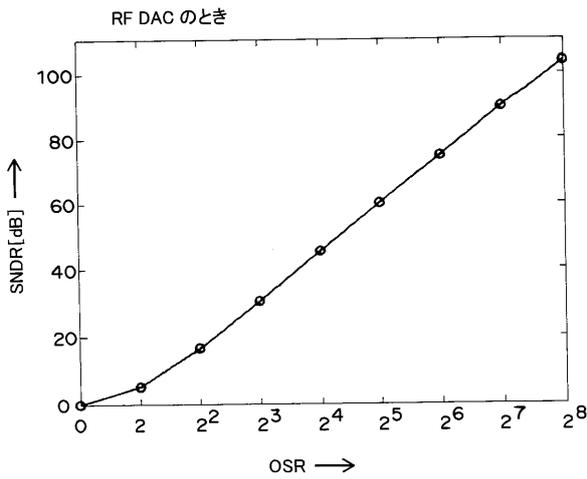
【図 2 1】



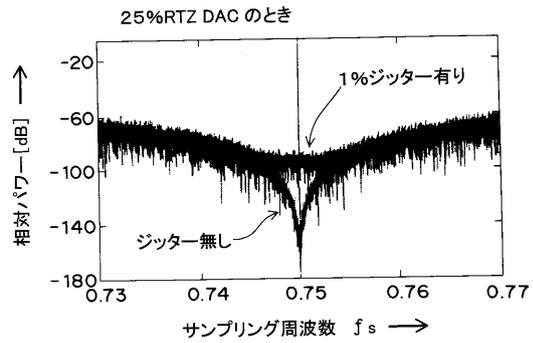
【図 2 2】



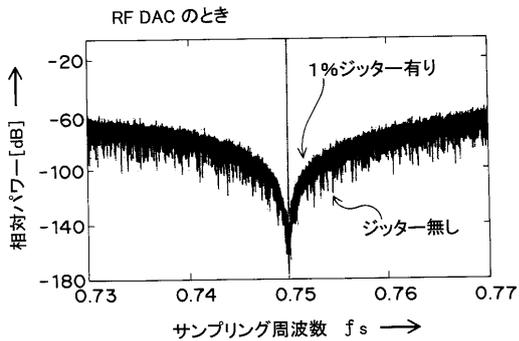
【図 2 3】



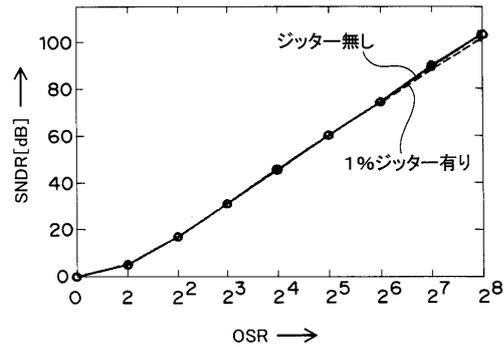
【図 2 5】



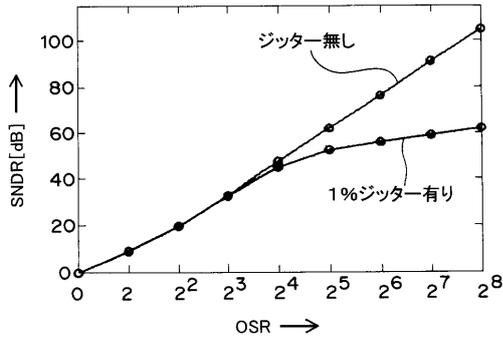
【図 2 4】



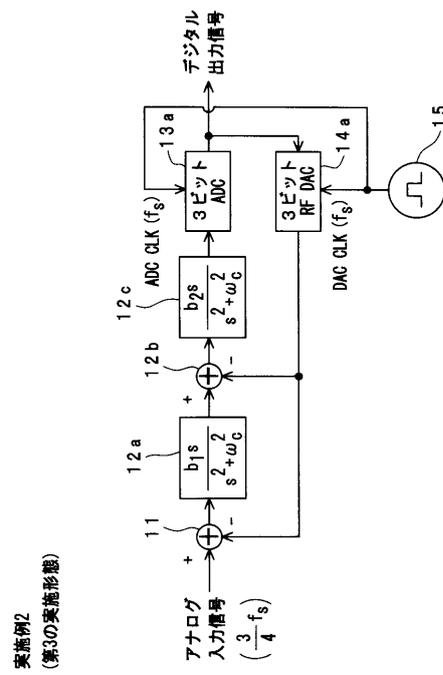
【図 2 6】



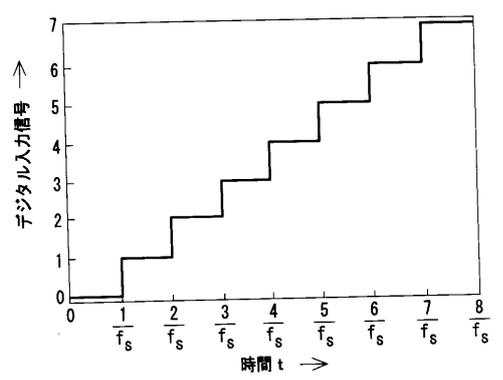
【図 27】



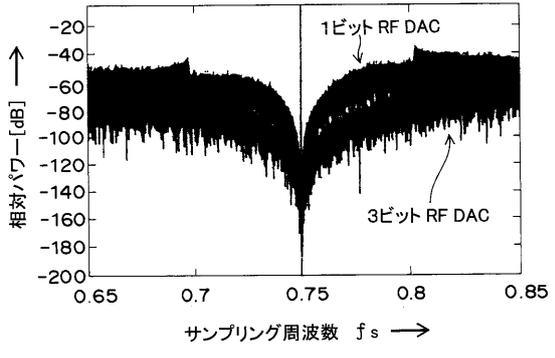
【図 28】



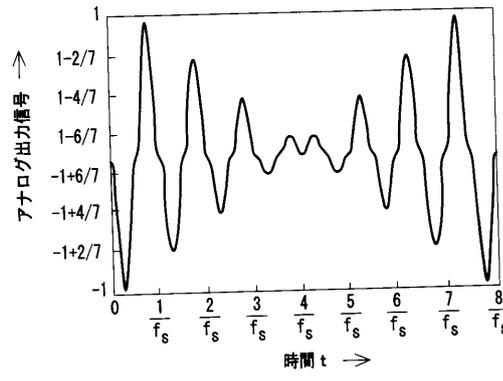
【図 29】



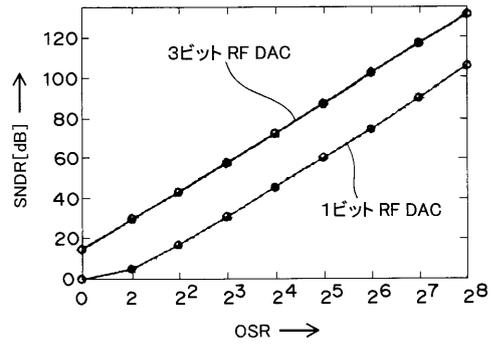
【図 31】



【図 30】



【図 32】



フロントページの続き

(72)発明者 益子 耕一郎

兵庫県宝塚市武庫川町5 - 3 6 - 1 2 0 2

審査官 渡辺 未央子

(56)参考文献 特開2006 - 013705 (JP, A)

特表2003 - 534679 (JP, A)

特開2002 - 344321 (JP, A)

Susan Luschas et al., Radio Frequency Digital-to-Analog Converter, IEEE Journal of Solid-State Circuits, IEEE, 2004年 9月, Vol.39, No.9, pp.1462-1467

Masafumi Uemori et al., High-Speed Continuous-Time Subsampling Bandpass AD Modulator Architecture Employing Radio Frequency DAC, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, IEICE, 2006年 4月, Vol.E89-A, No.4, pp.916-923

(58)調査した分野(Int.Cl., DB名)

H03M 3/02

H03M 1/08