

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4104012号
(P4104012)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.	F I
H03K 19/0944 (2006.01)	H03K 19/094 A
H03F 3/343 (2006.01)	H03F 3/343 A

請求項の数 30 (全 19 頁)

(21) 出願番号	特願2005-68179 (P2005-68179)	(73) 特許権者	396023993
(22) 出願日	平成17年3月10日(2005.3.10)		株式会社半導体理工学研究センター
(65) 公開番号	特開2006-254118 (P2006-254118A)		神奈川県横浜市港北区新横浜3丁目17番
(43) 公開日	平成18年9月21日(2006.9.21)		地2 友泉新横浜ビル6階
審査請求日	平成18年3月14日(2006.3.14)	(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 電流ミラー回路

(57) 【特許請求の範囲】

【請求項1】

第1の電極が第1の電位に接続されているとともに、第2の電極が前記第1の電位よりも低電位の第2の電位に接続されており、かつ、第3の電極が前記第2の電位よりも高電位の第3の電位に接続されている第1のトランジスタと、

第1の電極が前記第1の電位および前記第1のトランジスタの前記第1の電極に接続されているとともに、第2の電極が前記第2の電位に接続されている第2のトランジスタと、

高電位側の入力端子が前記第3の電位および前記第1のトランジスタの前記第3の電極に接続されており、かつ、低電位側の入力端子が前記第2のトランジスタの第3の電極に接続されているオペアンプと、

第1の電極が前記オペアンプの出力端子に接続されているとともに、第2の電極が前記オペアンプの前記低電位側の入力端子および前記第2のトランジスタの前記第3の電極に接続されており、かつ、第3の電極を出力端子とする第3のトランジスタと、

を具備してなり、前記第1のトランジスタおよび前記第2のトランジスタがともに飽和領域よりも低電圧の線形領域から動作することを特徴とする電流ミラー回路。

【請求項2】

前記第1～第3の各トランジスタは、NMOSトランジスタであることを特徴とする請求項1に記載の電流ミラー回路。

【請求項3】

前記第 1 の電極はゲート電極であり、前記第 2 の電極はソース電極であり、かつ、前記第 3 の電極はドレイン電極であることを特徴とする請求項 1 または 2 に記載の電流ミラー回路。

【請求項 4】

前記第 1 の電位は基準電位であり、前記第 2 の電位は接地電位であり、かつ、前記第 3 の電位は電源電位であることを特徴とする請求項 1 ~ 3 のうちのいずれか 1 項に記載の電流ミラー回路。

【請求項 5】

前記オペアンプおよび前記第 3 のトランジスタは、前記オペアンプの前記高電位側の入力端子と前記第 1 のトランジスタの前記第 3 の電極および前記第 3 の電位との接続部における電位を、前記オペアンプの前記低電位側の入力端子と前記第 2 のトランジスタの前記第 3 の電極および前記第 3 のトランジスタの前記第 2 の電極との接続部における電位と等しい高さに設定することを特徴とする請求項 1 ~ 4 のうちのいずれか 1 項に記載の電流ミラー回路。

10

【請求項 6】

前記オペアンプは、前記第 3 のトランジスタの前記第 1 の電極に対する電圧値を制御することにより、前記第 1 のトランジスタの前記第 3 の電極の電圧値と前記第 2 のトランジスタの前記第 3 の電極の電圧値とを等しい高さに設定することを特徴とする請求項 1 ~ 5 のうちのいずれか 1 項に記載の電流ミラー回路。

【請求項 7】

前記オペアンプは、前記第 1 のトランジスタの前記第 3 の電極と前記第 2 の電極との間の電圧を、前記第 2 のトランジスタの前記第 3 の電極と前記第 2 の電極との間の電圧と同じ大きさに設定することを特徴とする請求項 1 ~ 6 のうちのいずれか 1 項に記載の電流ミラー回路。

20

【請求項 8】

前記第 1 の電位は、前記第 1 のトランジスタおよび前記第 2 のトランジスタがともに前記線形領域から動作する大きさに設定されていることを特徴とする請求項 1 ~ 7 のうちのいずれか 1 項に記載の電流ミラー回路。

【請求項 9】

前記第 3 のトランジスタは、カスコード素子として機能することを特徴とする請求項 1 ~ 8 のうちのいずれか 1 項に記載の電流ミラー回路。

30

【請求項 10】

一方の端子が第 1 の電位に接続されているとともに、他方の端子が前記第 1 の電位よりも低電位の第 2 の電位に接続されている第 1 の抵抗素子と、

高電位側の入力端子が前記第 1 の電位および前記第 1 の抵抗素子の前記一方の端子に接続されているオペアンプと、

一方の端子が前記オペアンプの低電位側の入力端子に接続されているとともに、他方の端子が前記第 2 の電位に接続されている第 2 の抵抗素子と、

第 1 の電極が前記オペアンプの出力端子に接続されているとともに、第 2 の電極が前記オペアンプの前記低電位側の入力端子および前記第 2 の抵抗素子の前記一方の端子に接続されており、かつ、第 3 の電極を出力端子とするトランジスタと、

40

を具備してなり、前記第 1 の抵抗素子および前記第 2 の抵抗素子がともに飽和領域よりも低電圧の線形領域から動作することを特徴とする電流ミラー回路。

【請求項 11】

前記トランジスタは、NMOSトランジスタであることを特徴とする請求項 10 に記載の電流ミラー回路。

【請求項 12】

前記第 1 の電極はゲート電極であり、前記第 2 の電極はソース電極であり、かつ、前記第 3 の電極はドレイン電極であることを特徴とする請求項 10 または 11 に記載の電流ミラー回路。

50

【請求項 13】

前記第1の抵抗素子と前記第2の抵抗素子とは、抵抗値が等しいことを特徴とする請求項10～12のうちのいずれか1項に記載の電流ミラー回路。

【請求項 14】

前記第1の電位は電源電位であるとともに、前記第2の電位は接地電位であることを特徴とする請求項10～13のうちのいずれか1項に記載の電流ミラー回路。

【請求項 15】

前記オペアンプおよび前記トランジスタは、前記オペアンプの前記高電位側の入力端子と前記第1の抵抗素子の前記一方の端子および前記第1の電位との接続部における電位を、前記オペアンプの前記低電位側の入力端子と前記第2の抵抗素子の前記一方の端子および前記トランジスタの前記第2の電極との接続部における電位と等しい高さに設定することを特徴とする請求項10～14のうちのいずれか1項に記載の電流ミラー回路。

10

【請求項 16】

前記オペアンプは、前記トランジスタの前記第1の電極に対する電圧値を制御することにより、前記第1の抵抗素子の前記一方の端子における電圧値と前記第2の抵抗素子の前記一方の端子における電圧値とを等しい高さに設定することを特徴とする請求項10～15のうちのいずれか1項に記載の電流ミラー回路。

【請求項 17】

前記オペアンプは、前記第1の抵抗素子の前記一方および前記他方の両端子間の電圧を、前記第2の抵抗素子の前記一方および前記他方の両端子間の電圧と同じ大きさに設定することを特徴とする請求項10～16のうちのいずれか1項に記載の電流ミラー回路。

20

【請求項 18】

前記オペアンプは、前記トランジスタの前記第1の電極に対する電圧値を制御することにより、前記第1の抵抗素子および前記第2の抵抗素子とともに前記線形領域から動作させることを特徴とする請求項10～17のうちのいずれか1項に記載の電流ミラー回路。

【請求項 19】

前記トランジスタは、カスコード素子として機能することを特徴とする請求項10～18のうちのいずれか1項に記載の電流ミラー回路。

【請求項 20】

第1の電極が第1の電位に接続されているとともに、第2の電極が前記第1の電位よりも低電位の第2の電位に接続されている第1のトランジスタと、

30

第1の電極が前記第1の電位および前記第1のトランジスタの前記第1の電極に接続されているとともに、第2の電極が前記第2の電位に接続されている第2のトランジスタと、

高電位側の入力端子が前記第1のトランジスタの前記第3の電極に接続されているとともに、低電位側の入力端子が前記第2のトランジスタの第3の電極に接続されているオペアンプと、

第1の電極が前記オペアンプの出力端子に接続されているとともに、第2の電極が前記オペアンプの前記低電位側の入力端子および前記第2のトランジスタの前記第3の電極に接続されており、かつ、第3の電極を出力端子とする第3のトランジスタと、

40

第1の電極が前記第2の電位に接続されているとともに、第2の電極が前記第1の電位に接続されており、かつ、前記第2の電極が前記第1のトランジスタの前記第1の電極および前記第2のトランジスタの前記第1の電極に接続されており、さらに第3の電極が前記オペアンプの前記高電位側の入力端子および前記第1のトランジスタの前記第3の電極に接続されている第4のトランジスタと、

を具備してなり、前記第1のトランジスタおよび前記第2のトランジスタがともに飽和領域よりも低電圧の線形領域から動作することを特徴とする電流ミラー回路。

【請求項 21】

前記第1～第3の各トランジスタはNMOSトランジスタであるとともに、前記第4のトランジスタはPMOSトランジスタであることを特徴とする請求項20に記載の電流ミ

50

ラー回路。

【請求項 2 2】

前記第 1 の電極はゲート電極であり、前記第 2 の電極はソース電極であり、かつ、前記第 3 の電極はドレイン電極であることを特徴とする請求項 2 0 または 2 1 に記載の電流ミラー回路。

【請求項 2 3】

前記第 1 の電位は電源電位であるとともに、前記第 2 の電位は接地電位であることを特徴とする請求項 2 0 ~ 2 2 のうちのいずれか 1 項 に記載の電流ミラー回路。

【請求項 2 4】

前記オペアンプおよび前記第 3 のトランジスタは、前記オペアンプの前記高電位側の入力端子と前記第 1 のトランジスタの前記第 3 の電極および前記第 4 のトランジスタの前記第 3 の電極との接続部における電位を、前記オペアンプの前記低電位側の入力端子と前記第 2 のトランジスタの前記第 3 の電極および前記第 3 のトランジスタの前記第 2 の電極との接続部における電位と等しい高さに設定することを特徴とする請求項 2 0 ~ 2 3 のうちのいずれか 1 項 に記載の電流ミラー回路。

10

【請求項 2 5】

前記オペアンプは、前記第 3 のトランジスタの前記第 1 の電極に対する電圧値を制御することにより、前記第 1 のトランジスタの前記第 3 の電極における電圧値と前記第 2 のトランジスタの前記第 3 の電極における電圧値とを等しい高さに設定することを特徴とする請求項 2 0 ~ 2 4 のうちのいずれか 1 項 に記載の電流ミラー回路。

20

【請求項 2 6】

前記オペアンプおよび前記第 3 のトランジスタは、前記第 1 のトランジスタの前記第 3 の電極と前記第 2 の電極との間の電圧を、前記第 2 のトランジスタの前記第 3 の電極と前記第 2 の電極との間の電圧と同じ大きさに設定することを特徴とする請求項 2 0 ~ 2 5 のうちのいずれか 1 項 に記載の電流ミラー回路。

【請求項 2 7】

前記第 1 の電位は、前記第 1 のトランジスタおよび前記第 2 のトランジスタがともに前記線形領域から動作する大きさに設定されていることを特徴とする請求項 2 0 ~ 2 6 のうちのいずれか 1 項 に記載の電流ミラー回路。

【請求項 2 8】

前記第 3 のトランジスタは、カスコード素子として機能することを特徴とする請求項 2 0 ~ 2 7 のうちのいずれか 1 項 に記載の電流ミラー回路。

30

【請求項 2 9】

前記第 1 の電位と前記第 1 のトランジスタの前記第 3 の電極との間に前記第 4 のトランジスタを介在させることにより、前記オペアンプの前記高電位側の入力端子と前記第 1 のトランジスタの前記第 3 の電極および前記第 4 のトランジスタの前記第 3 の電極との接続部における電位を下げることを特徴とする請求項 2 0 ~ 2 8 のうちのいずれか 1 項 に記載の電流ミラー回路。

【請求項 3 0】

ゲート同土およびソース同土がそれぞれ同じ電位に接続され、ともに飽和領域よりも低電圧の線形領域から動作する第 1 および第 2 の NMOS トランジスタと、

40

前記第 2 の NMOS トランジスタと直列に接続され、一端が出力端子に接続された第 3 の NMOS トランジスタと、

前記第 1 の NMOS トランジスタのドレインの電圧と前記第 2 の NMOS トランジスタのドレインの電圧とが等しくなるように前記第 3 の NMOS トランジスタのゲートを制御する制御回路と、

を具備することを特徴とする電流ミラー回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本発明は、電流ミラー回路に係り、特に動作電圧の領域を低電圧側に広げられた電流ミラー回路に関する。

【背景技術】

【0002】

電流ミラー回路（カレントミラー回路）のうち、例えばMOSFETを用いる電流ミラー回路では、MOSFETを飽和領域で使用する設定が一般的である。しかし、このような設定では出力電圧の最小許容電圧が高いため、微細化に伴う低電圧化に対応させることが困難である。そこで、近年では、より低い電圧で電流ミラー回路が動作できるように、出力電圧の最小許容電圧を低くする技術が開発されている。例えば、MOSFETの線形領域を使用する電流ミラー回路が幾つか提案されている（例えば非特許文献1参照）。ところが、この非特許文献1に開示されている電流ミラー回路でさえ、1.5 μ mルール以下のプロセスルールでは、低電圧化の要求を十分に満たすのは難しい状況になりつつある。

10

【非特許文献1】O. Charlon, W. Redman-White, "Ultra High-Compliance CMOS Current Mirrors for Low Voltage Charge Pumps and References", Proc. of ESSCIRC 04, pp. 227-230, Leuven (Sept. 2004).

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、回路を構成する素子の一部を飽和領域よりも低電圧の線形領域から動作させることにより、出力電圧の最小許容電圧がより低く設定されている電流ミラー回路を提供することにある。

20

【課題を解決するための手段】

【0004】

前記課題を解決するために、本発明の一態様に係る電流ミラー回路は、第1の電極が第1の電位に接続されているとともに、第2の電極が前記第1の電位よりも低電位の第2の電位に接続されており、かつ、第3の電極が前記第2の電位よりも高電位の第3の電位に接続されている第1のトランジスタと、第1の電極が前記第1の電位および前記第1のトランジスタの前記第1の電極に接続されているとともに、第2の電極が前記第2の電位に接続されている第2のトランジスタと、高電位側の入力端子が前記第3の電位および前記第1のトランジスタの前記第3の電極に接続されており、かつ、低電位側の入力端子が前記第2のトランジスタの第3の電極に接続されているオペアンプと、第1の電極が前記オペアンプの出力端子に接続されているとともに、第2の電極が前記オペアンプの前記低電位側の入力端子および前記第2のトランジスタの前記第3の電極に接続されており、かつ、第3の電極を出力端子とする第3のトランジスタと、を具備してなり、前記第1のトランジスタおよび前記第2のトランジスタがともに飽和領域よりも低電圧の線形領域から動作することを特徴とするものである。

30

【0005】

この電流ミラー回路においては、第1のトランジスタおよび第2のトランジスタのそれぞれの第1の電極に接続されている第1の電位を従来よりも高く設定する。これにより、第1のトランジスタおよび第2のトランジスタをともに飽和領域よりも低電圧の線形領域から動作させて、最小許容電圧を低くすることができる。

40

【0006】

また、前記課題を解決するために、本発明の他の態様に係る電流ミラー回路は、一方の端子が第1の電位に接続されているとともに、他方の端子が前記第1の電位よりも低電位の第2の電位に接続されている第1の抵抗素子と、高電位側の入力端子が前記第1の電位および前記第1の抵抗素子の前記一方の端子に接続されているオペアンプと、一方の端子が前記オペアンプの低電位側の入力端子に接続されているとともに、他方の端子が前記第2の電位に接続されている第2の抵抗素子と、第1の電極が前記オペアンプの出力端子に

50

接続されているとともに、第2の電極が前記オペアンプの前記低電位側の入力端子および前記第2の抵抗素子の前記一方の端子に接続されており、かつ、第3の電極を出力端子とするトランジスタと、を具備してなり、前記第1の抵抗素子および前記第2の抵抗素子とともに飽和領域よりも低電圧の線形領域から動作することを特徴とするものである。

【0007】

この電流ミラー回路においては、トランジスタの代わりに抵抗素子を用いても、抵抗素子を線形領域で動作させることにより最小許容電圧を低くすることができる。

【0008】

また、前記課題を解決するために、本発明のまた他の態様に係る電流ミラー回路は、第1の電極が第1の電位に接続されているとともに、第2の電極が前記第1の電位よりも低電位の第2の電位に接続されている第1のトランジスタと、第1の電極が前記第1の電位および前記第1のトランジスタの前記第1の電極に接続されているとともに、第2の電極が前記第2の電位に接続されている第2のトランジスタと、高電位側の入力端子が前記第1のトランジスタの前記第3の電極に接続されているとともに、低電位側の入力端子が前記第2のトランジスタの第3の電極に接続されているオペアンプと、第1の電極が前記オペアンプの出力端子に接続されているとともに、第2の電極が前記オペアンプの前記低電位側の入力端子および前記第2のトランジスタの前記第3の電極に接続されており、かつ、第3の電極を出力端子とする第3のトランジスタと、第1の電極が前記第2の電位に接続されているとともに、第2の電極が前記第1の電位に接続されており、かつ、前記第2の電極が前記第1のトランジスタの前記第1の電極および前記第2のトランジスタの前記第1の電極に接続されており、さらに第3の電極が前記オペアンプの前記高電位側の入力端子および前記第1のトランジスタの前記第3の電極に接続されている第4のトランジスタと、を具備してなり、前記第1のトランジスタおよび前記第2のトランジスタとともに飽和領域よりも低電圧の線形領域から動作することを特徴とするものである。

【0009】

この電流ミラー回路においては、第1のトランジスタおよび第2のトランジスタとともに飽和領域よりも低電圧の線形領域から動作させるとともに、第1の電位と第1のトランジスタとの間に第4のトランジスタを設けることにより、最小許容電圧を低くすることができる。

【0010】

さらに、前記課題を解決するために、本発明のさらに他の態様に係る電流ミラー回路は、ゲート同士およびソース同士がそれぞれ同じ電位に接続され、ともに飽和領域よりも低電圧の線形領域から動作する第1および第2のNMOSトランジスタと、前記第2のNMOSトランジスタと直列に接続され、一端が出力端子に接続された第3のNMOSトランジスタと、前記第1のNMOSトランジスタのドレインの電圧と前記第2のNMOSトランジスタのドレインの電圧とが等しくなるように前記第3のNMOSトランジスタのゲートを制御する制御回路と、を具備することを特徴とするものである。

【0011】

この電流ミラー回路においては、制御回路により第1のNMOSトランジスタのドレインの電圧と第2のNMOSトランジスタのドレインの電圧とが等しくなるように第3のNMOSトランジスタのゲートの電圧を制御する。これにより、第1および第2のNMOSトランジスタとともに飽和領域よりも低電圧の線形領域から動作させて、最小許容電圧を低くすることができる。

【発明の効果】

【0012】

本発明に係る電流ミラー回路は、回路を構成する素子の一部が飽和領域よりも低電圧の線形領域から動作することができるので、出力電圧の最小許容電圧がより低く設定されている。

【発明を実施するための最良の形態】

【0013】

10

20

30

40

50

以下、本発明に係る各実施形態を図面を参照しつつ説明する。

【0014】

(第1の実施の形態)

先ず、本発明に係る第1実施形態を図1～図4を参照しつつ説明する。図1は、本実施形態に係る電流ミラー回路を示す回路図である。図2は、図1に示す電流ミラー回路の動作シミュレーションに用いたオペアンプを示す回路図である。図3は、図1中X1、Y1、Z1における電圧の値をグラフにして示す図である。図4は、図1に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図である。

【0015】

図1に示すように、本実施形態の電流ミラー回路1は、第1～第3の3個のトランジスタM1、M2、M3および1個のオペアンプ2などから構成されている。第1～第3の各トランジスタM1、M2、M3は、NMOSトランジスタである。

【0016】

第1のNMOSトランジスタM1が有する第1の電極としてのゲート電極M1gは、第1の電位として従来よりも高電位な基準電位Vrefに電氣的に接続されている。また、第1のNMOSトランジスタM1が有する第2の電極としてのソース電極M1sは、第1の電位よりも低電位の第2の電位に電氣的に接続されている。具体的には、第1のNMOSトランジスタM1のソース電極M1sは接地されている。そして、第1のNMOSトランジスタM1が有する第3の電極としてのドレイン電極M1dは、第2の電位よりも高電位の第3の電位に電氣的に接続されている。具体的には、第1のNMOSトランジスタM1のドレイン電極M1dは、電源電位Vddに電氣的に接続されている。より具体的には、図1に示すように、第1のNMOSトランジスタM1のドレイン電極M1dには、電源安定化回路を介して電源電位Vddが供給されている。さらに、第1のNMOSトランジスタM1のドレイン電極M1dは、後述するオペアンプ2が有する高電位側(+側)の入力端子2in⁺に電氣的に接続されている。

【0017】

また、第2のNMOSトランジスタM2が有する第1の電極としてのゲート電極M2gは、第1の電位として従来よりも高電位な基準電位Vrefに電氣的に接続されている。それとともに、第2のNMOSトランジスタM2のゲート電極M2gは、第1のNMOSトランジスタM1のゲート電極M1gに電氣的に接続されている。また、第2のNMOSトランジスタM2が有する第2の電極としてのソース電極M2sは、第1の電位よりも低電位の第2の電位に電氣的に接続されている。具体的には、第2のNMOSトランジスタM2のソース電極M2sは接地されている。そして、第2のNMOSトランジスタM2が有する第3の電極としてのドレイン電極M2dは、後述する第3のNMOSトランジスタM3が有する第2の電極としてのソース電極M3sに電氣的に接続されている。それとともに、第2のNMOSトランジスタM2のドレイン電極M2dは、後述するオペアンプ2が有する低電位側(-側)の入力端子2in⁻に電氣的に接続されている。

【0018】

また、第3のNMOSトランジスタM3が有する第1の電極としてのゲート電極M3gは、後述するオペアンプ2が有する出力端子2outに電氣的に接続されている。また、第3のNMOSトランジスタM3が有する第2の電極としてのソース電極M3sは、オペアンプ2が有する低電位側の入力端子2in⁻に電氣的に接続されている。それとともに、第3のNMOSトランジスタM3のソース電極M3sは、前述したように第2のNMOSトランジスタM2のドレイン電極M2dに電氣的に接続されている。そして、第3のNMOSトランジスタM3が有する第3の電極としてのドレイン電極M3dは、出力端子として設定されている。図1に示すように、第3のNMOSトランジスタM3のドレイン電極M3dから出力される電圧の値をVoutとする。

【0019】

オペアンプ2の高電位側の入力端子2in⁺には、第3の電位としての電源電位Vddに電氣的に接続されている。それとともに、オペアンプ2の高電位側の入力端子2in⁺は、

10

20

30

40

50

前述したように第1のNMOSトランジスタM1のドレイン電極M1dに電氣的に接続されている。また、オペアンプ2の低電位側の入力端子2in⁻は、前述したように第2のNMOSトランジスタM2のドレイン電極M2dおよび第3のNMOSトランジスタM3のソース電極M3sに電氣的に接続されている。そして、オペアンプ2が有する出力端子2outは、前述したように第3のNMOSトランジスタM3のゲート電極M3gに電氣的に接続されている。図2には、オペアンプ2の詳細な回路図を示す。なお、このオペアンプ2は、第1のNMOSトランジスタM1のドレイン電極M1dの電圧値と第2のNMOSトランジスタM2のドレイン電極M2dの電圧値とが等しくなるように第3のNMOSトランジスタM3のゲート電極M3gの電圧値を制御する制御回路として機能する。

【0020】

前述したように、第1のNMOSトランジスタM1のゲート電極M1gおよび第2のNMOSトランジスタM2のゲート電極M2gをともに第1のNMOSトランジスタM1のゲート電極M1gおよび第2のNMOSトランジスタM2が線形領域で動作する電圧である基準電位V_{ref}に電氣的に接続する。これにより、第1のNMOSトランジスタM1および第2のNMOSトランジスタM2をともに線形領域で作動させる。また、オペアンプ2により、第1のNMOSトランジスタM1のドレイン-ソース間の電圧V_{ds1}を第2のNMOSトランジスタM2のドレイン-ソース間の電圧V_{ds2}と略同じ大きさに設定する。それとともに、カスコード素子として第3のNMOSトランジスタM3を設ける。これらにより、チャネル長変調効果による入出力電流間の誤差を殆ど無くすることができる。さらに、基準電位V_{ref}を、例えば約2.5Vという従来に比べて非常に高い値に設定することにより、第1のNMOSトランジスタM1および第2のNMOSトランジスタM2をともに深い線形領域で動作させることができる。

【0021】

また、図1に示すように、オペアンプ2の高電位側の入力端子2in⁺と第1のNMOSトランジスタM1のドレイン電極M1dとの接続部のノードをX1とする。それとともに、オペアンプ2の低電位側の入力端子2in⁻と第2のNMOSトランジスタM2のドレイン電極M2dおよび第3のNMOSトランジスタM3のソース電極M3sとの接続部のノードをY1とする。前述した構成からなる電流ミラー回路1においては、X1における電圧V_{X1}とY1における電圧V_{Y1}とを略等しい高さに設定するように、オペアンプ2および第3のNMOSトランジスタM3が動作するので、基準電流I_{ref}の大きさに応じて出力電流I_{out}の大きさが変化するようになる。例えば、X1における電圧V_{X1}とY1における電圧V_{Y1}とを略等しい電圧値になると、出力電流I_{out}の大きさは基準電流I_{ref}の大きさと略等しくなる。したがって、図3に示すように、電流ミラー回路1の出力電圧V_{out}が約0.18V以上の範囲では、V_{X1}とV_{Y1}とが略同じ大きさになる。また、電流ミラー回路1の出力電圧V_{out}が約0.45V以上の場合には、オペアンプ2の出力電圧V_{Z1}が安定する。

【0022】

さらに、図4に示すように、前述した構成からなる電流ミラー回路1においては、図4中L1で示す線形領域の幅が、電流ミラー回路1の出力電圧V_{out}に換算して0V~約0.14Vまでと非常に狭くなっている。すなわち、電流ミラー回路1の最小許容電圧は従来の電流ミラー回路よりも大幅に低く設定されている。

【0023】

ここで、図5~図7を参照しつつ、本実施形態に対する比較例としての従来技術に係る電流ミラー回路とその動作状態について簡潔に説明する。図5は、本実施形態に対する比較例としての前記非特許文献1にある従来技術に係る電流ミラー回路を示す回路図である。図6は、図5中X101、Y101、Z101における電圧の値をグラフにして示す図である。図7は、図5に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図である。

【0024】

図5に示す電流ミラー回路101は、ハイ・コンプライアンス・レギュレーテッド・カ

10

20

30

40

50

スコード・カレント・ミラー回路 (High Compliance Regulated Cascode Current Mirror Circuit) と呼ばれる電流ミラー回路であり、従来では最小許容電圧が最も低く抑えられている電流ミラー回路の一つである。この電流ミラー回路 101 は、第 1 のトランジスタ M101 および第 2 のトランジスタ M102 のそれぞれのゲート・ソース間電圧のみならず、ドレイン・ソース間電圧も略等しい大きさに設定することにより、第 1 のトランジスタ M101 および第 2 のトランジスタ M102 を線形領域で動作させることを狙ってなされたものである。なお、この電流ミラー回路 101 が備える第 1 ~ 第 4 の 4 個のトランジスタは、すべて NMOS トランジスタである。

【0025】

図 5 に示す回路構成によれば、第 1 のトランジスタ M101 のゲート電圧は第 2 のトランジスタ M102 のゲート電圧と略等しい。ここで、オペアンプ 102 の高電位側の入力端子 102 in^+ と第 1 の NMOS トランジスタ M101 のドレイン電極 M101d との接続部のノードを X101 とする。それとともに、オペアンプ 102 の低電位側の入力端子 102 in^- と第 2 の NMOS トランジスタ M102 のドレイン電極 M102d および第 3 の NMOS トランジスタ M103 のソース電極 M103s との接続部のノードを Y101 とする。そして、図 5 に示すように、電源電位 Vdd と第 1 のトランジスタ M101 のドレイン電極 M101d との間に第 4 のトランジスタ M104 を設ける。これにより、ノード X101 における電圧 V_{X101} が下がる。この結果、第 1 の NMOS トランジスタ M101 を線形領域で動作させることができる。また、オペアンプ 102 により、第 1 のトランジスタ M101 のドレイン電圧と第 2 のトランジスタ M102 のドレイン電圧とが略等しくなる。この結果、第 1 の NMOS トランジスタ M101 のみならず、第 2 の NMOS トランジスタ M102 も線形領域で動作させることができる。すなわち、電流ミラー回路 101 の最小許容電圧を低くすることができる。

【0026】

ところが、図 6 に示すように、電流ミラー回路 101 においては、その出力電圧 V_{out} を約 0.22 V 以上でなければ、 V_{X101} と V_{Y101} とが略同じ大きさにならない。また、電流ミラー回路 101 の出力電圧 V_{out} を約 0.5 V 以上でなければ、オペアンプ 2 の出力電圧 V_{Z101} が安定しない。

【0027】

また、図 7 に示すように、電流ミラー回路 101 においては、図 7 中 L101 で示す線形領域の幅が、電流ミラー回路 1 の出力電圧 V_{out} に換算して 0 V ~ 約 0.25 V までとなっている。すなわち、電流ミラー回路 101 の最小許容電圧は、前述した本実施形態に係る電流ミラー回路 1 の最小許容電圧に比べて、約 0.11 V も高くなっている。

【0028】

以上説明したように、この第 1 実施形態に係る電流ミラー回路 1 では、第 1 の NMOS トランジスタ M1 および第 2 の NMOS トランジスタ M2 の各ゲート電極 M1g, M2g に従来よりも高いゲート電圧が印加されるので、第 1 の NMOS トランジスタ M1 および第 2 の NMOS トランジスタ M2 をともに深い線形領域で動作させて、出力電圧の最小許容電圧をより低く設定することができる。すなわち、電流ミラー回路 1 は従来よりも低い電圧で動作することができ、省電力である。この結果、電池や小型のバッテリー等で動作する各種の小型 (携帯型) 電子機器に電流ミラー回路 1 を組み込めば、それら小型電子機器の動作電圧をより低い電圧値に設定しても安定して使用できるようになる。ひいては、電流ミラー回路 1 が組み込まれた小型電子機器の動作時間を飛躍的に延ばすことができる。また、第 1 の NMOS トランジスタ M1 と第 2 の NMOS トランジスタ M2 との間におけるチャネル長変調効果による入出力電流間の誤差を殆ど無くすることができる。

【0029】

(第 2 の実施の形態)

次に、本発明に係る第 2 実施形態を図 8 ~ 図 10 を参照しつつ説明する。図 8 は、本実施形態に係る電流ミラー回路を示す回路図である。図 9 は、図 8 中 X2、Y2、Z2 にお

10

20

30

40

50

ける電圧の値をグラフにして示す図である。図10は、図8に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図である。なお、前述した第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0030】

本実施形態は、前述した第1実施形態の電流ミラー回路1が備える第1のNMOSトランジスタM1および第2のNMOSトランジスタM2の代わりに、線形素子の1種である抵抗素子を用いて電流ミラー回路を構成したものである。以下、詳しく説明する。

【0031】

図8に示すように、本実施形態の電流ミラー回路11は、第1および第2の2個の抵抗素子R1、R2、トランジスタM3、および1個のオペアンプ2などから構成されている。なお、トランジスタM3は、前述した第1実施形態の電流ミラー回路1における第3のNMOSトランジスタM3と同等である。したがって、以下の説明においては、トランジスタM3を第3のNMOSトランジスタM3と称することとする。

【0032】

第1の抵抗素子R1が有する一方の端子は、第1の電位としての電源電位V_{dd}に電氣的に接続されている。それとともに、第1の抵抗素子R1の一方の端子は、オペアンプ2が有する高電位側の入力端子2in⁺に電氣的に接続されている。第1の抵抗素子R1が有する他方の端子は、第1の電位よりも低電位の第2の電位に電氣的に接続されている。具体的には、第1の抵抗素子R1の他方の端子は接地されている。

【0033】

また、第2の抵抗素子R2が有する一方の端子は、オペアンプ2が有する低電位側の入力端子2in⁻に電氣的に接続されている。それとともに、第2の抵抗素子R2の一方の端子は、第3のNMOSトランジスタM3のソース電極M3sに電氣的に接続されている。また、第2の抵抗素子R2が有する他方の端子は、第1の抵抗素子R1の他方の端子と同様に、接地されている。

【0034】

また、第3のNMOSトランジスタM3が有する第1の電極としてのゲート電極M3gは、オペアンプ2が有する出力端子2outに電氣的に接続されている。また、第3のNMOSトランジスタM3が有する第2の電極としてのソース電極M3sは、オペアンプ2が有する低電位側の入力端子2in⁻に電氣的に接続されている。それとともに、第3のNMOSトランジスタM3のソース電極M3sは、第2の抵抗素子の一方の端子に電氣的に接続されている。そして、第3のNMOSトランジスタM3が有する第3の電極としてのドレイン電極M3dは、出力端子として設定されている。

【0035】

さらに、オペアンプ2の高電位側の入力端子2in⁺は、第1の電位としての電源電位V_{dd}に電氣的に接続されている。それとともに、オペアンプ2の高電位側の入力端子2in⁺は、前述したように第1の抵抗素子R1の一方の端子に電氣的に接続されている。また、オペアンプ2の低電位側の入力端子2in⁻は、前述したように第2の抵抗素子R2の一方の端子および第3のNMOSトランジスタM3のソース電極M3sに電氣的に接続されている。そして、オペアンプ2が有する出力端子2outは、前述したように第3のNMOSトランジスタM3のゲート電極M3gに電氣的に接続されている。

【0036】

本実施形態において、第1の抵抗素子R1の抵抗値と第2の抵抗素子R2の抵抗値とを略同じ大きさに設定する。例えば、第1の抵抗素子R1の抵抗値および第2の抵抗素子R2の抵抗値を、それぞれ約1kΩに設定する。なお、第1の抵抗素子R1の抵抗値および第2の抵抗素子R2の抵抗値はともに小さい方が良いが、小さ過ぎると飽和領域での勾配（傾き）が大きくなるので、約1kΩが好ましい。それとともに、オペアンプ2により、第1の抵抗素子R1の両端子間の電圧と第2の抵抗素子R2の両端子間の電圧とを略同じ大きさに設定する。また、図8に示すように、オペアンプ2の高電位側の入力端子2in⁺と第1の抵抗素子の一方の端子との接続部のノードをX2とする。それとともに、オペア

10

20

30

40

50

ンプ2の低電位側の入力端子 $2in^-$ と第2の抵抗素子の一方の端子および第3のトランジスタM3のソース電極M3sとの接続部のノードをY2とする。

【0037】

前述した構成からなる電流ミラー回路11においては、X2における電圧 V_{X2} とY2における電圧 V_{Y2} とを略等しい高さに設定することにより、基準電流 I_{ref} の大きさが出力電流 I_{out} の大きさと略等しくなる。図9に示すように、前述した第1実施形態の電流ミラー回路1と同様に電流ミラー回路11の出力電圧 V_{out} が約0.18V以上になると、 V_{X2} と V_{Y2} とが略同じ大きさになる。また、前述した第1実施形態の電流ミラー回路1と同様に電流ミラー回路11の出力電圧 V_{out} が約0.45V以上になると、オペアンプ2の出力電圧 V_{Z2} が安定する。

10

【0038】

さらに、図10に示すように、前述した構成からなる電流ミラー回路11においては、図10中L2で示す線形領域の幅が、電流ミラー回路11の出力電圧 V_{out} に換算して0V~約0.18Vまでと、前述した第1実施形態の電流ミラー回路1と同程度に狭くなっている。すなわち、電流ミラー回路11の最小許容電圧は従来の電流ミラー回路よりも大幅に低く設定されている。また、図10に示すように、本実施形態の電流ミラー回路11は、前述した第1実施形態の電流ミラー回路1に比べて飽和領域における電流のコピー精度が向上されている。

【0039】

以上説明したように、この第2実施形態の電流ミラー回路11によれば、前述した第1実施形態の電流ミラー回路1において線形領域で使用される第1のNMOSトランジスタM1および第2のNMOSトランジスタM2の代わりに、線形素子の一種である第1の抵抗素子R1および第2の抵抗素子R2を用いても第1実施形態の電流ミラー回路1と同様の効果を得ることができる。また、第1実施形態の電流ミラー回路1が備える第1のNMOSトランジスタM1および第2のNMOSトランジスタM2の代わりに、第1の抵抗素子R1および第2の抵抗素子R2を用いることにより、チャネル長変調効果による入出力電流間の誤差が生じない。さらに、本実施形態の電流ミラー回路11は、第1実施形態の電流ミラー回路1に比べて飽和領域における電流のコピー精度が向上されている。

20

【0040】

(第3の実施の形態)

次に、本発明に係る第3実施形態を図11~図13を参照しつつ説明する。図11は、本実施形態に係る電流ミラー回路を示す回路図である。図12は、図11中X3、Y3、Z3における電圧の値をグラフにして示す図である。図13は、図11に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図である。なお、前述した第1および第2の各実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

30

【0041】

本実施形態は、前述した第1実施形態の電流ミラー回路1が備える第1~第3のNMOSトランジスタM1、M2、M3に加えて、さらに第4のトランジスタM4を設けて電流ミラー回路を構成したものである。以下、詳しく説明する。

40

【0042】

図11に示すように、本実施形態の電流ミラー回路21は、第1~第4の4個のトランジスタM1、M2、M3、M4および1個のオペアンプ2などから構成されている。ただし、第4のトランジスタM4だけがPMOSトランジスタであり、他の第1~第3の各トランジスタM1、M2、M3はNMOSトランジスタである。

【0043】

第1のNMOSトランジスタM1が有する第1の電極としてのゲート電極M1gは、第1の電位としての電源電位 V_{dd} に電氣的に接続されている。それとともに、第1のNMOSトランジスタM1のゲート電極M1gは、後述する第4のPMOSトランジスタM4が有する第2の電極としてのソース電極M4sに電氣的に接続されている。また、第1の

50

NMOSトランジスタM1が有する第2の電極としてのソース電極M1sは、第1の電位よりも低電位の第2の電位に電氣的に接続されている。具体的には、第1のNMOSトランジスタM1のソース電極M1sは接地されている。そして、第1のNMOSトランジスタM1が有する第3の電極としてのドレイン電極M1dは、オペアンプ2が有する高電位側の入力端子2in⁺に電氣的に接続されている。それとともに、第1のNMOSトランジスタM1のドレイン電極M1dは、後述する第4のPMOSトランジスタM4が有する第3の電極としてのドレイン電極M4dに電氣的に接続されている。

【0044】

また、第2のNMOSトランジスタM2が有する第1の電極としてのゲート電極M2gは、第1の電位としての電源電位V_{dd}に電氣的に接続されている。それとともに、第2のNMOSトランジスタM2のゲート電極M2gは、第1のNMOSトランジスタM1のゲート電極M1gに電氣的に接続されている。さらに、第2のNMOSトランジスタM2のゲート電極M2gは、後述する第4のPMOSトランジスタM4が有する第2の電極としてのソース電極M4sに電氣的に接続されている。また、第2のNMOSトランジスタM2が有する第2の電極としてのソース電極M2sは、第1の電位よりも低電位の第2の電位に電氣的に接続されている。具体的には、第2のNMOSトランジスタM2のソース電極M2sは接地されている。そして、第2のNMOSトランジスタM2が有する第3の電極としてのドレイン電極M2dは、オペアンプ2が有する低電位側の入力端子2in⁻に電氣的に接続されている。それとともに、第2のNMOSトランジスタM2のドレイン電極M2dは、第3のNMOSトランジスタM3が有する第2の電極としてのソース電極M3sに電氣的に接続されている。

【0045】

また、第3のNMOSトランジスタM3が有する第1の電極としてのゲート電極M3gは、オペアンプ2が有する出力端子2outに電氣的に接続されている。また、第3のNMOSトランジスタM3が有する第2の電極としてのソース電極M3sは、オペアンプ2が有する低電位側の入力端子2in⁻に電氣的に接続されている。それとともに、第3のNMOSトランジスタM3のソース電極M3sは、前述したように第2のNMOSトランジスタM2のドレイン電極M2dに電氣的に接続されている。そして、第3のNMOSトランジスタM3が有する第3の電極としてのドレイン電極M3dは、出力端子として設定されている。

【0046】

また、第4のPMOSトランジスタM4が有する第1の電極としてのゲート電極M4gは、第2の電位に電氣的に接続されている。具体的には、第4のPMOSトランジスタM4のゲート電極M4gは接地されている。また、第4のPMOSトランジスタM4が有する第2の電極としてのソース電極M4sは、第1の電位としての電源電位V_{dd}に電氣的に接続されている。それとともに、第4のPMOSトランジスタM4のソース電極M4sは、前述したように第1のNMOSトランジスタM1のゲート電極M1gおよび第2のNMOSトランジスタM2のゲート電極M2gに電氣的に接続されている。そして、第4のPMOSトランジスタM4が有する第3の電極としてのドレイン電極M4dは、オペアンプ2が有する高電位側の入力端子2in⁺に電氣的に接続されている。それとともに、第4のPMOSトランジスタM4のドレイン電極M4dは、前述したように第1のNMOSトランジスタM1のドレイン電極M1dに電氣的に接続されている。

【0047】

さらに、オペアンプ2の高電位側の入力端子2in⁺は、前述したように第1のNMOSトランジスタM1のドレイン電極M1dおよび第4のPMOSトランジスタM4のドレイン電極M4dに電氣的に接続されている。また、オペアンプ2の低電位側の入力端子2in⁻は、前述したように第2のNMOSトランジスタM2のドレイン電極M2dおよび第3のNMOSトランジスタM3のソース電極M3sに電氣的に接続されている。そして、オペアンプ2の出力端子2outは、前述したように第3のNMOSトランジスタM3のゲート電極M3gに電氣的に接続されている。

【 0 0 4 8 】

前述したように、第 1 の N M O S トランジスタ M 1 のゲート電極 M 1 g および第 2 の N M O S トランジスタ M 2 のゲート電極 M 2 g をともに電源電位 V d d に電氣的に接続する。これにより、第 1 の N M O S トランジスタ M 1 および第 2 の N M O S トランジスタ M 2 をともに線形領域で作動させる。また、オペアンプ 2 および第 3 の N M O S トランジスタ M 3 により、第 1 の N M O S トランジスタ M 1 のドレイン - ソース間の電圧 V d s 1 を第 2 の N M O S トランジスタ M 2 のドレイン - ソース間の電圧 V d s 2 と略同じ大きさに設定する。それとともに、カスコード素子として第 3 の N M O S トランジスタ M 3 を設ける。これらにより、チャネル長変調効果による入出力電流間の誤差を殆ど無くすることができる。

10

【 0 0 4 9 】

また、図 1 1 に示すように、オペアンプ 2 の高電位側の入力端子 2 i n + と第 1 の N M O S トランジスタ M 1 のゲート電極 M 1 g および第 4 の P M O S トランジスタ M 4 のドレイン電極 M 4 d との接続部のノードを X 3 とする。それとともに、オペアンプ 2 の低電位側の入力端子 2 i n - と第 2 の N M O S トランジスタ M 2 のドレイン電極 M 2 d および第 3 の N M O S トランジスタ M 3 のソース電極 M 3 s との接続部のノードを Y 3 とする。前述した構成からなる電流ミラー回路 2 1 においては、X 3 における電圧 V x 3 と Y 3 における電圧 V y 3 とが略等しい電圧値となることにより、基準電流 I r e f の大きさが出力電流 I o u t の大きさと略等しくなる。図 1 2 に示すように、前述した第 1 および第 2 の各実施形態の電流ミラー回路 1 , 1 1 と同様に電流ミラー回路 2 1 の出力電圧 V o u t を約 0 . 1 8 V 以上になると、V x 3 と V y 3 とが略同じ大きさになる。また、前述した第 1 および第 2 の各実施形態の電流ミラー回路 1 , 1 1 と同様に電流ミラー回路 2 1 の出力電圧 V o u t を約 0 . 4 5 V 以上になると、オペアンプ 2 の出力電圧 V z 3 が安定する。

20

【 0 0 5 0 】

さらに、図 1 3 に示すように、前述した構成からなる電流ミラー回路 2 1 においては、図 1 3 中 L 3 で示す線形領域の幅が、電流ミラー回路 2 1 の出力電圧 V o u t に換算して 0 V ~ 約 0 . 1 8 V までと、前述した第 1 および第 2 の各実施形態の電流ミラー回路 1 , 1 1 と同程度に狭くなっている。すなわち、電流ミラー回路 2 1 の最小許容電圧は従来の電流ミラー回路よりも大幅に低く設定されている。また、図 1 3 に示すように、本実施形態の電流ミラー回路 2 1 は、前述した第 2 実施形態の電流ミラー回路 1 1 と同様に、前述した第 1 実施形態の電流ミラー回路 1 に比べて飽和領域における電流のコピー精度が向上されている。

30

【 0 0 5 1 】

以上説明したように、この第 3 実施形態によれば、前述した第 1 および第 2 の各実施形態と同様の効果を得ることができる。また、電源電位 V d d と第 1 の N M O S トランジスタ M 1 のドレイン電極 M 1 d との間に第 4 のトランジスタ M 4 を介在させることにより、ノード X 3 における電位を下げることができる。特に、第 4 のトランジスタ M 4 に P M O S トランジスタを用い、かつ、そのゲート電圧を接地電位 (G N D) とすることにより、第 4 のトランジスタ M 4 が N M O S トランジスタからなる前述した第 1 実施形態に対する比較例としての従来技術に係る電流ミラー回路 1 0 1 に比べて最小許容電圧をより低く設定することができる。

40

【 0 0 5 2 】

なお、本発明に係る電流ミラー回路は、前述した第 1 ~ 第 3 の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成や設定などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

【 0 0 5 3 】

例えば、第 1 ~ 第 3 の各トランジスタ M 1 , M 2 , M 3 を、N M O S ではなく P M O S を用いて構成するとともに、オペアンプ 2 を P M O S トランジスタを差動対とする構成と

50

してもよい。この場合、第1～第3の各トランジスタM1, M2, M3の各電極に接続される電位の高低の関係を適宜、適正に設定することにより、前述した第1～第3の各実施形態に係る電流ミラー回路1, 11, 21と同様の効果を得ることができる。また、カスコード素子としての第3のトランジスタM3を始めとして、第1～第4の各トランジスタM1, M2, M3, M4を、MOSFETの代わりにバイポーラトランジスタを用いて構成しても構わない。

【0054】

さらに、前述した第1～第3の各実施形態に係る電流ミラー回路1, 11, 21を電流源として用いて、オペアンプやデジタル/アナログコンバータ(DAC)、さらには携帯可能な各種の小型電子機器を構成したりしても構わない。電流ミラー回路1, 11, 21は最小許容電圧が低く、かつ、低電圧でも動作が安定しているため、より安定した電流源として機能することができる。また、低電圧で動作可能であるとともに、動作時間を飛躍的に延ばすこともできる。したがって、電流ミラー回路1, 11, 21を電流源として用いて構成されたオペアンプやデジタル/アナログコンバータ(DAC)は、動作が安定しているとともに、省電力、小エネルギー、かつ、高性能である。

【図面の簡単な説明】

【0055】

【図1】第1実施形態に係る電流ミラー回路を示す回路図。

【図2】図1に示す電流ミラー回路の動作シミュレーションに用いたオペアンプを示す回路図。

【図3】図1中X1, Y1, Z1における電圧の値をグラフにして示す図。

【図4】図1に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図。

【図5】第1実施形態に対する比較例としての従来技術に係る電流ミラー回路を示す回路図。

【図6】図5中XP, YP, ZPにおける電圧の値をグラフにして示す図。

【図7】図5に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図。

【図8】第2実施形態に係る電流ミラー回路を示す回路図。

【図9】図8中X2, Y2, Z2における電圧の値をグラフにして示す図。

【図10】図8に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図。

【図11】第3実施形態に係る電流ミラー回路を示す回路図。

【図12】図11中X3, Y3, Z3における電圧の値をグラフにして示す図。

【図13】図11に示す電流ミラー回路における出力電圧に対する出力電流の特性をグラフにして示す図。

【符号の説明】

【0056】

1, 11, 21 ... 電流ミラー回路

2 ... オペアンプ(制御回路)

2 in⁺ ... オペアンプの高電位側の入力端子

2 in⁻ ... オペアンプの低電位側の入力端子

2 out ... オペアンプの出力端子

M1 ... 第1のNMOSトランジスタ(第1のトランジスタ)

M1g ... 第1のNMOSトランジスタのゲート電極(第1のトランジスタの第1の電極)

M1s ... 第1のNMOSトランジスタのソース電極(第1のトランジスタの第2の電極)

M1d ... 第1のNMOSトランジスタのドレイン電極(第1のトランジスタの第3の電極)

M2 ... 第2のNMOSトランジスタ(第2のトランジスタ)

M2g ... 第2のNMOSトランジスタのゲート電極(第2のトランジスタの第1の電極)

10

20

30

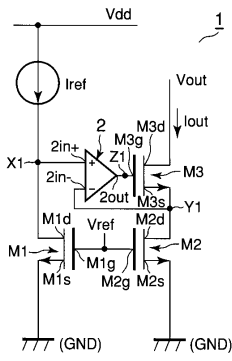
40

50

- M 2 s ... 第 2 の N M O S トランジスタのソース電極 (第 2 のトランジスタの第 2 の電極)
- M 2 d ... 第 2 の N M O S トランジスタのドレイン電極 (第 2 のトランジスタの第 3 の電極)
- M 3 ... 第 3 の N M O S トランジスタ (第 3 のトランジスタ)
- M 3 g ... 第 3 の N M O S トランジスタのゲート電極 (第 3 のトランジスタの第 1 の電極)
- M 3 s ... 第 3 の N M O S トランジスタのソース電極 (第 3 のトランジスタの第 2 の電極)
- M 3 d ... 第 3 の N M O S トランジスタのドレイン電極 (第 3 のトランジスタの第 3 の電極)
- M 4 ... 第 4 の P M O S トランジスタ (第 4 のトランジスタ)
- M 4 g ... 第 4 の P M O S トランジスタのゲート電極 (第 4 のトランジスタの第 1 の電極) 10
- M 4 s ... 第 4 の P M O S トランジスタのソース電極 (第 4 のトランジスタの第 2 の電極)
- M 4 d ... 第 4 の P M O S トランジスタのドレイン電極 (第 4 のトランジスタの第 3 の電極)
- R 1 ... 第 1 の抵抗素子
- R 2 ... 第 2 の抵抗素子
- X 1 ... オペアンプの高電位側の入力端子と第 1 の N M O S トランジスタのドレイン電極との接続部のノード (オペアンプの高電位側の入力端子と第 1 のトランジスタの第 3 の電極との接続部)
- Y 1 ... オペアンプの低電位側の入力端子と第 2 の N M O S トランジスタのドレイン電極および第 3 の N M O S トランジスタのソース電極との接続部のノード (オペアンプの低電位側の入力端子と第 2 のトランジスタの第 3 の電極および第 3 のトランジスタの第 2 の電極との接続部) 20
- X 2 ... オペアンプの高電位側の入力端子と第 1 の抵抗素子の一方の端子との接続部のノード (オペアンプの高電位側の入力端子と第 1 の抵抗素子の一方の端子との接続部)
- Y 2 ... オペアンプの低電位側の入力端子と第 2 の抵抗素子の一方の端子および第 3 のトランジスタ M 3 のソース電極との接続部のノード (オペアンプの低電位側の入力端子と第 2 の抵抗素子の一方の端子および第 3 のトランジスタの第 2 の電極との接続部)
- X 3 ... オペアンプの高電位側の入力端子と第 1 の N M O S トランジスタのゲート電極および第 4 の P M O S トランジスタのドレイン電極との接続部のノード (オペアンプの高電位側の入力端子と第 1 のトランジスタの第 3 の電極および第 4 のトランジスタの第 3 の電極との接続部) 30
- Y 3 ... オペアンプの低電位側の入力端子と第 2 の N M O S トランジスタのドレイン電極および第 3 の N M O S トランジスタのソース電極との接続部のノード (オペアンプの低電位側の入力端子と第 2 のトランジスタの第 3 の電極および第 3 のトランジスタの第 2 の電極との接続部)
- V ref ... 基準電位 (第 1 の電位)
- G N D ... 接地電位 (第 2 の電位)
- V dd ... 電源電位 (第 3 の電位、第 1 の電位)

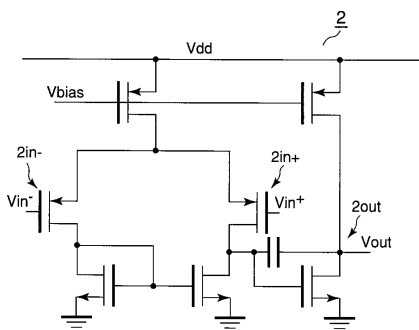
【 図 1 】

図 1



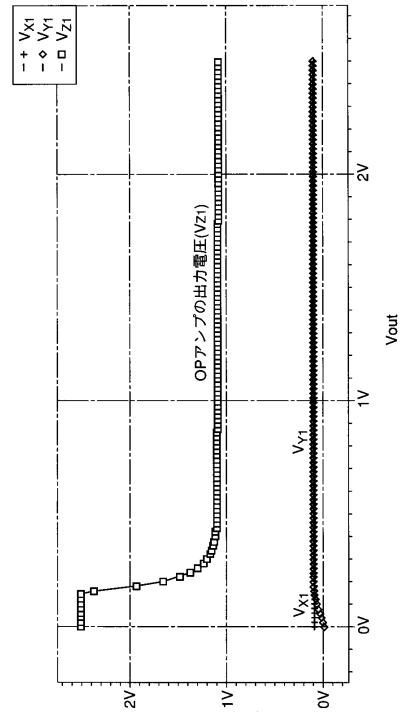
【 図 2 】

図 2



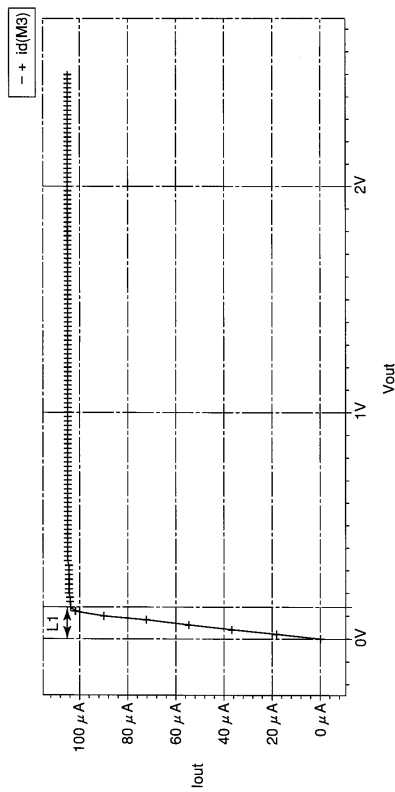
【 図 3 】

図 3



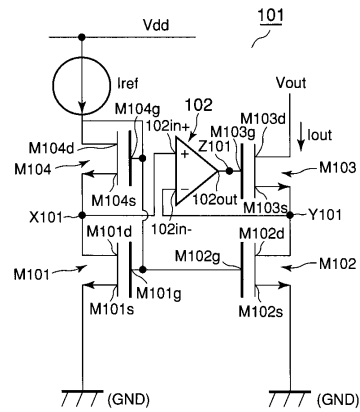
【 図 4 】

図 4



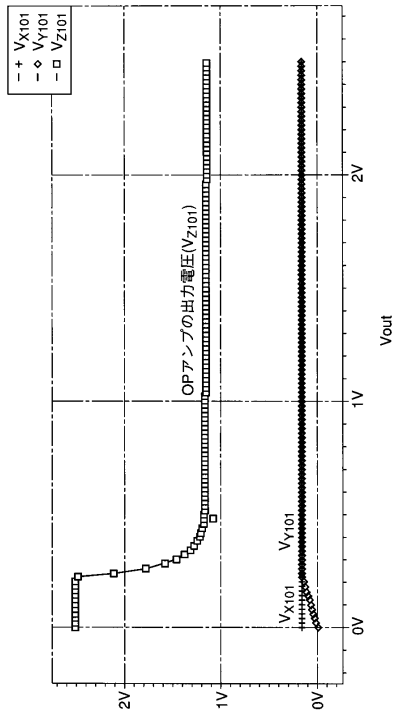
【 図 5 】

図 5



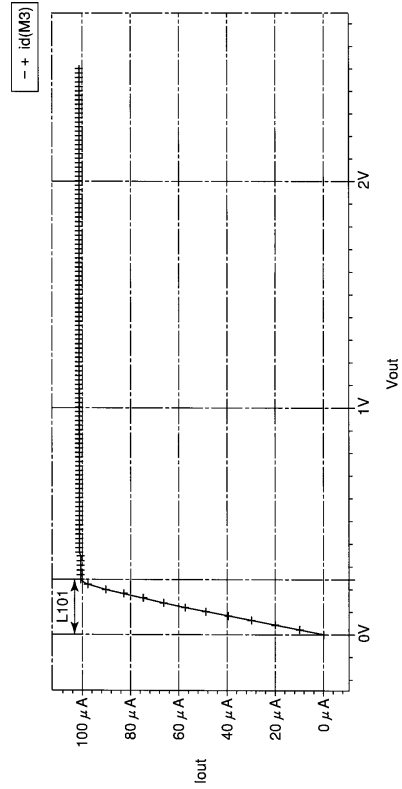
【 図 6 】

図 6



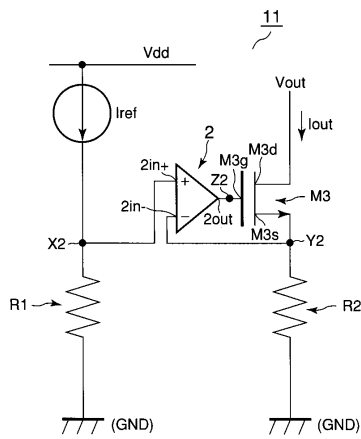
【 図 7 】

図 7



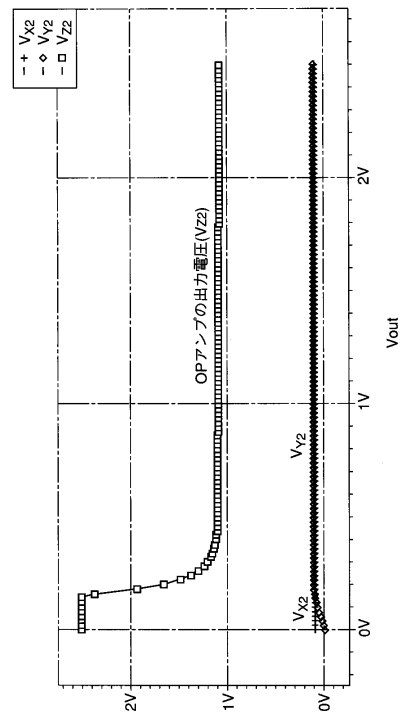
【 図 8 】

図 8



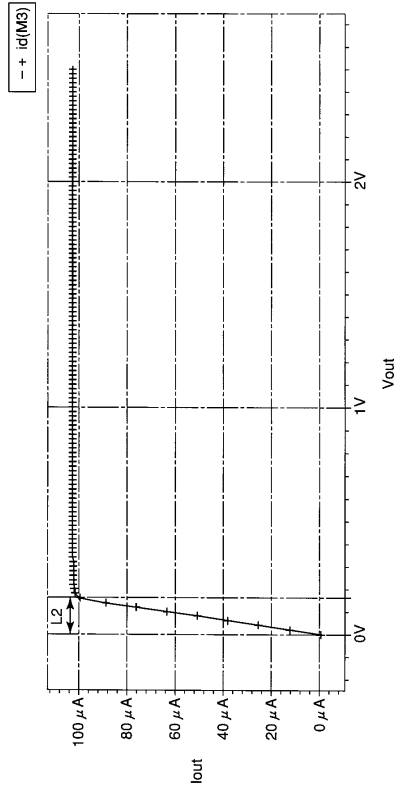
【 図 9 】

図 9



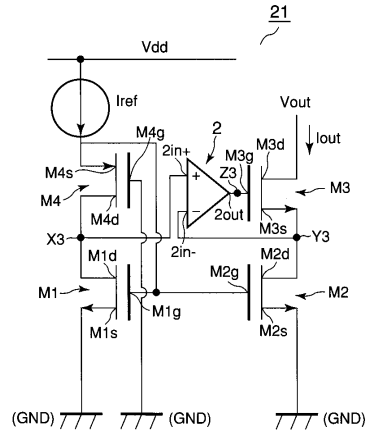
【図 10】

図 10



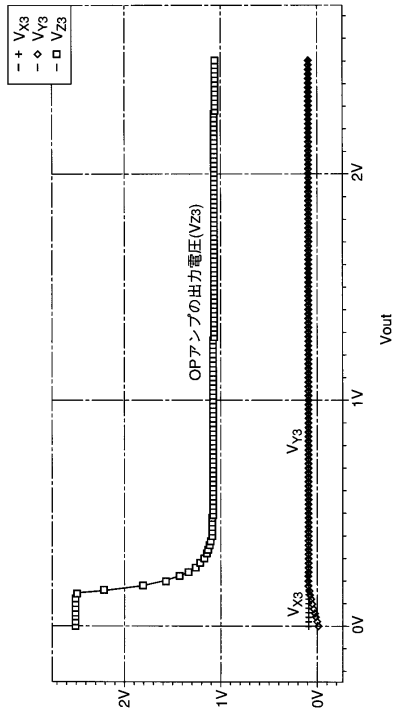
【図 11】

図 11



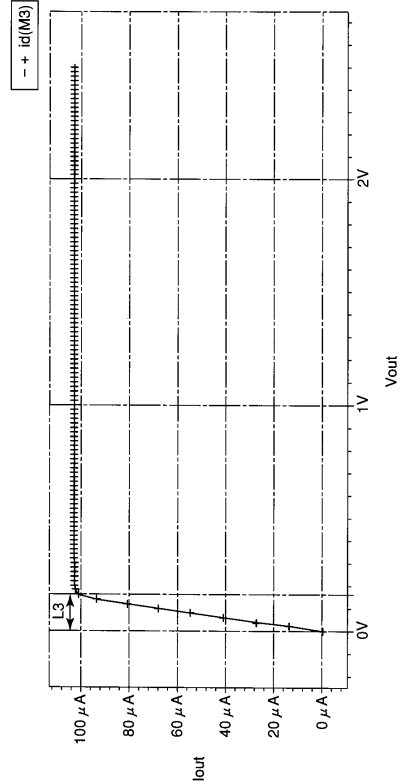
【図 12】

図 12



【図 13】

図 13



フロントページの続き

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 仁木 義規

群馬県新田郡尾島町大字尾島155-12番地

(72)発明者 小林 春夫

群馬県桐生市相生町2-620-12 相生住宅1-202

(72)発明者 益子 耕一郎

兵庫県宝塚市武庫川町5-36-1202

審査官 宮島 郁美

(56)参考文献 特開2000-114891(JP,A)

特開平11-214934(JP,A)

特開2003-067062(JP,A)

特開2000-165159(JP,A)

特開平02-266715(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096

H03F1/00-3/45, 3/50-3/52, 3/62-3/64, 3/68-3/72