

ΔΣDA変調器のデジタルディザ信号によるリミットサイクル低減技術の検討

小島 潤也, 新井 薫子, 小林 春夫 (群馬大学)

T161D034@gunma-u.ac.jp



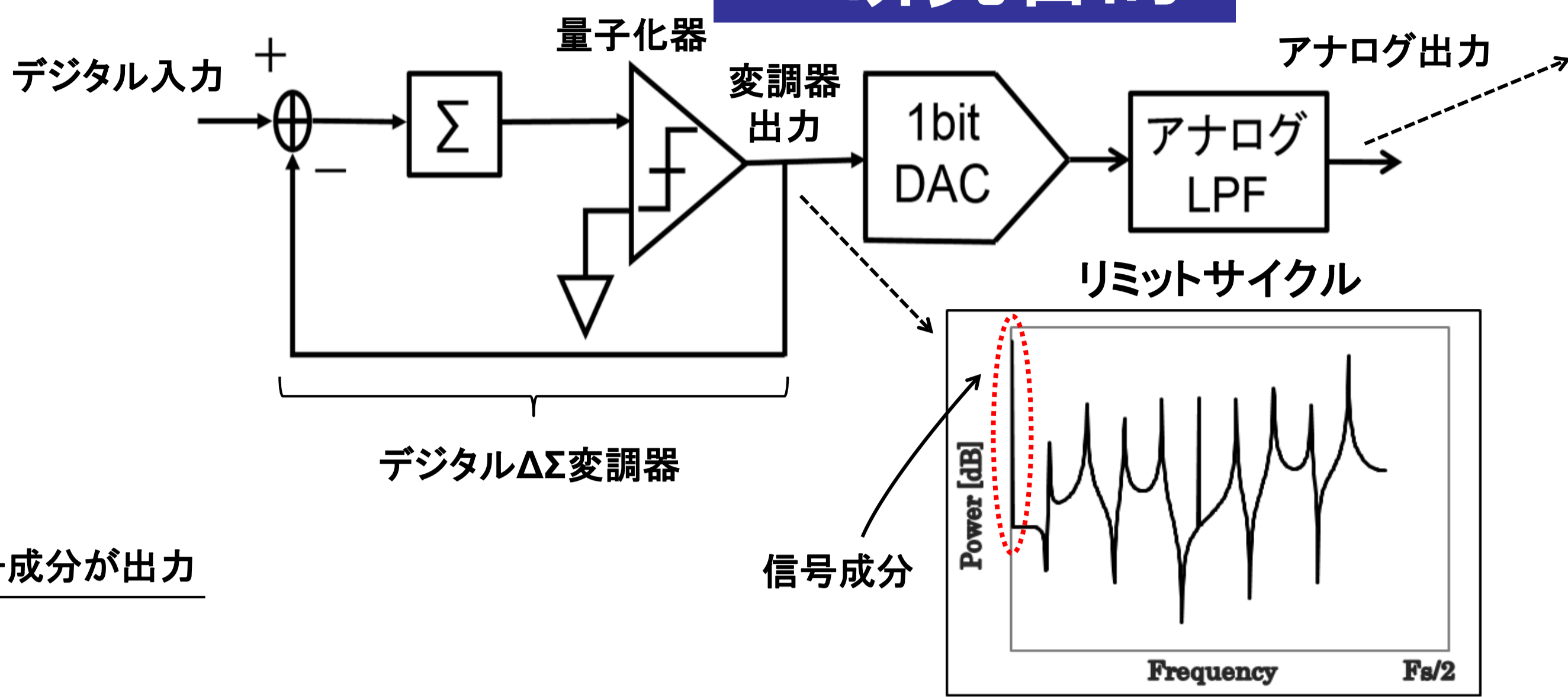
<ΔΣDA変換器の特徴>

メリット

- ・ 大部分はデジタル回路
- ・ わずかなアナログ回路
- ・ 高分解能、高線形性

デメリット

- ・ 微小信号では変調器出力に
入力信号成分がない周期信号成分が出力
(リミットサイクル)



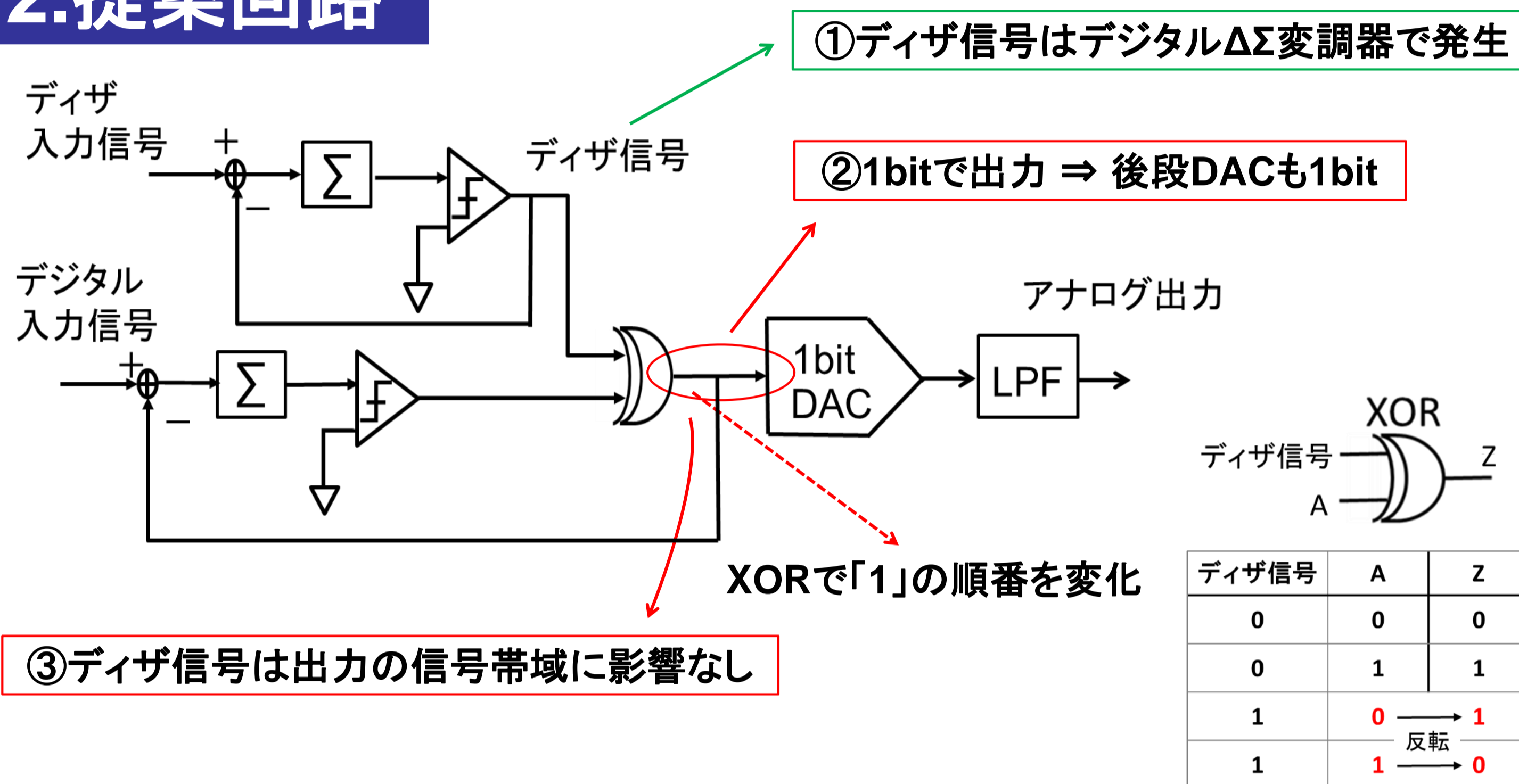
直流・低周波信号を高分解能、高線形に生成
⇒ 電子計測器、LSI試験装置等に使用

アナログをLFPで急峻に落とす... (困難)

アナログ出力 = 信号成分 + リミットサイクル

目的・リミットサイクルを低減
・LFPの性能要求を緩和

2.提案回路



①ディザ信号はデジタルΔΣ変調器で発生

②1bitで出力 ⇒ 後段DACも1bit

③ディザ信号は出力の信号帯域に影響なし

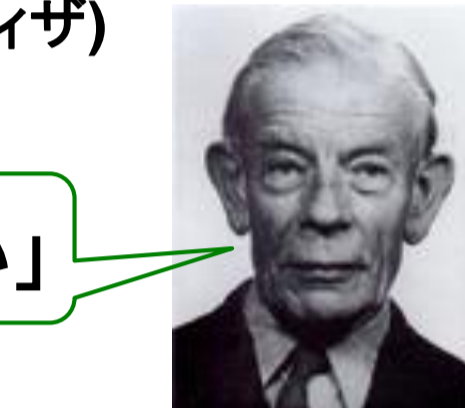
<dither(ディザ)の起源>

- 第二次世界大戦の頃
- 爆撃機には計算機が使用
- 地上より飛行機上の方がうまく動作
- 理由: 振動の刺激が誤差を減少
- didderen (震える) → dither (ディザ)

※人間でも...

「完全に静かな場所では集中できない」

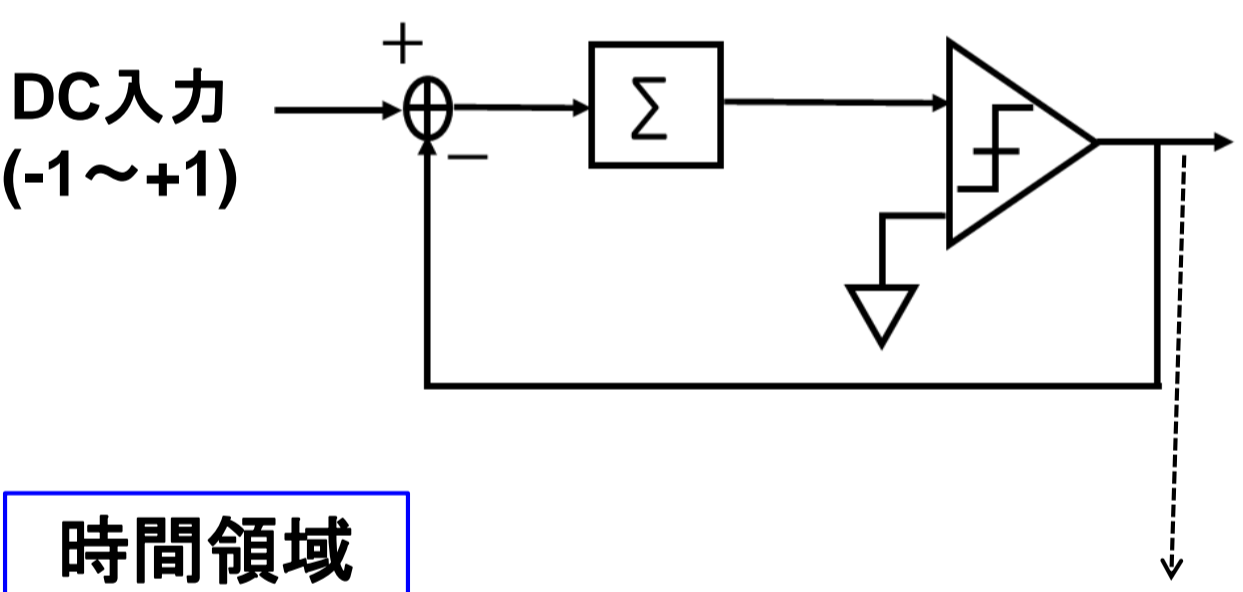
多少の「ノイズ」は良い環境



Philip E. Vernon
心理学者(英)



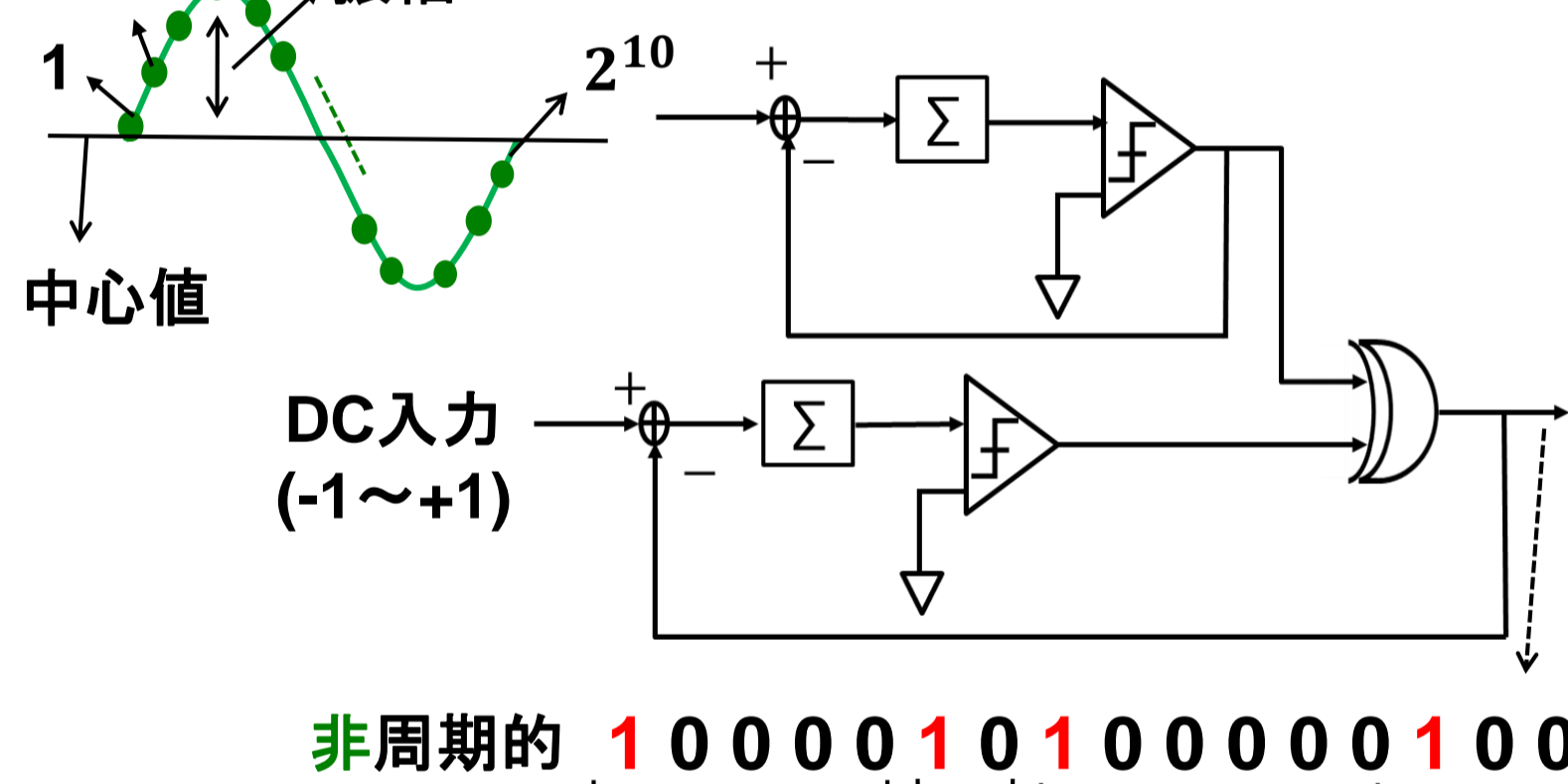
従来 (ディザ信号なし)



時間領域

周期的 1000100010001000

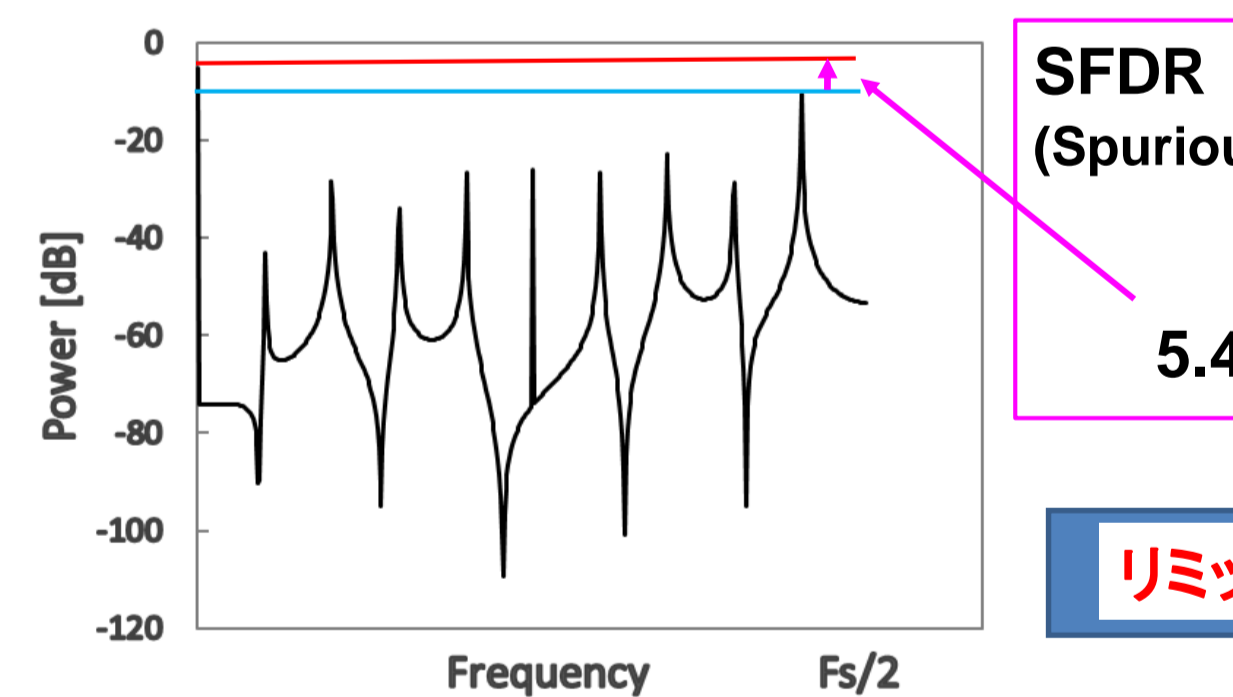
提案 (ディザ信号あり)



非周期的 1000010100000100

- ✓ 全体の「1」の数は同じ ⇒ 信号電力は同じ
- ✓ 「0」と「1」の順番が異なる ⇒ ノイズ成分スペクトル拡散

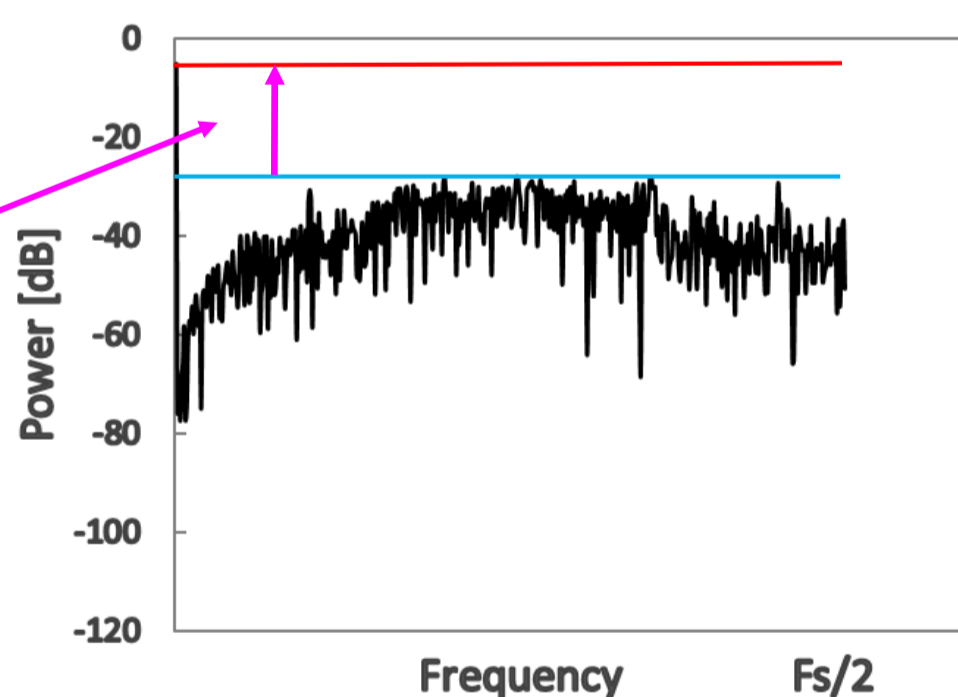
周波数領域



SFDR (Spurious Free Dynamic Range)

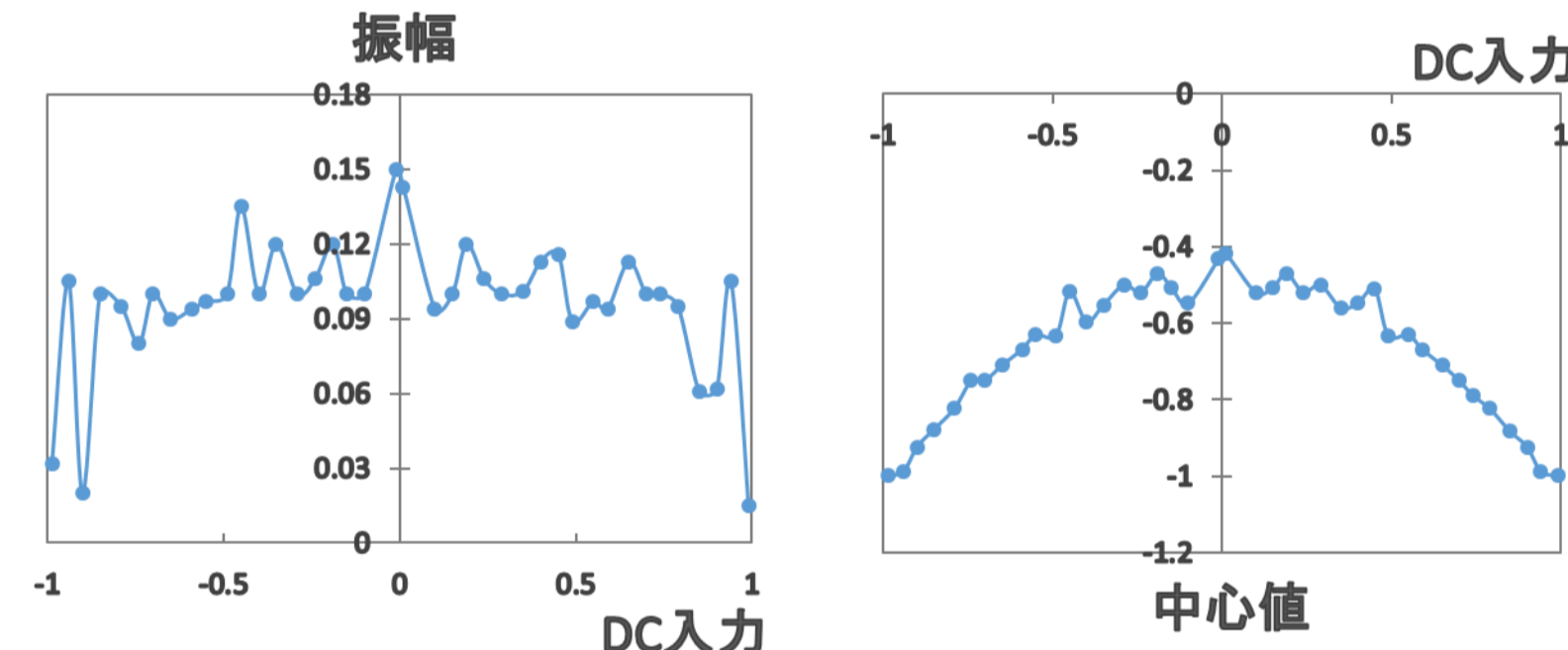
5.4dB < 22.9dB

リミットサイクル低減

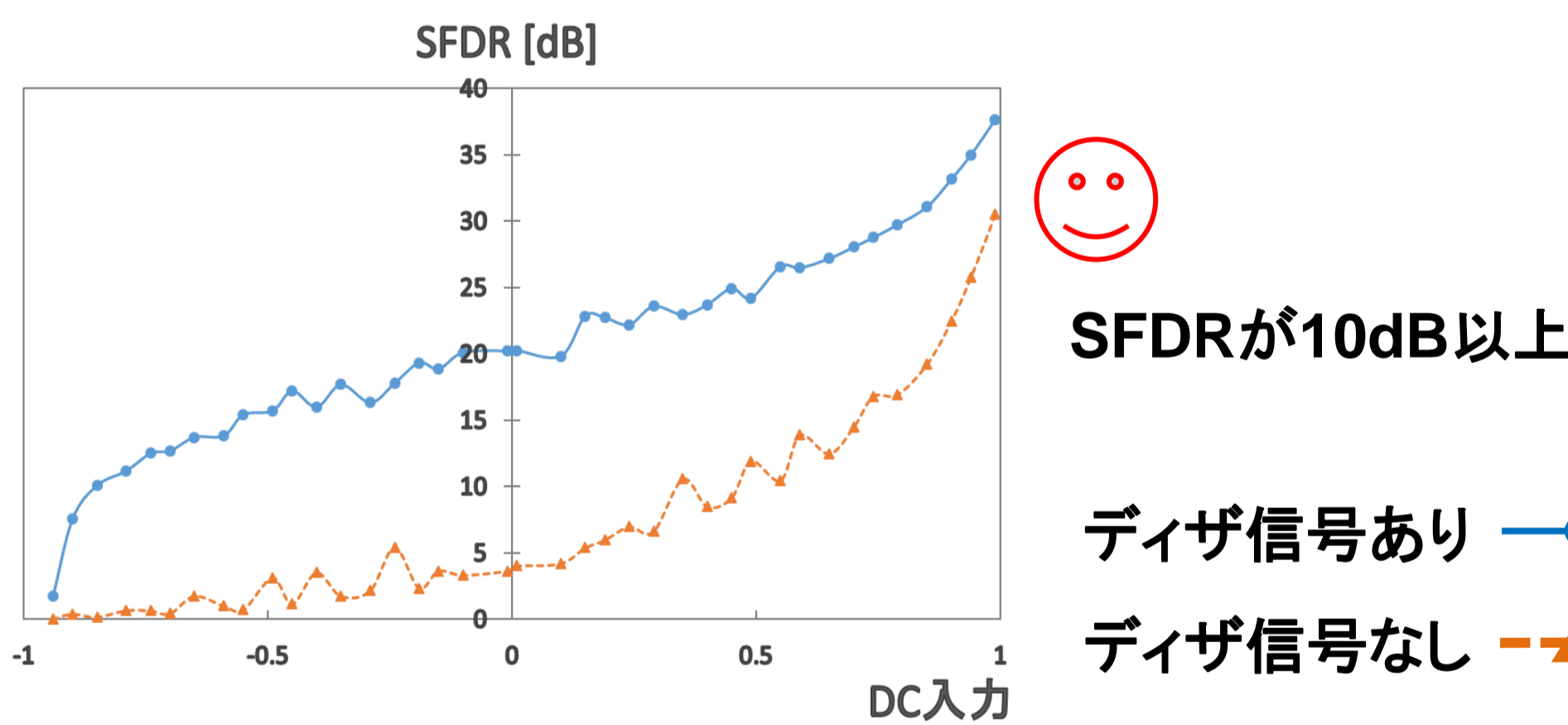


3.シミュレーション結果 (データ数:10bit)

◆最大高調波電力が小さくなる正弦波の振幅・中心値



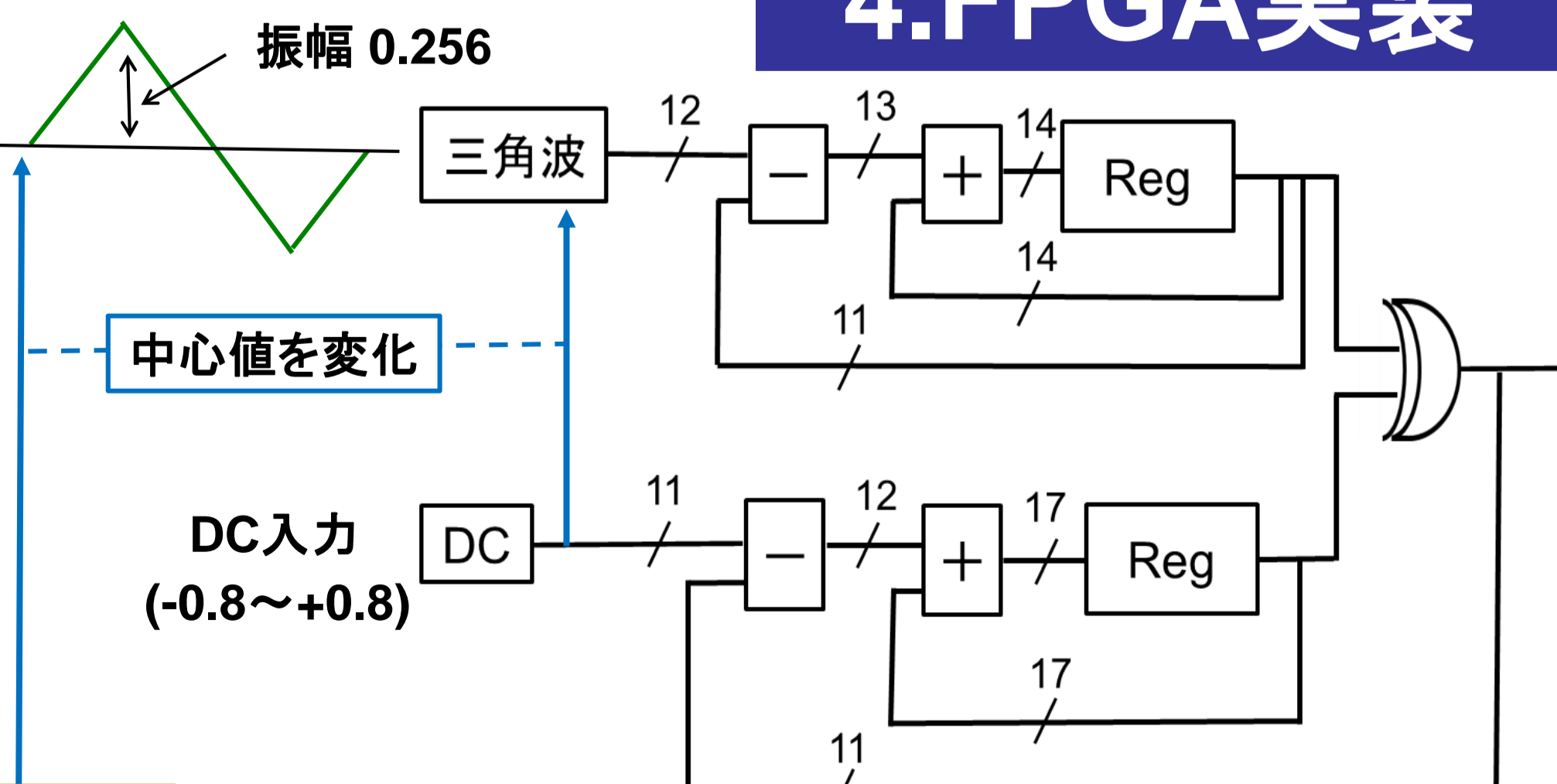
◆SFDRの比較



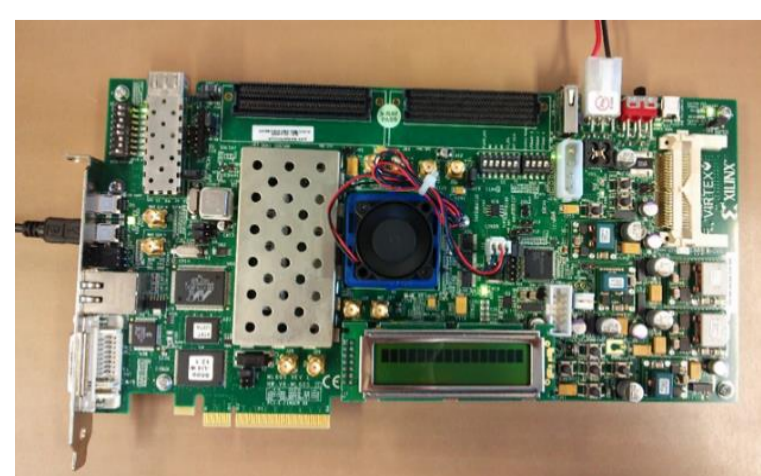
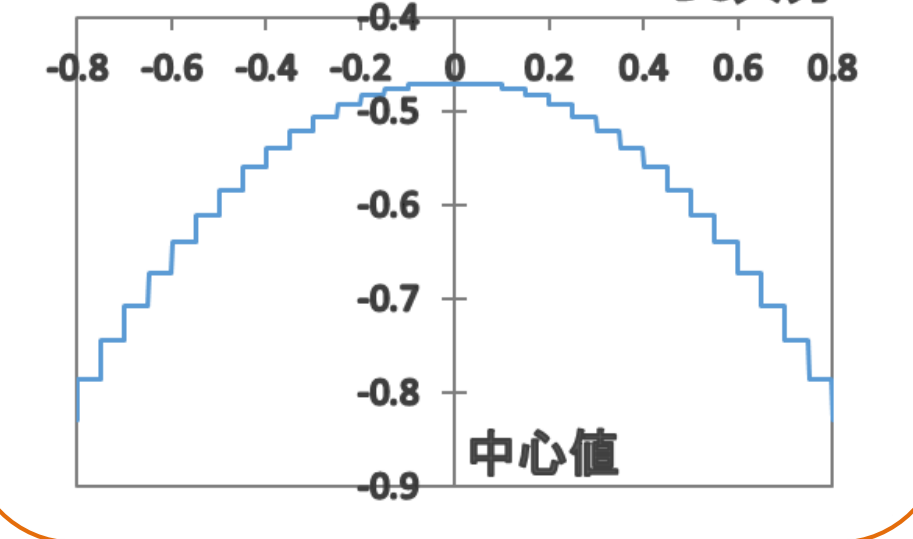
SFDRが10dB以上改善!!

ディザ信号あり (blue line)
ディザ信号なし (orange line)

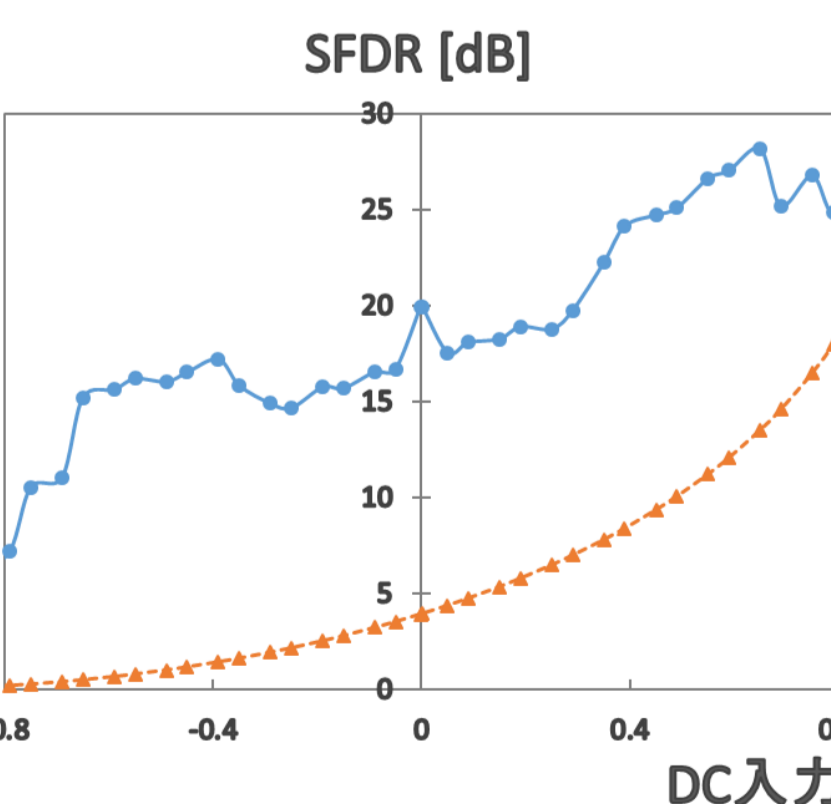
4.FPGA実装



近似



Xilinx (Virtex-6 ML605)

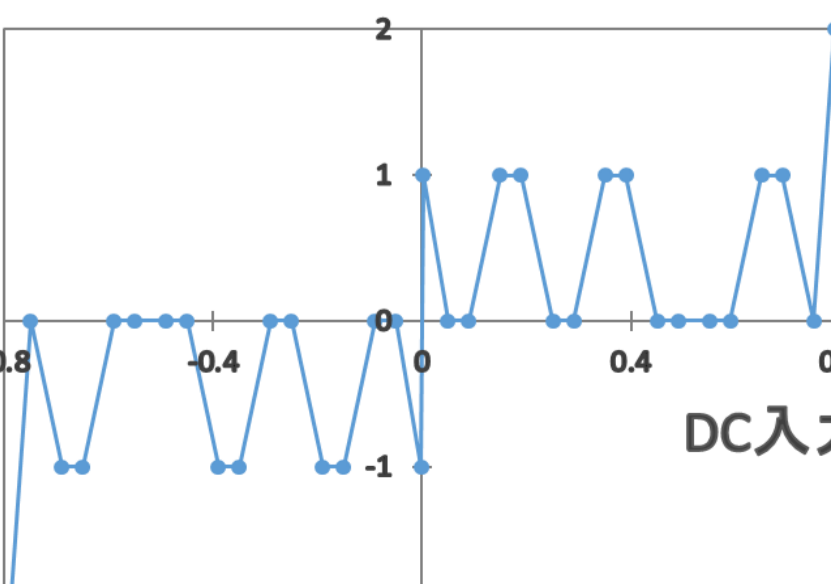


SFDR

10dB以上改善!!

ディザ信号あり (blue line)
ディザ信号なし (orange line)

変調器出力の「1」の数の差



「1」の数の差は ±2の範囲内

線形性も保持

5.まとめ

<従来>
ΔΣ変調器は直流・低周波信号でリミットサイクル発生

<提案>
デジタルディザ信号と排他的論理和を用いた構成

- ・ リミットサイクル低減
- ・ SFDR向上、線形性保持
- ・ FPGAでの動作を確認

参考文献

- [1] R.Schreier, G.C.Temes, Understanding Delta-Sigma Data Converters, Wiley-IEEE press (2009).
- [2] 小島潤也, 新井薫子, 小林春夫, "ΔΣ変調器のデジタルディザ信号による性能改善と回路設計の検討", 第6電気学会東京支部 栃木・群馬支所合同研究発表会, 前橋, ETT-16-9, ETG-16-9 (2016年3月)