

高信頼性・低特性オン抵抗30-50Vデュアル
RESURF LDMOSTトランジスタ
—アドバンスソフト社3次元デバイス・シミュレータ
Advance/DESSERT(β版)使用事例—

松田 順一
群馬大学

2016年7月28日(木)
トスラブ山王(山王健保会館)

概要1

- はじめに
 - 高信頼性・低特性オン抵抗LDMOSの必要性
- 30-50VデュアルRESURF LDMOS(1)(高信頼性基本構造)
(電気学会 電子デバイス・半導体電力変換合同研究会, EDD-15-066,SPC-15-148, (2015年10月) で発表)
- 従来型と高信頼性型LDMOSの構造
- シミュレーション結果
 - 従来型と高信頼性型で電気特性比較(I_{DS} - V_{GS} 、 I_{DS} - V_{DS} 、 R_{on} A、 BV_{DS})
- 解析
 - 真性MOSFETのドレイン電圧($V_{DS,int}$)とLDMOSのドレイン電圧(V_{DS})の関係
 - 横(x)方向の最大電子速度の V_{DS} 依存性(at $V_{GS}=3V$ and $5V$)
 - 正孔電流密度と電界の形状(at $V_{GS}=3V$ and $5V$)
 - ブレークダウン発生箇所
- まとめ

概要2

- 30-50VデュアルRESURF LDMOS(2) (高信頼性・低特性オン抵抗化)

(第63回応用物理学会春季学術講演会, 20a-S422-11 (2016)で発表)

(電気学会 東京支部 群馬・栃木支所合同研究発表会, ETT-16-42 (2016)で発表)

- 従来型、高信頼性型、高信頼性・低特性オン抵抗型 LDMOS構造

- シミュレーション結果

- 電気特性比較 ($I_{DS}-V_{DS}$ 、 $I_{DS}-V_{GS}$ 、 $R_{on}A$ 、 BV_{DS})

- 解析

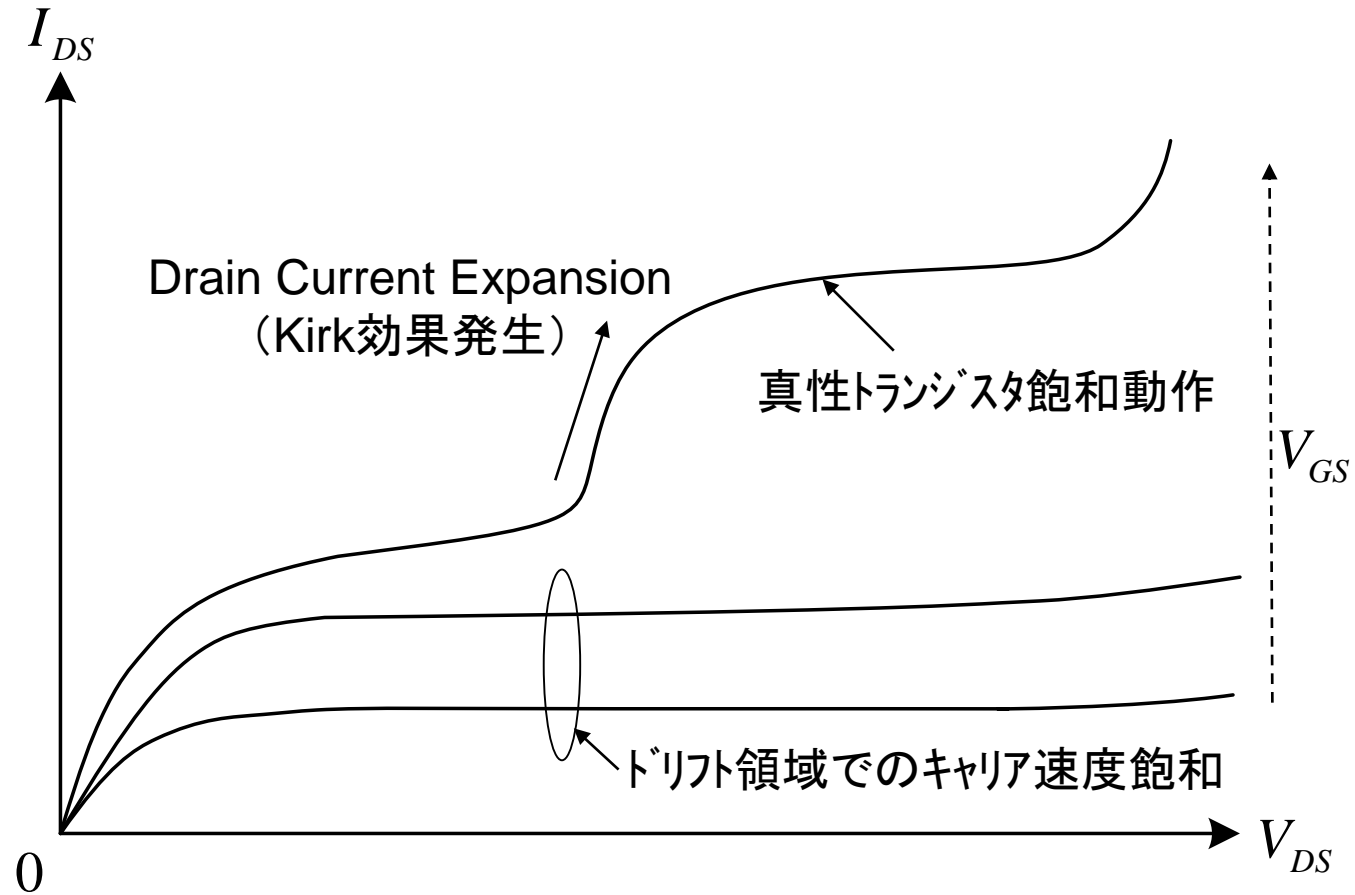
- 正孔電流密度と電界形状
- オン抵抗解析 (累積オン抵抗とオン抵抗成分)
- ブレークダウン発生箇所
- 特性オン抵抗-耐圧特性
- スイッチング損失と全パワー損失密度

- まとめ

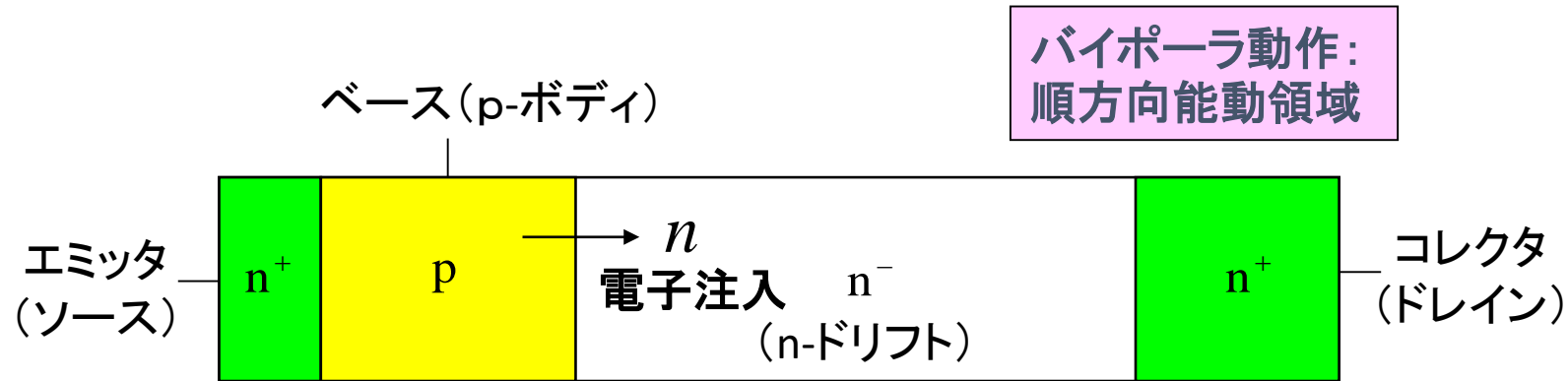
高信頼性・低特性オン抵抗LDMOSの必要性

- **高信頼性LDMOSの必要性**
 - 信頼性: 民生用LDMOS < 車載用LDMOS
 - 車載用では民生用よりホットキャリア耐性とESD耐性を強化
- **高信頼性LDMOSの考え方**
 - **ホットキャリア耐性の強化**
 - 真性MOSFETのドレイン近傍でのインパクト・イオン化の抑制
 - Kirk効果によるドレイン電流増大(Drain Current Expansion)の抑制
 - **ESD耐性の強化**(LDMOSをESD素子として兼用する場合)
 - バルク・ブレイクダウンの発生
- **低特性オン抵抗LDMOSの必要性**
 - 低消費電力化
 - コストダウン
- **高信頼性を維持して低特性オン抵抗化**
 - ドリフト領域の低抵抗化
 - ソース領域の低抵抗化

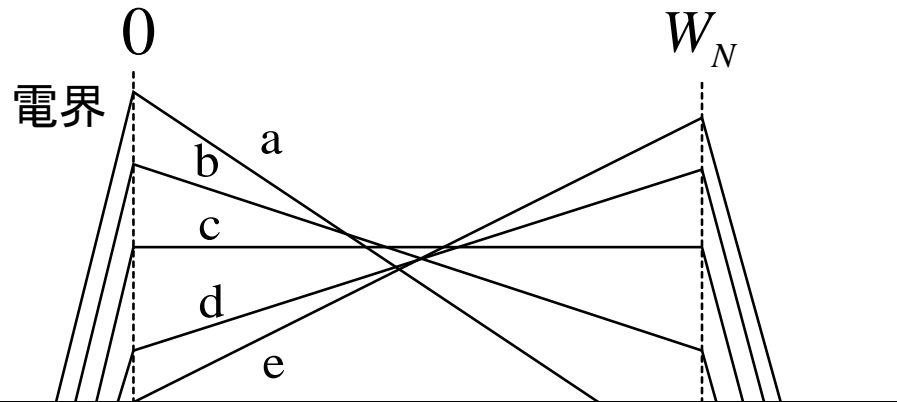
LDMOSの異常 $I_{DS}-V_{DS}$ 特性: Kirk効果によるドレイン電流増大 (Drain Current Expansion)



コレクタ電流増大による電界分布の変化



() \Rightarrow LDMOS



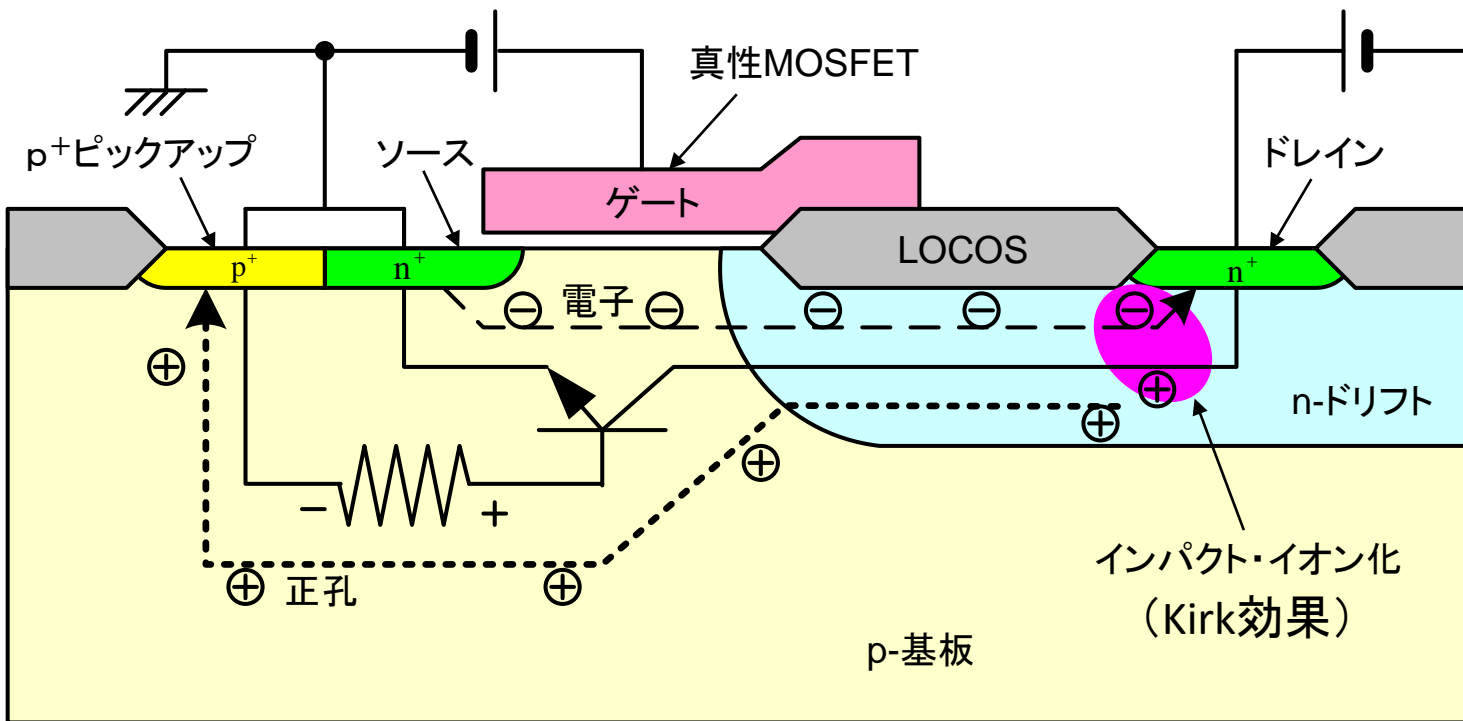
コレクタ電流密度 J_c : 小 $a \Rightarrow b \Rightarrow c \Rightarrow d \Rightarrow e$ 大

Kirk効果
コレクタ電流増大
 \rightarrow ベース領域拡張
 \rightarrow 増幅度 β 低下



電界のピーク位置移動
($p-n^- \rightarrow n^-n^+$)

LDMOSドリフト層内でのインパクト・イオン化による電子・正孔対発生と寄生バイポーラ・トランジスタ形成

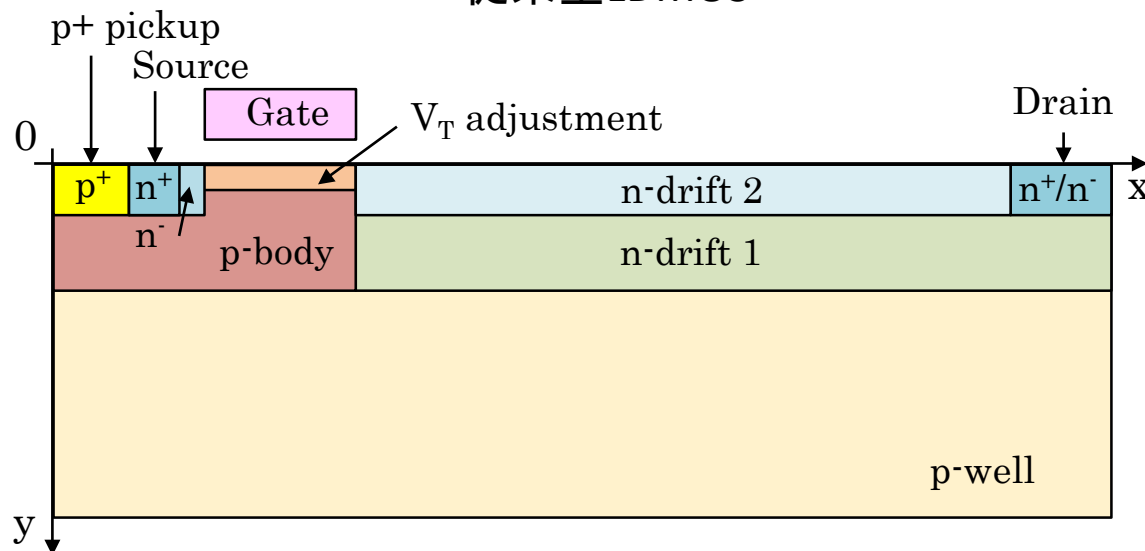


(1)→(7) 電流増加

- (1) ドレイン近傍でのインパクト・イオン化(Kirk効果)による電子・正孔対発生
- (2) ドリフト層の電導度変調(抵抗低下)
- (3) 真性MOSFETのドレイン電圧上昇⇒Current Expansion
- (4) 真性MOSFET飽和
- (5) 真性MOSFETドレインでのインパクト・イオン化増大
- (6) 寄生バイポーラ・トランジスタ形成
- (7) 寄生バイポーラ・トランジスタの電流増大によりブレークダウン (寄生バイポーラ・トランジスタのエミッタ電圧 > 0.8V)

デュアルRESURF LDMOS(1) (高信頼性基本構造)

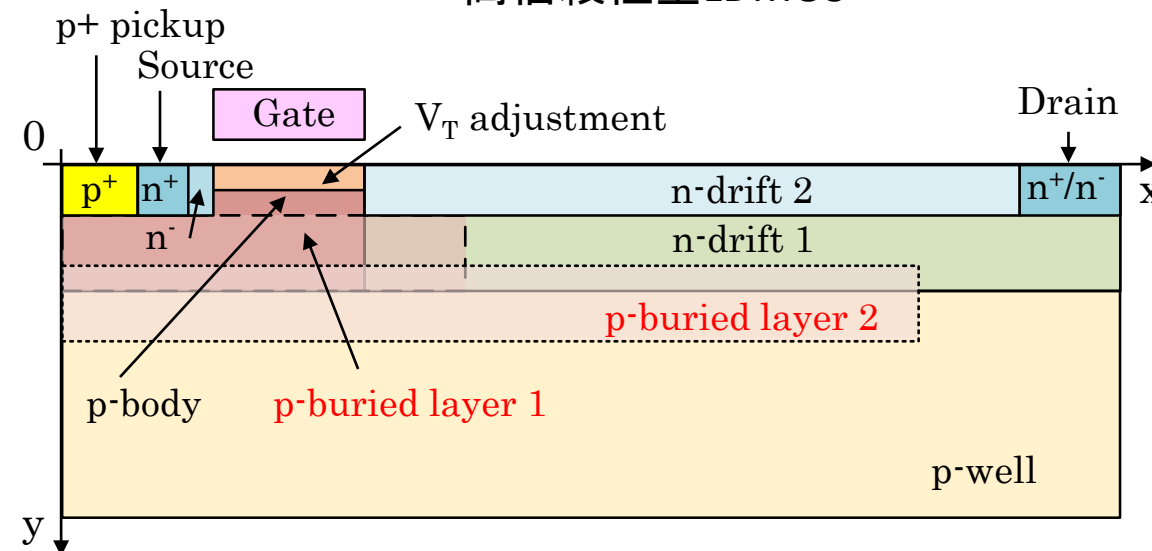
従来型LDMOS



従来型LDMOSは以下の効果を持つ。

- (1) 高ドーピングp-body ⇒ ドリフト端周りでのRESURFと電流増大の抑制
- (2) p-well ⇒ ドリフト領域に沿ったRESURFと適度な BVds
- (3) V_T adjustment ⇒ V_T 調整と電流増大の抑制
- (4) n-drift 2 ⇒ 低 R_{onA} と電流増大の抑制

高信頼性型LDMOS

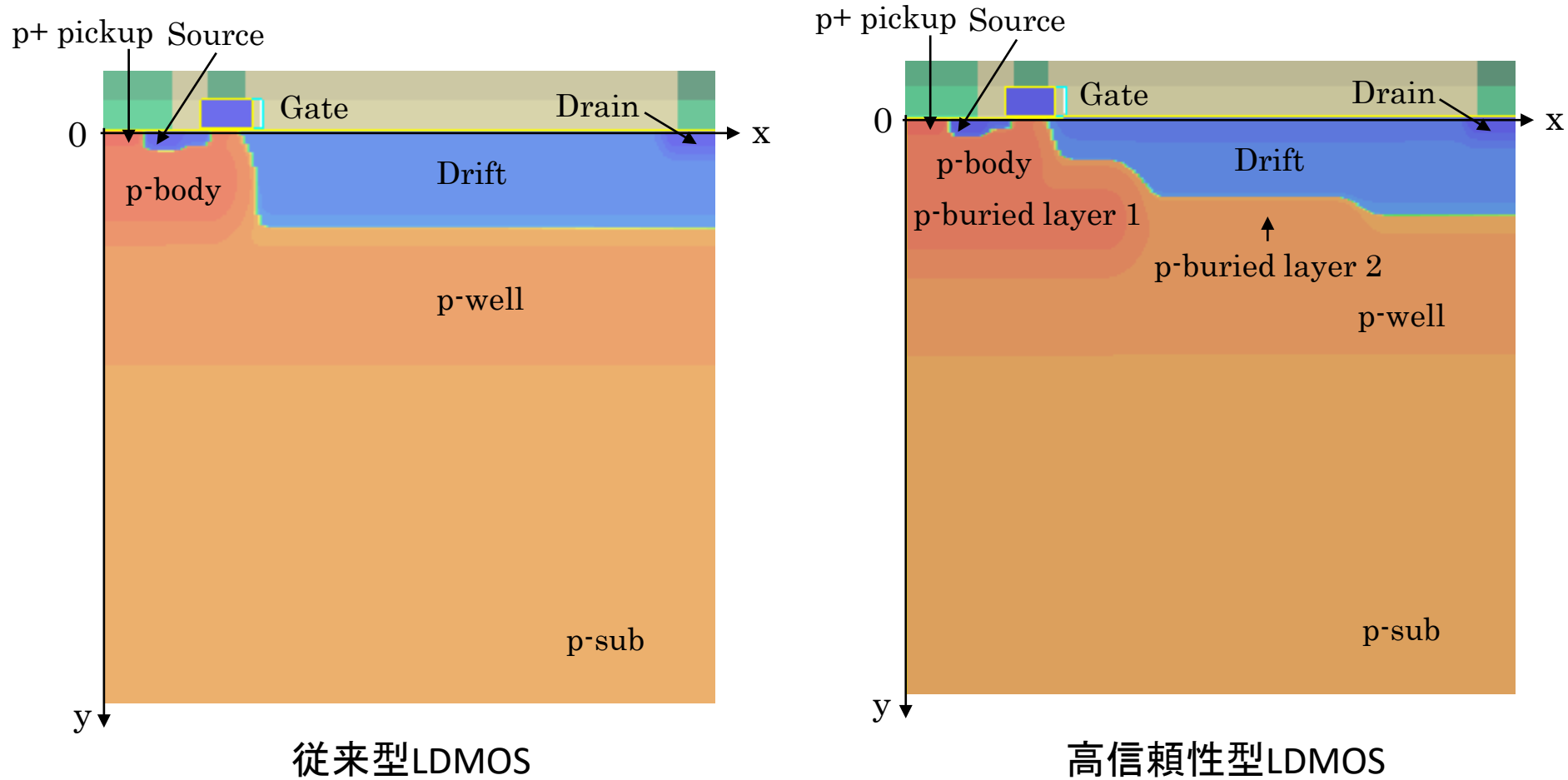


高信頼性型LDMOSは従来型に対して以下の効果を追加する。

- (5) p-buried layer 1 ⇒ ドリフト端周りでのRESURFと電流増大の抑制の強化
- (6) p-buried layer 2 ⇒ ドリフト領域に沿ったRESURFの強化
- (7) ドレイン n^+ 下のp-buried layer 2の開口
⇒ 電流増大の抑制と適度なBVdsの維持

P-buried layer 1 と 2 ⇒ デュアルRESURF構造形成

シミュレーションによるLDMOSの構造



0.35 μm プロセス・ベース

ゲート長=0.35 μm

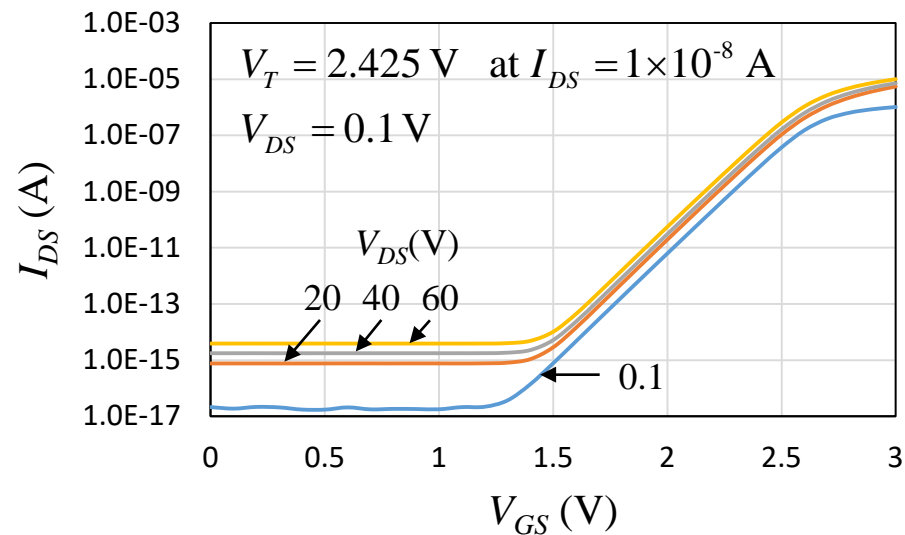
ゲート酸化膜厚=12nm

ドリフト長=2.95 μm

デバイス幅=0.3 μm

(注) アドバンスソフト社の3次元デバイス・シミュレータ Advance/DESSERT (β 版)を2次元で使用

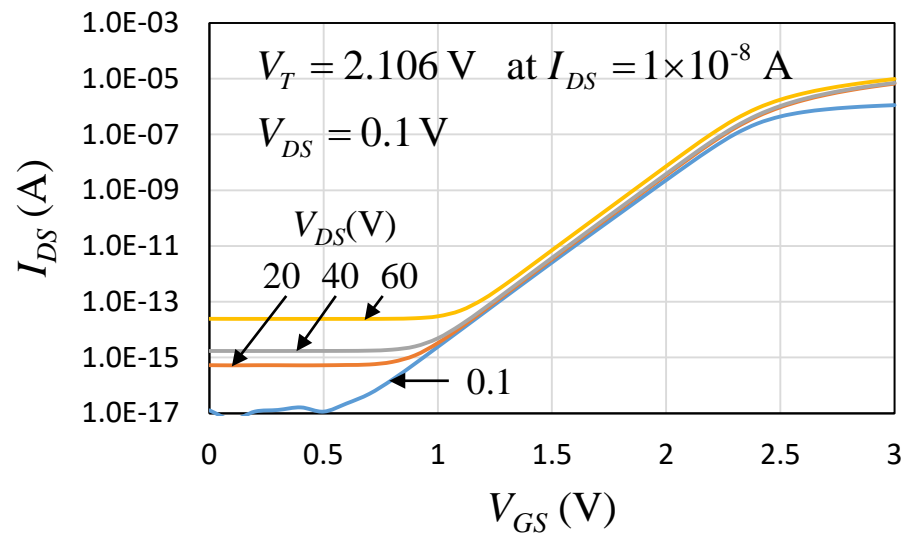
従来型と高信頼性型LDMOSの $I_{DS}-V_{GS}$ 特性の比較



従来型LDMOS

$$V_T = 2.300 \text{ V} \text{ at } I_{DS} = 1 \times 10^{-8} \text{ A}, V_{DS} = 60 \text{ V}$$

$$V_T(V_{DS} = 60 \text{ V}) - V_T(V_{DS} = 0.1 \text{ V}) = 0.125 \text{ V}$$



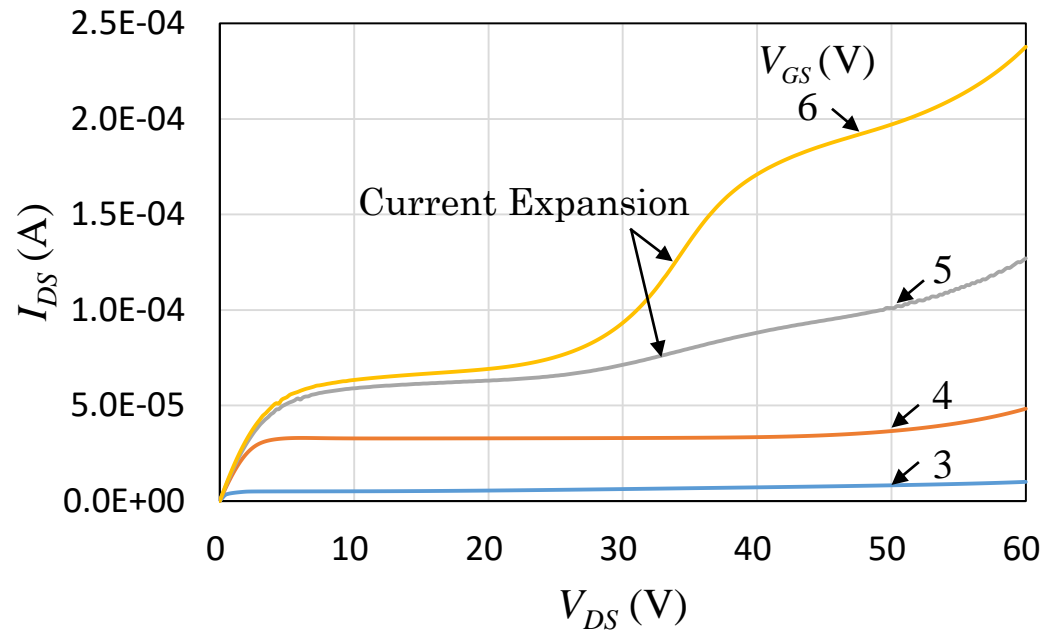
高信頼性型LDMOS

$$V_T = 2.021 \text{ V} \text{ at } I_{DS} = 1 \times 10^{-8} \text{ A}, V_{DS} = 60 \text{ V}$$

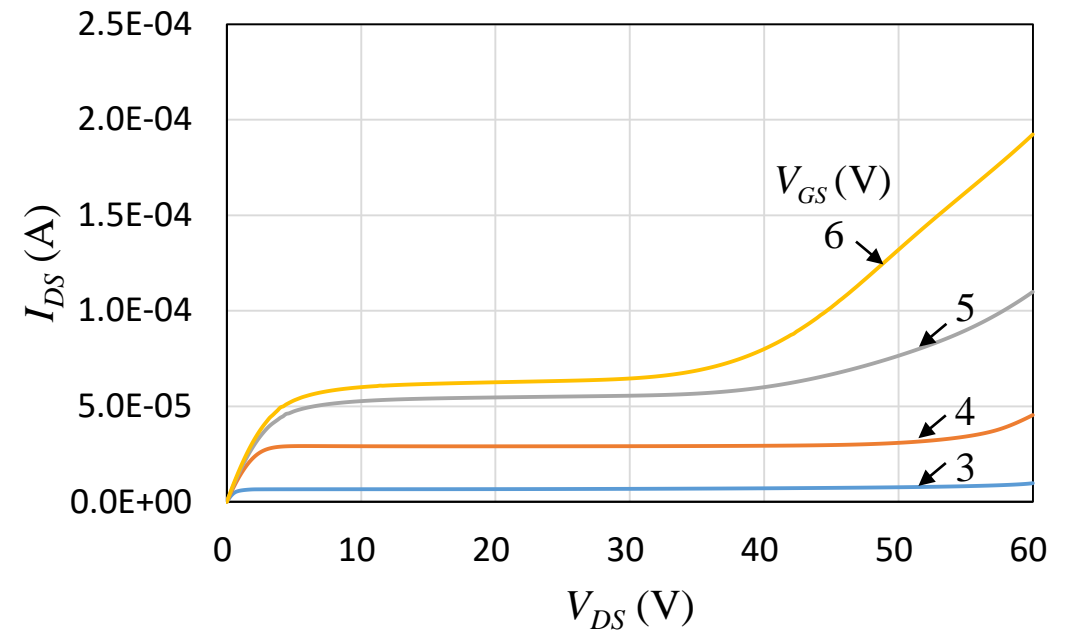
$$V_T(V_{DS} = 60 \text{ V}) - V_T(V_{DS} = 0.1 \text{ V}) = 0.085 \text{ V}$$

DIBL(Drain Induced Barrier Lowering): 従来型LDMOS > 高信頼性型LDMOS

従来型と高信頼性型LDMOSの $I_{DS}-V_{DS}$ 特性の比較



従来型 LDMOS

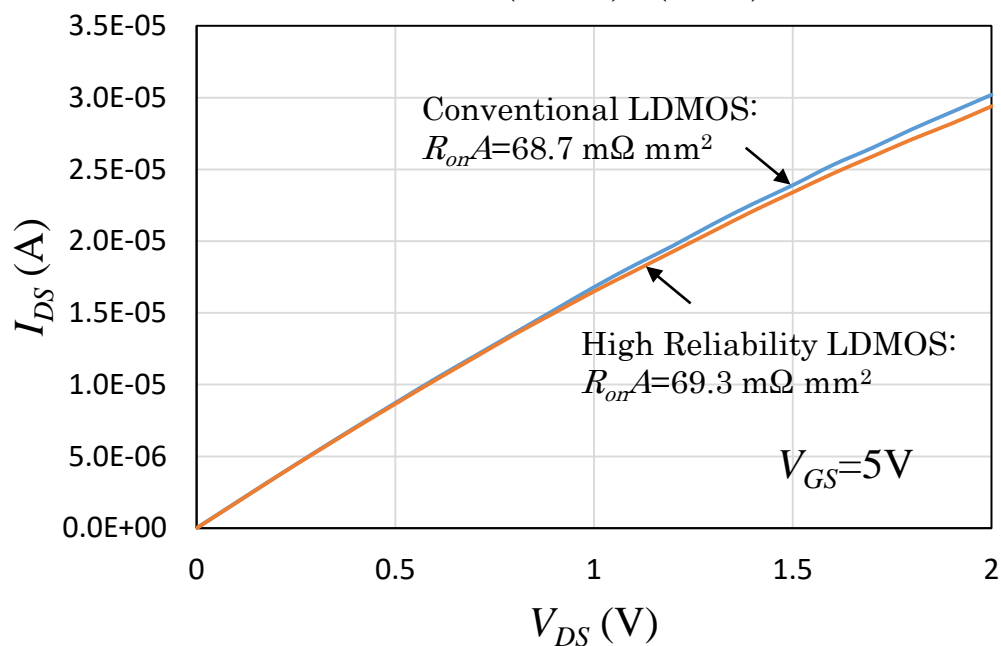


高信頼性型LDMOS

従来型LDMOSで Current Expansion 発生、高信頼性型LDMOSではその発生は無し

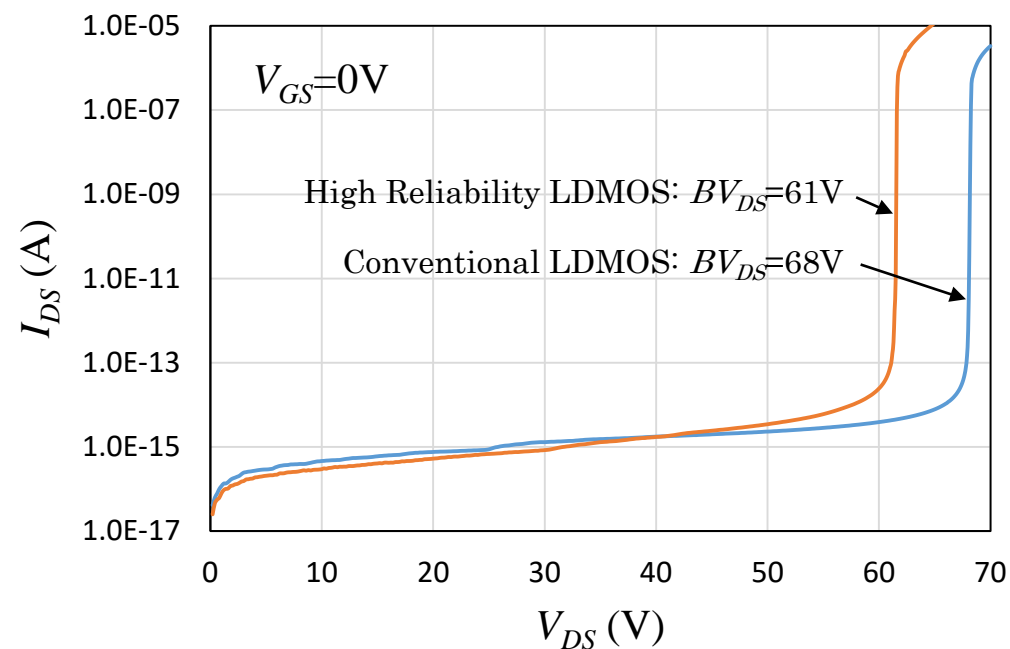
従来型と高信頼性型LDMOSの $R_{on}A$ and BV_{DS} の比較

$$A = (\text{width}) \times (\text{pitch}) = 0.3 \times 4 \mu\text{m}^2$$



$I_{DS}-V_{DS}$ 特性 (at $V_{GS}=5\text{V}$): $R_{on}A$

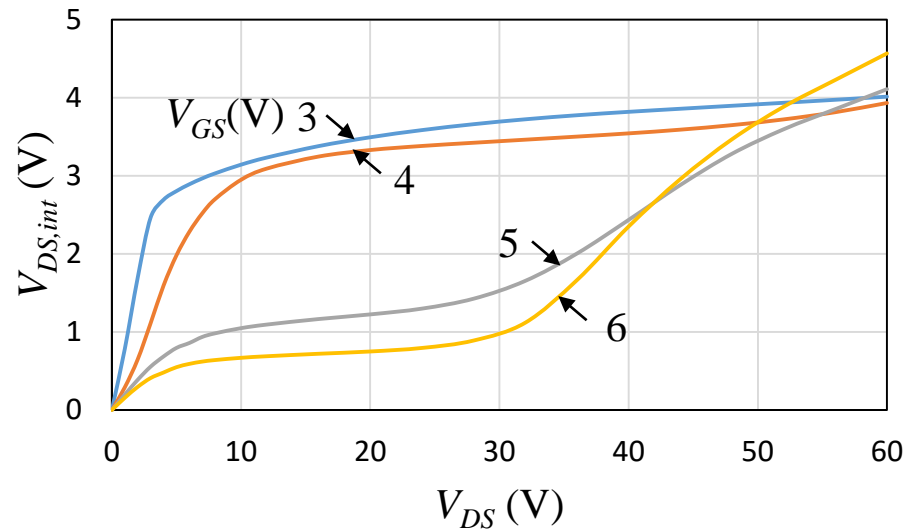
$R_{on}A$: 従来型LDMOS \approx 高信頼性型LDMOS



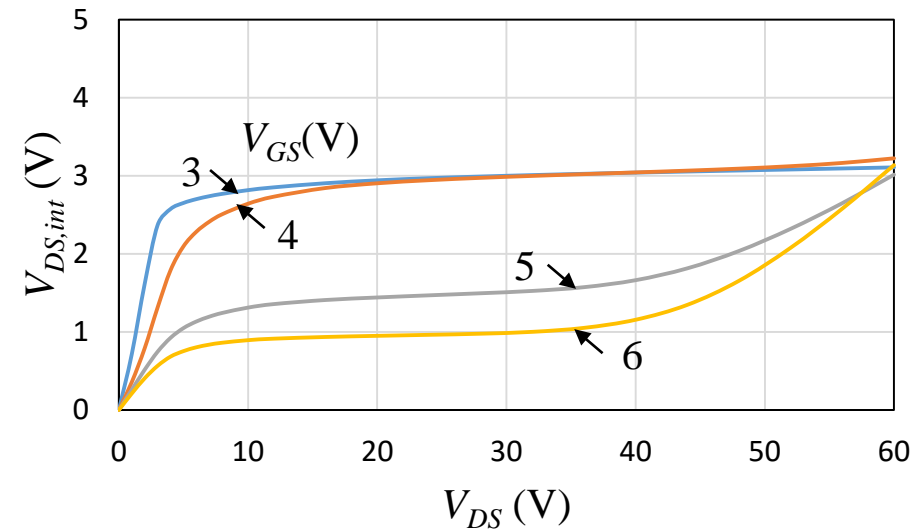
$I_{DS}-V_{DS}$ 特性 (at $V_{GS}=0\text{V}$): BV_{DS}

BV_{DS} : 従来型LDMOS $>$ 高信頼性型LDMOS

真性MOSFETのドレイン電圧($V_{DS,int}$) vs. LDMOSのドレイン電圧(V_{DS})



従来型LDMOS



高信頼性型LDMOS

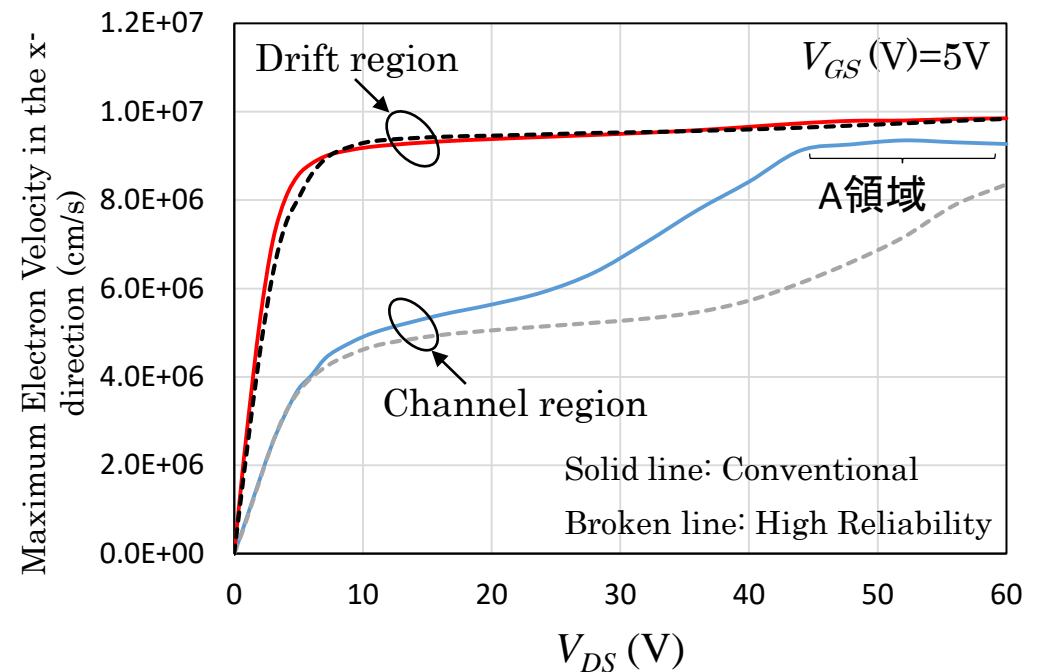
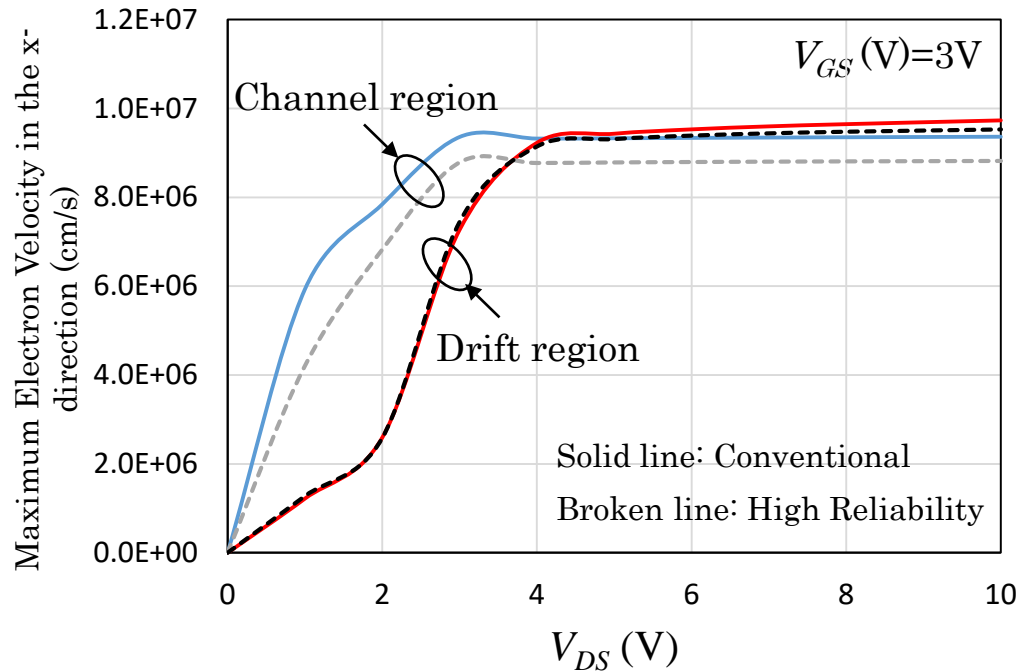
$V_{DS,int}$: ドレイン側ゲート端表面での電子の擬フェルミ電位で定義

(1) $V_{GS}=3, 4$ V と $V_{GS}=5, 6$ V で異なる特性

(2) $V_{DS,int}$ の飽和特性がDIBLに影響

従来型と高信頼性型LDMOSの表面に沿った(x方向)最大電子速度の比較

at $V_{GS}=3$ and 5V



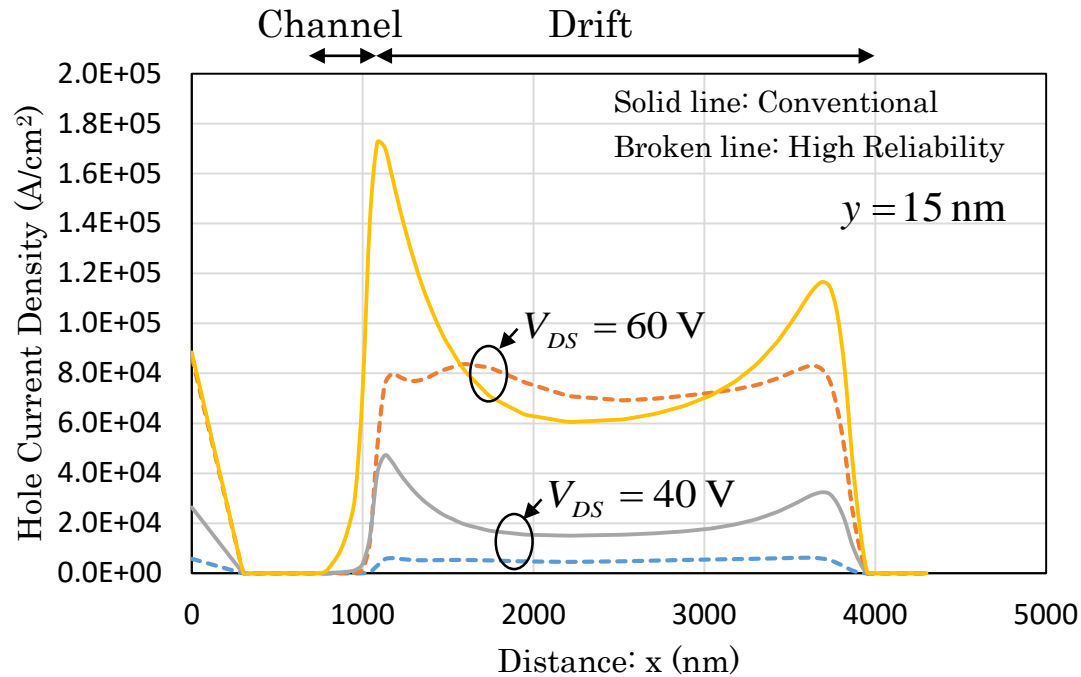
$I_{DS}-V_{DS}$ の飽和特性 ($V_{GS}=3V$) \Rightarrow 従来型も高信頼性型もチャネル領域の飽和特性に依存 ($V_{DS,int}$ が高いことに対応)

$I_{DS}-V_{DS}$ の飽和特性 ($V_{GS}=5V$) \Rightarrow 従来型も高信頼性型もドリフト領域の飽和特性に依存 ($V_{DS,int}$ が低いことに対応)

(従来型のA領域: current expansion 後の飽和特性に寄与 \Rightarrow 真性MOSFETのインパクトイオン化増加)

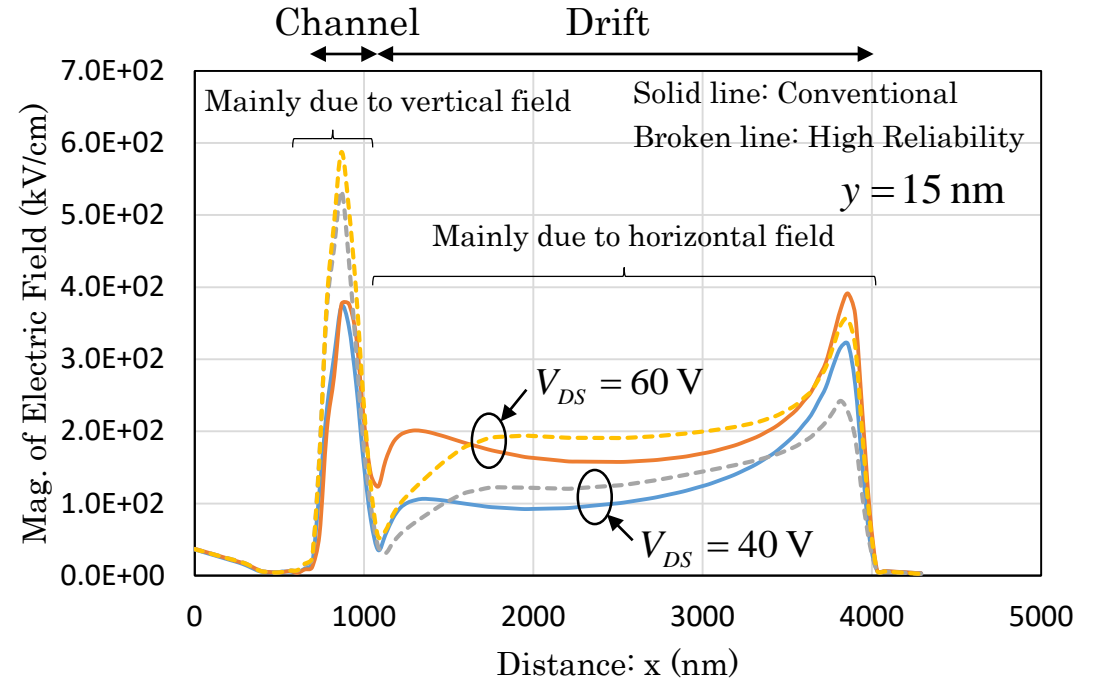
従来型と高信頼性型LDMOSの正孔電流密度と電界形状の比較

at $V_{GS}=5V$



正孔電流密度形状

ドリフト両端近傍での正孔電流密度:
従来型LDMOS > 高信頼性型LDMOS



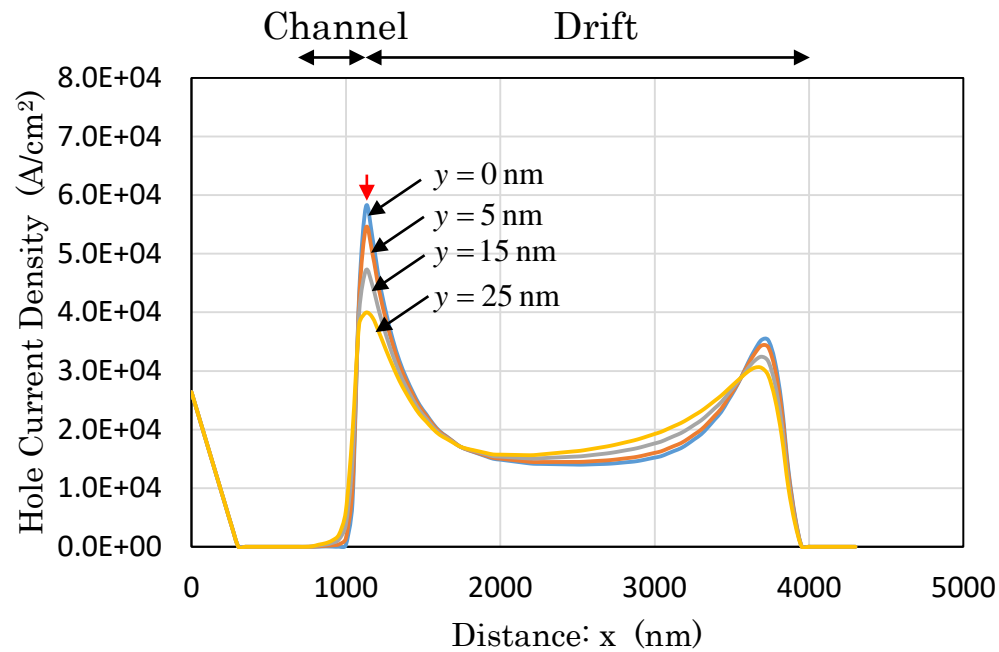
電界形状

ドリフト両端近傍での電界:
従来型LDMOS > 高信頼性型LDMOS

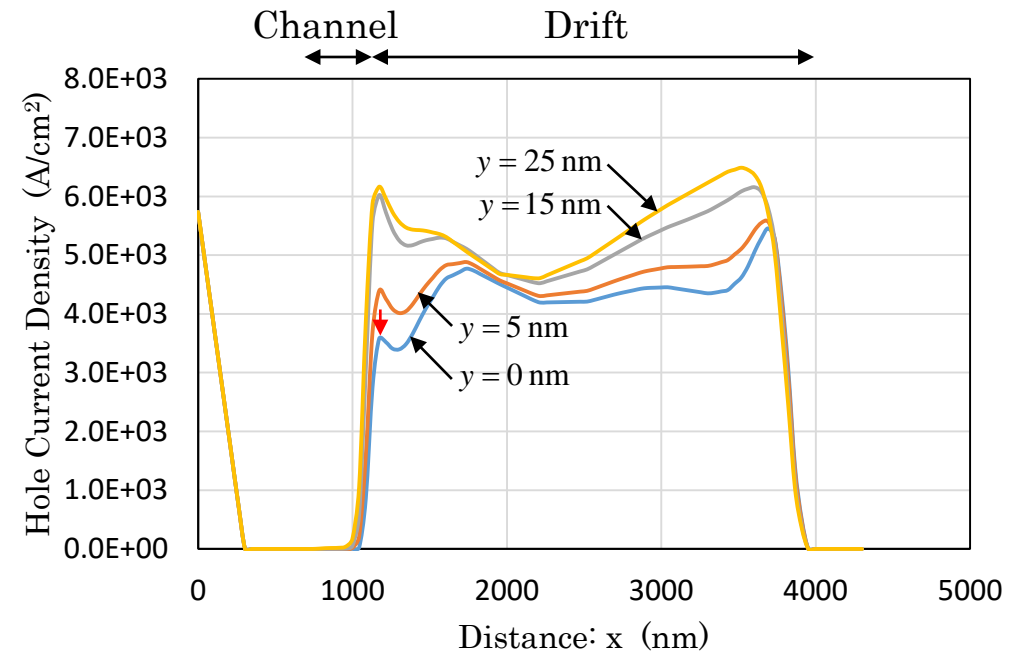
(p-埋め込み層1と2の効果)

従来型と高信頼性型LDMOSの正孔電流密度形状の 深さ(y)依存性の比較

at $V_{DS}=40V$ and $V_{GS}=5V$



従来型LDMOS

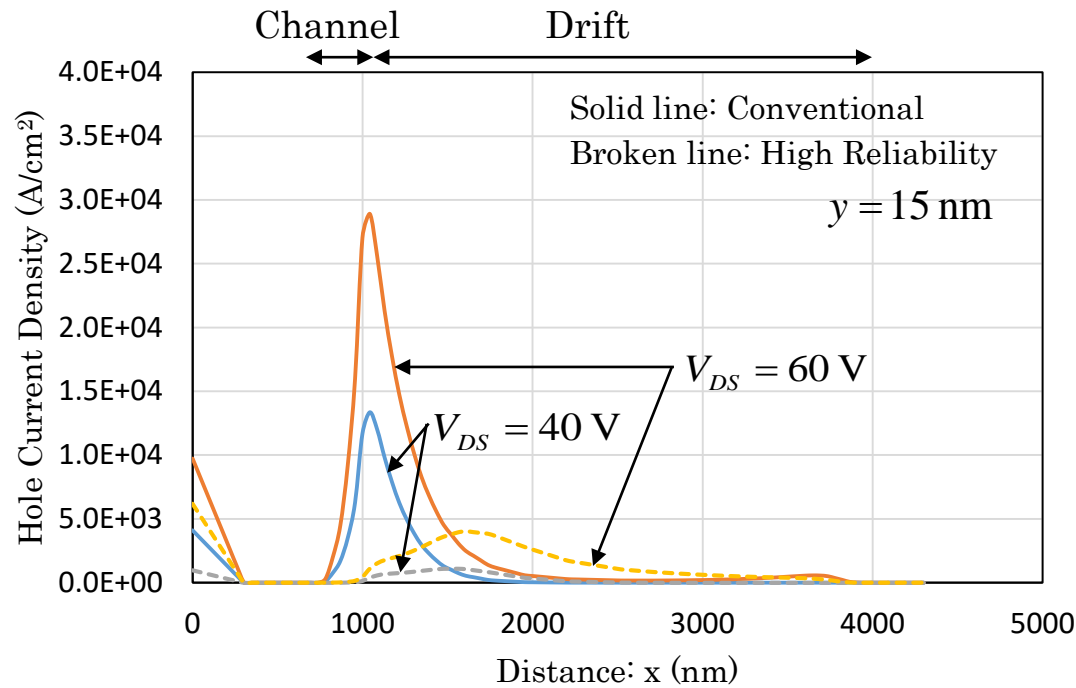


高信頼性型LDMOS

チャンネル側ドリフト端近傍での $y=0nm$ における正孔電流密度(矢印箇所) \Rightarrow 高信頼性型/従来型LDMOS = 1/16

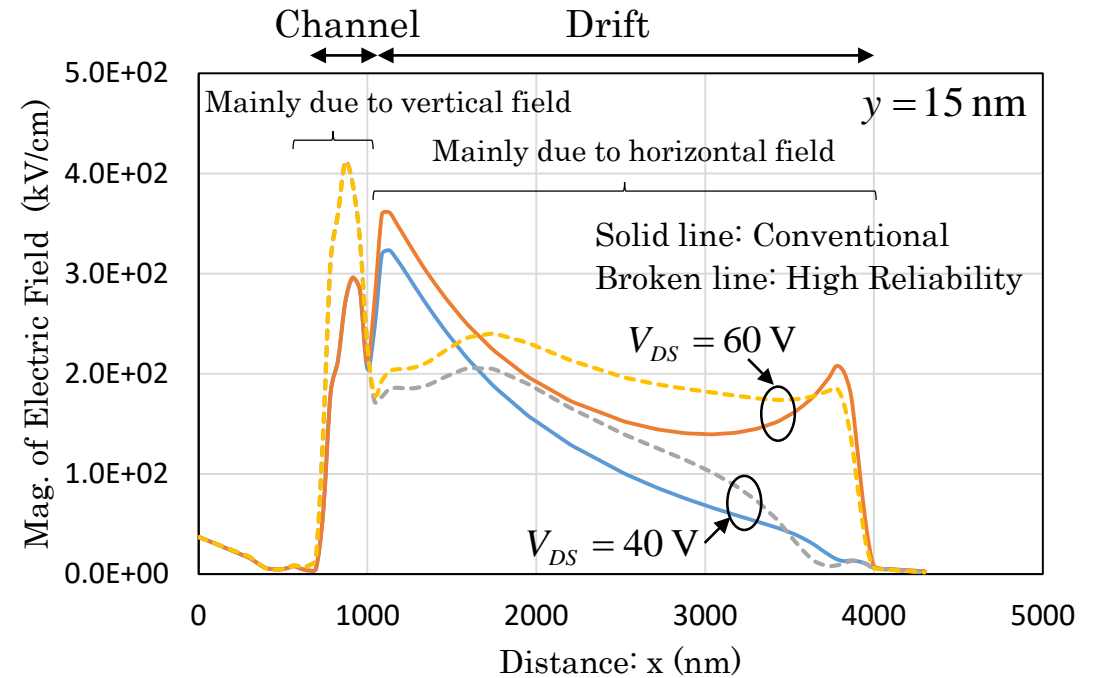
従来型と高信頼性型LDMOSの正孔電流密度と電界形状の比較

at $V_{GS}=3V$



正孔電流密度形状

チャンネル側ドリフト端近傍の正孔電流密度：
従来型LDMOS > 高信頼性型LDMOS

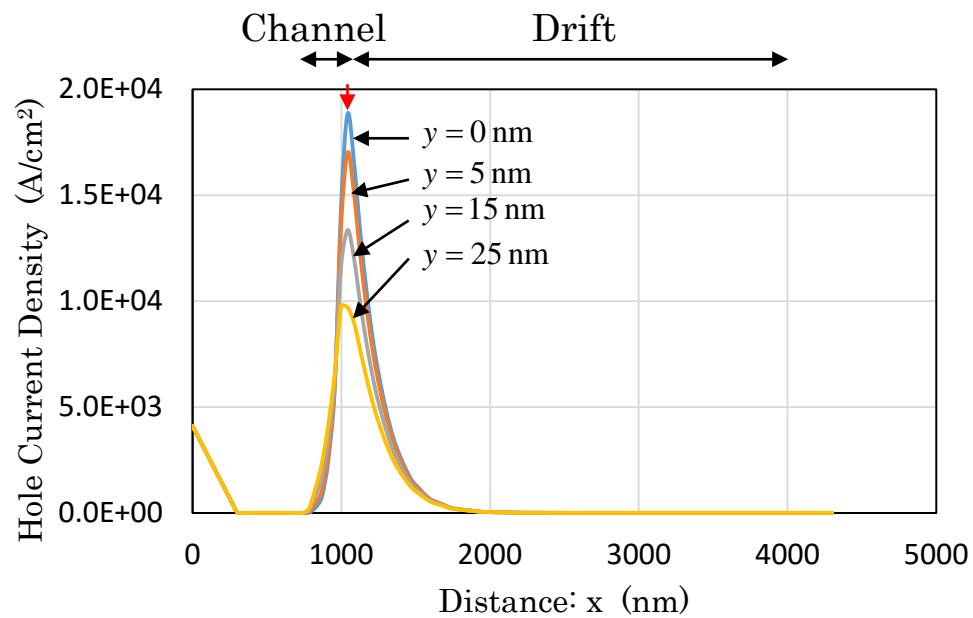


電界形状

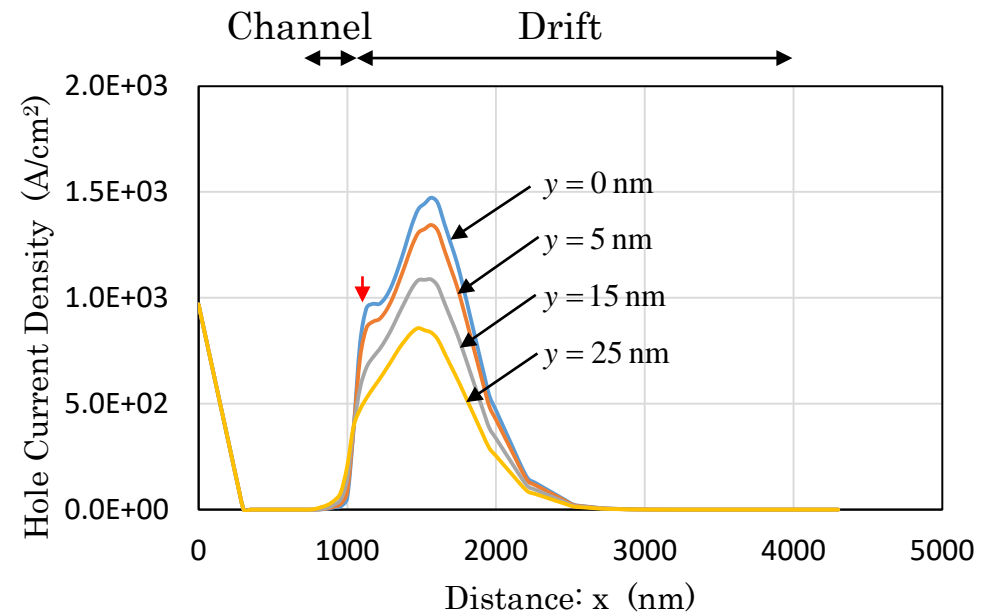
チャンネル側ドリフト端近傍の電界：
従来型LDMOS > 高信頼性型LDMOS
(p -埋め込み層1の効果)

従来型と高信頼性型LDMOSの正孔電流密度形状の 深さ(y)依存性の比較

at $V_{DS}=40V$ and $V_{GS}=3V$



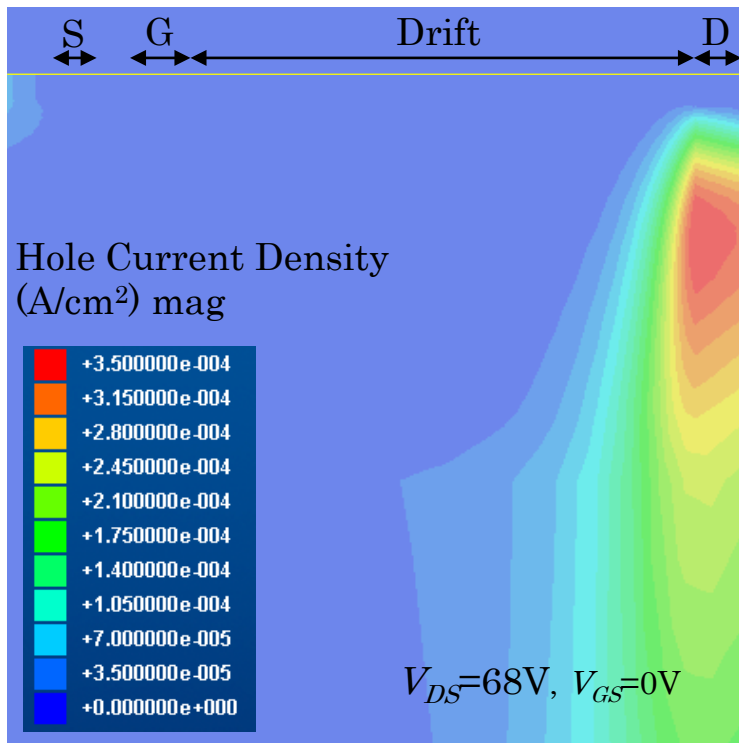
従来型LDMOS



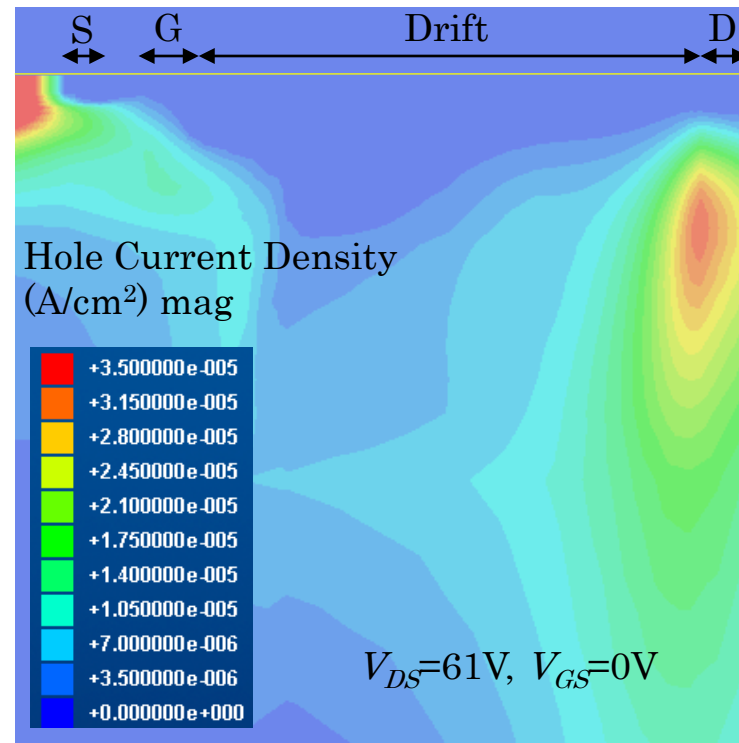
高信頼性型LDMOS

チャンネル側ドリフト端近傍での $y=0nm$ における正孔電流密度(矢印箇所) \Rightarrow 高信頼性型/従来型LDMOS = 1/19

ブレークダウン発生時の正孔電流密度分布の比較



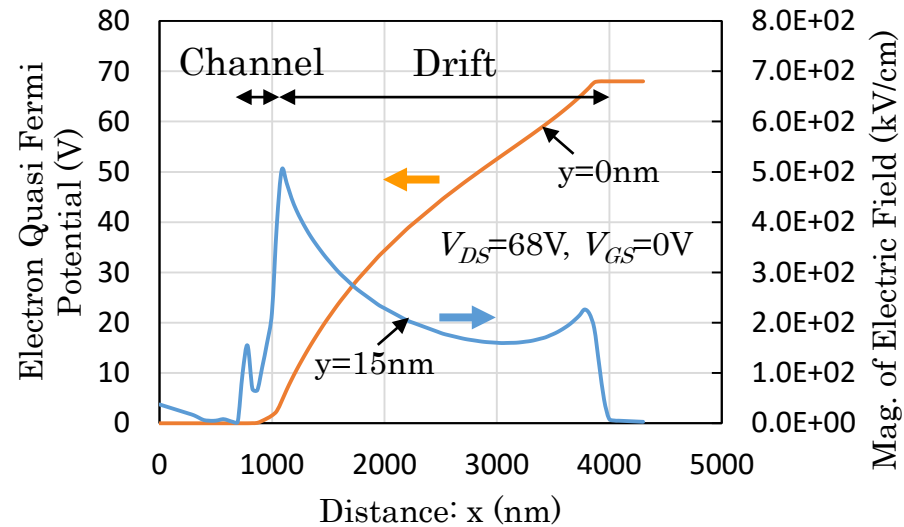
従来型LDMOS



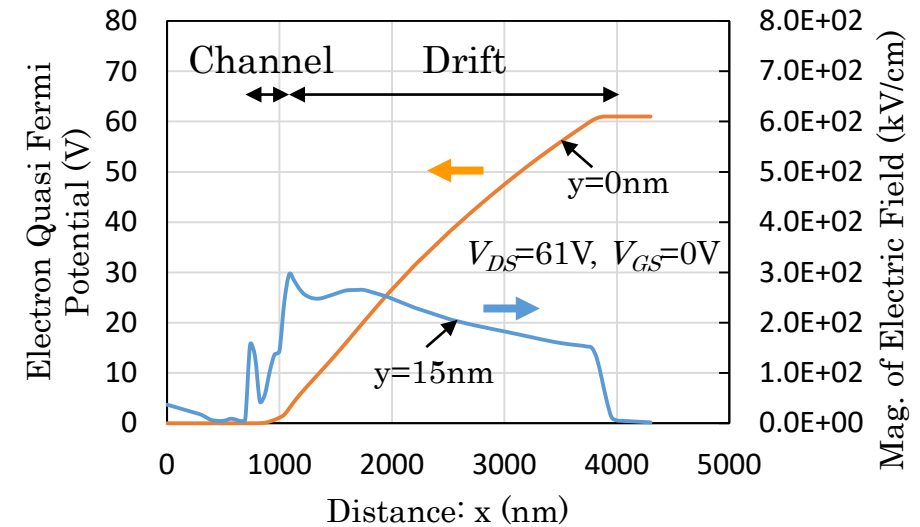
高信頼性型LDMOS

従来型も高信頼性型LDMOSもバルク・ブレークダウンを発生

従来型と高信頼性型LDMOSのブレークダウン時における電子の擬フェルミ電位と電界形状の比較



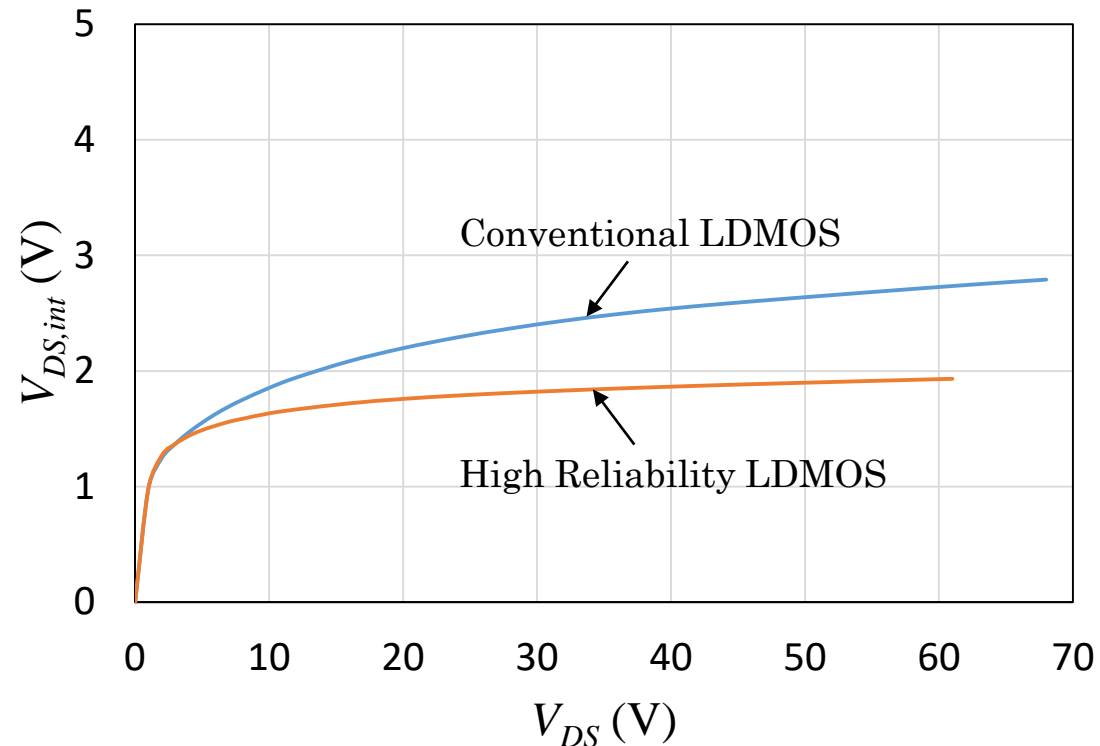
従来型LDMOS



高信頼性型LDMOS

RESURFのレベル: 従来型LDMOS < 高信頼性型LDMOS

従来型と高信頼性型LDMOSで $V_{DS,int} - V_{DS}$ の比較 at $V_{GS}=0V$



ブレークダウン時

従来型LDMOS

$$V_{DS,int}=2.79V \text{ at } BV_{DS}=68V$$

高信頼性型LDMOS

$$V_{DS,int}=1.93V \text{ at } BV_{DS}=61V$$

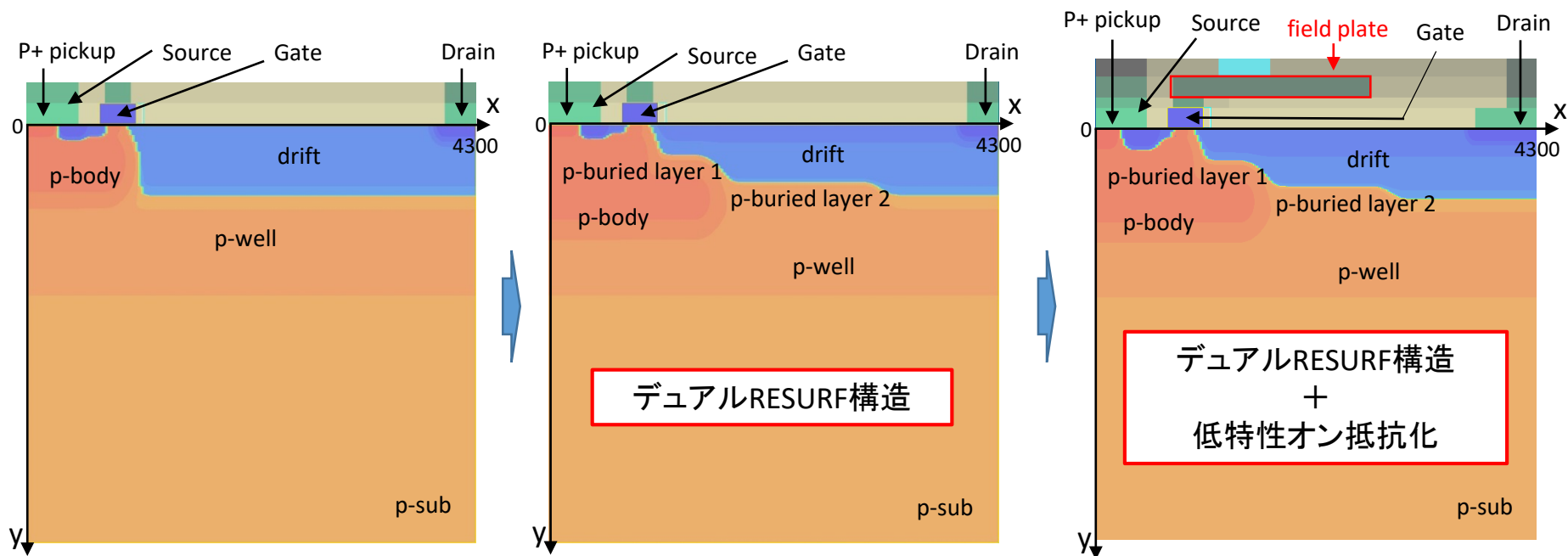
ブレークダウン時にゲート酸化膜(12nm)に掛かる電界:
2.3MV/cm(従来型LDMOS)、1.6MV/cm(高信頼性型LDMOS) ≪ 酸化膜破壊電界(約10MV/cm)

従来型と高信頼性型LDMOS特性のまとめ

項目	従来型	高信頼性型
真性MOSFETドレイン側ゲート端近傍におけるインパクト・イオン化による正孔電流密度	高	低
真性MOSFETのドレイン端近傍におけるドリフト領域内の電界の大きさ	高	低
ブレークダウンの箇所	バルク	バルク
ドレイン電流増大 (Current Expansion)	有り	無し
$V_{DS,int}$ (V) at BV_{DS}	2.79	1.93
BV_{DS} (V)	68	61
R_{onA} ($m\Omega mm^2$)	68.7	69.3
V_T (V) at $I_{DS}=1 \times 10^{-8}$ A	2.4	2.1

- (1) 信頼性(ホットキャリア耐性): 高信頼性型LDMOS ≫ 従来型LDMOS
- (2) ESD耐性: 高信頼性型LDMOS ≒ 従来型LDMOS(良い)
- (3) 特性オン抵抗: 高信頼性型LDMOS ≒ 従来型LDMOS(高い)

デュアルRESURF LDMOS(2) (高信頼性・低特性オン抵抗化)



従来型

高信頼性型

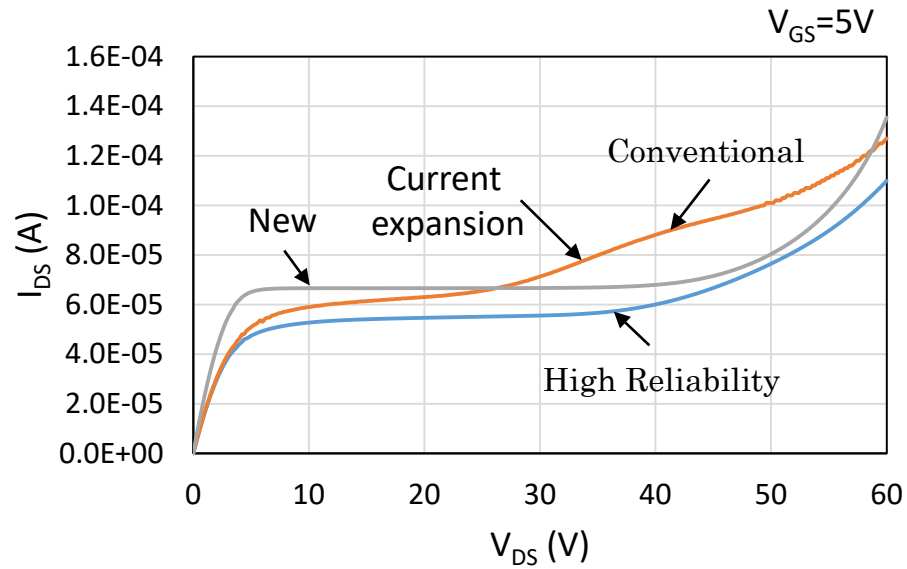
高信頼性・低特性オン抵抗(新)型

0.35μmプロセスベース	
ゲート長	0.35μm
ゲート酸化膜厚	12nm
ドリフト長	2.65μm
デバイス幅	0.3μm
(フィールドプレート長 1.625μm)	
(フィールドプレート下酸化膜厚 0.312μm)	

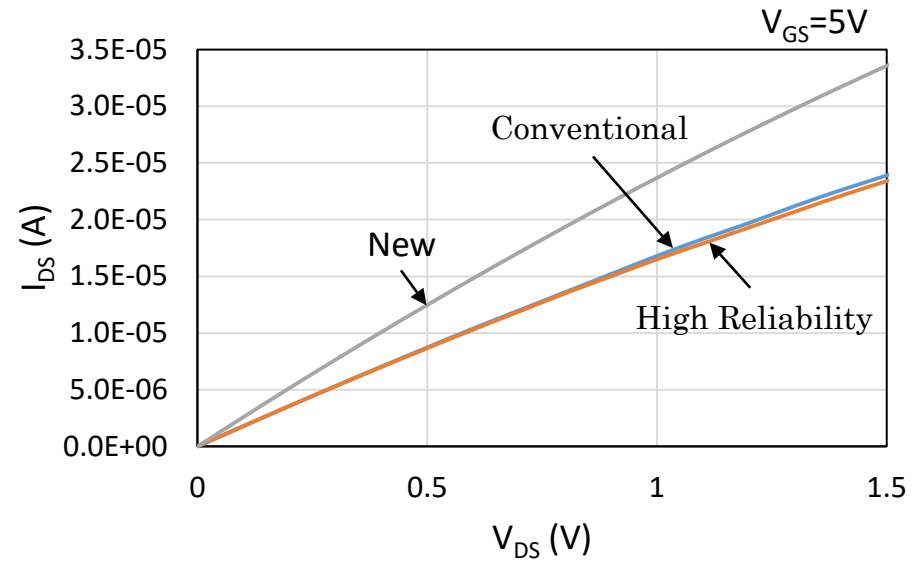
低特性オン抵抗化

- ・ドリフト領域の低抵抗化
 - ⇒ ドリフト領域縮小(ドリフト抵抗低下+セルピッチ短縮)
 - ⇒ フィールド・プレート追加(ドリフト領域のドーズ量増加)
- ・ソース領域の低抵抗化
 - ⇒ ソースのドーズ量増加

$I_{DS}-V_{DS}$ 特性の比較



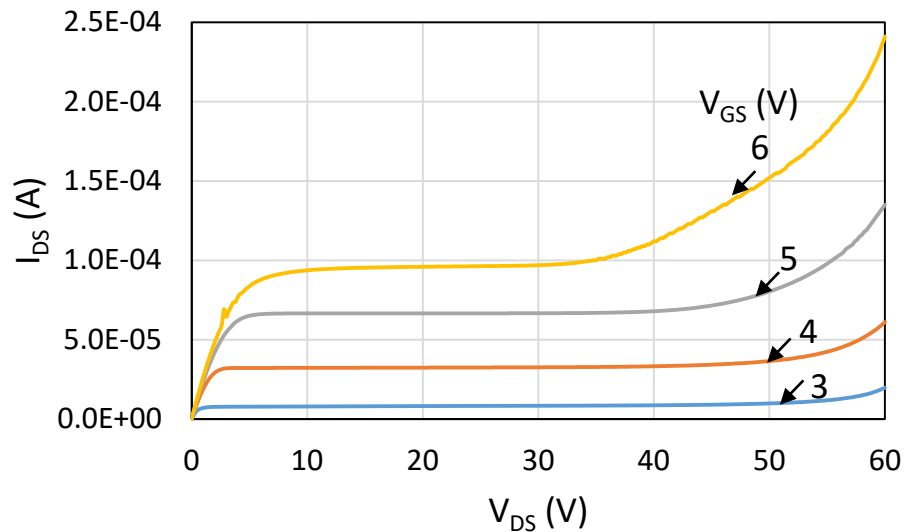
$I_{DS}-V_{DS}$ 特性の比較(飽和領域)



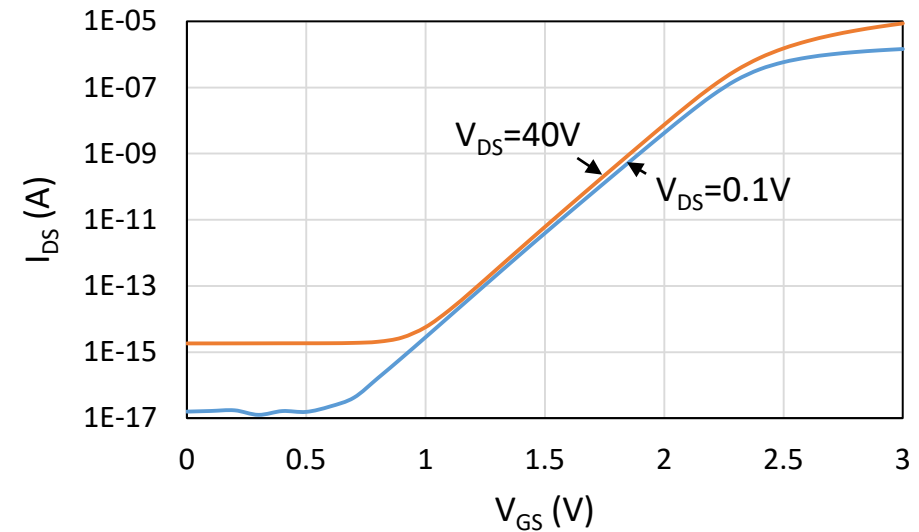
$I_{DS}-V_{DS}$ 特性の比較(線形領域)

- (1) 従来型でのみ電流増大 (Current Expansion) が発生
- (2) $R_{on,A}$ ($m\Omega \text{ mm}^2$) = 68.7(従来型), 69.3(高信頼性型), and 44.8 (新型)

新型LDMOSの $I_{DS}-V_{DS}$ and $I_{DS}-V_{GS}$ 特性



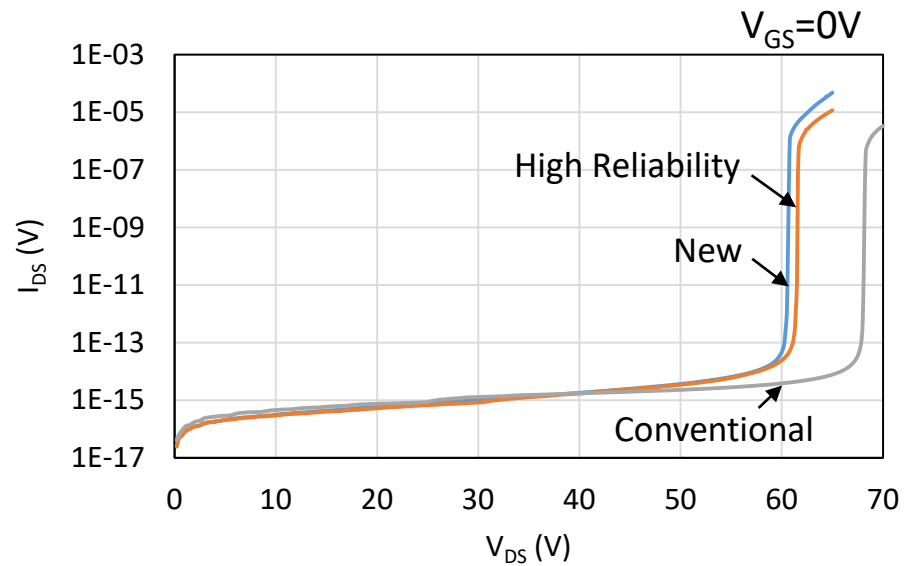
新型LDMOSの $I_{DS}-V_{DS}$ 特性



新型LDMOSの $I_{DS}-V_{GS}$ 特性

- (1) 新型LDMOS $\Rightarrow V_{GS}=6V$ でもCurrent Expansionの発生なし
- (2) V_t (at $I_{DS}=1 \times 10^{-8}A$, $V_{DS}=0.1V$) = 2.08V (新型LDMOS), cf. 2.11V (高信頼性型LDMOS)
- (3) V_t (at $I_{DS}=1 \times 10^{-8}A$, $V_{DS}=40V$) = 2.02V (新型LDMOS) \Rightarrow 新型LDMOSの DIBL は小さい

ブレークダウン特性の比較



ブレークダウン特性

$BV_{DS}=67.9V$ (従来型 LDMOS)

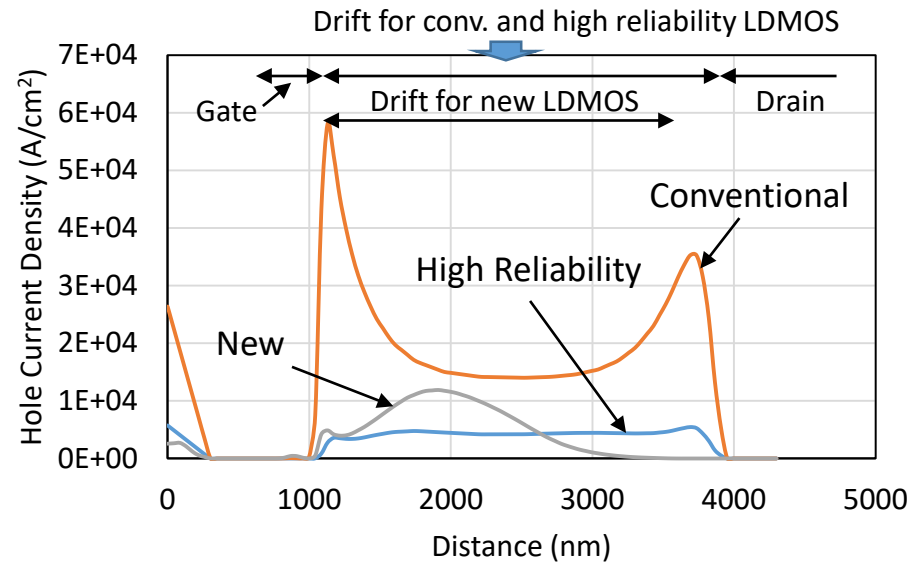
$BV_{DS}=61.2V$ (高信頼性型 LDMOS)

$BV_{DS}=60.3V$ (新型 LDMOS)

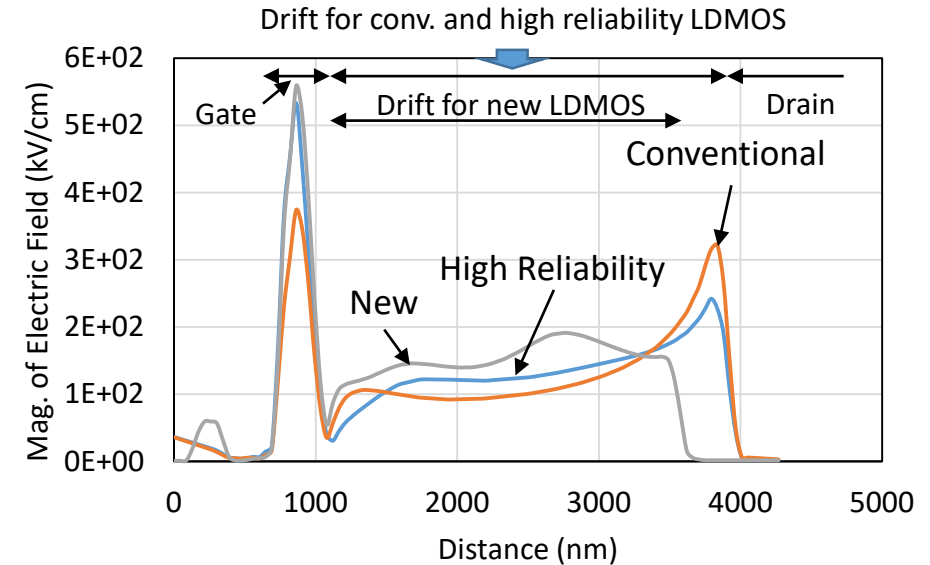
BV_{DS} : V_{DS} at $I_{DS}=1 \times 10^{-13}A$ under $V_{GS}=0V$.

BV_{DS} は新型LDMOSで最も低いが、
50V動作には十分

正孔電流密度と電界形状の比較



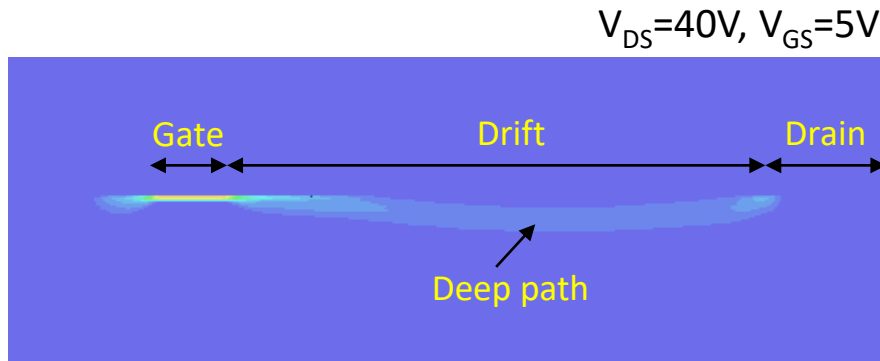
正孔電流密度の比較 $V_{DS}=40V, V_{GS}=5V$ at $y=0$ nm



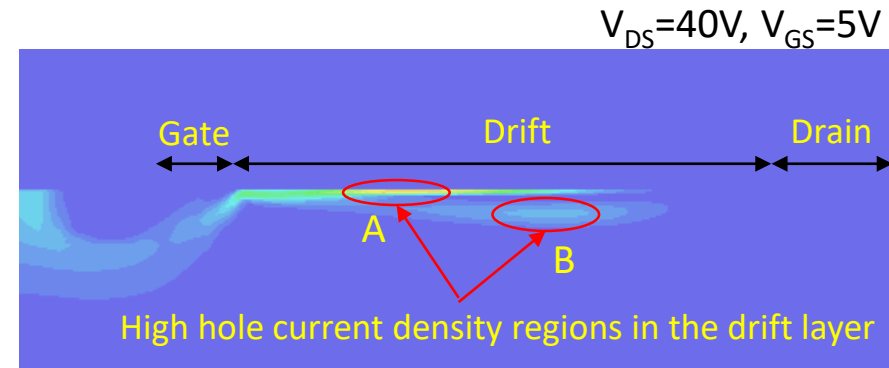
電界形状の比較 $V_{DS}=40V, V_{GS}=5V$ at $y=15$ nm

- (1) 正孔電流密度: **新型、高信頼性型LDMOS** ≪ 従来型LDMOS(ドリフト層端)
- (2) 正孔電流密度: 新型LDMOSは $x=1900$ nmでピークを持つが、ゲート側ドリフト端では高信頼性型LDMOSと同程度
- (3) 電界の大きさ: 従来型と高信頼性型LDMOSは、ドレイン側ドリフト端でピークを持つが、新型LDMOSはそれを持たない

新型LDMOSの電子電流密度と正孔電流密度分布



電子電流密度分布



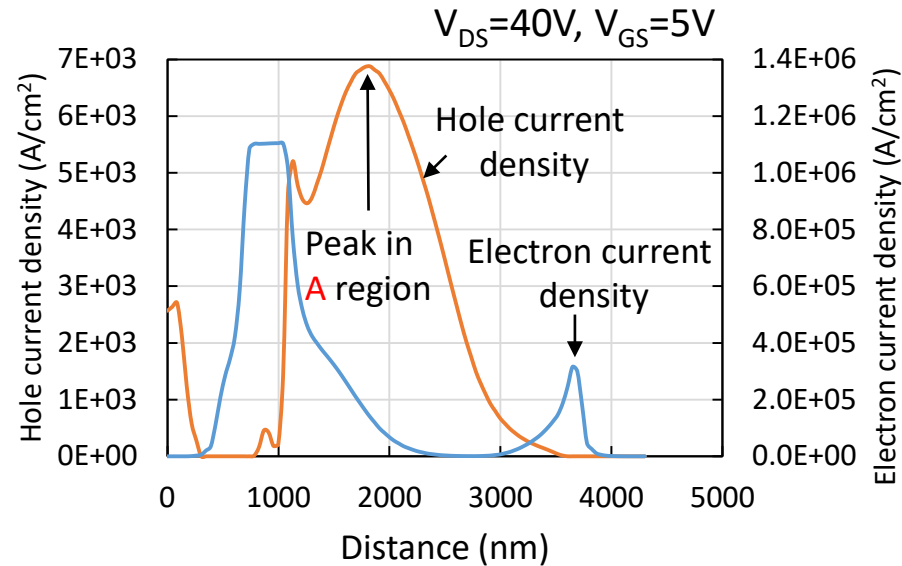
正孔電流密度分布

- (1) 電子電流はドリフト領域内の深い領域を流れる
- (2) 正孔電流密度の高い領域が2箇所(AとB)ある

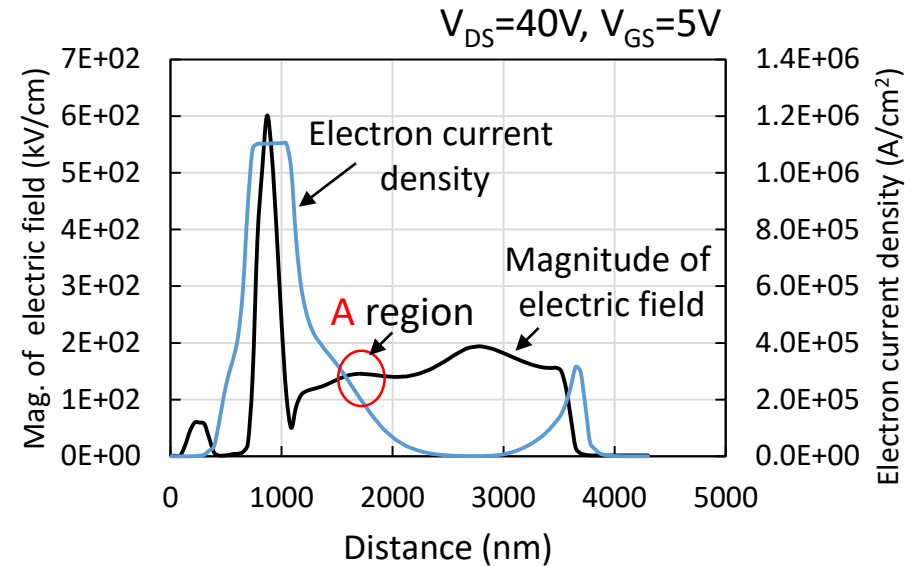
インパクトイオン化による正孔電流 \propto 電子電流 \times 電界 $\times \exp(-a/\text{電界})$

a: 定数

新型LDMOSの正孔電流密度、電子電流密度、電界形状 ($y=10\text{nm}$ における x 方向カットライン)



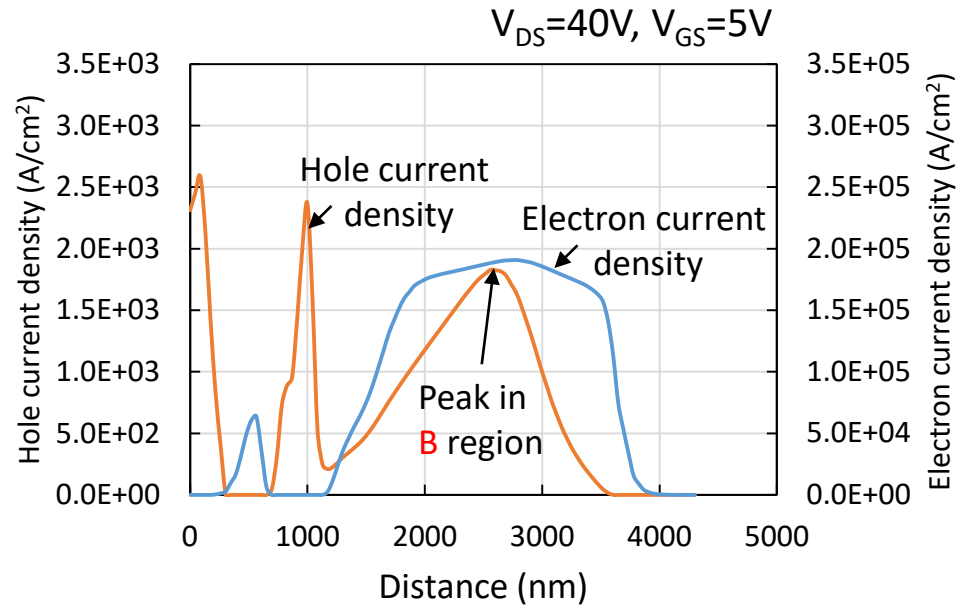
正孔電流密度と電子電流密度形状



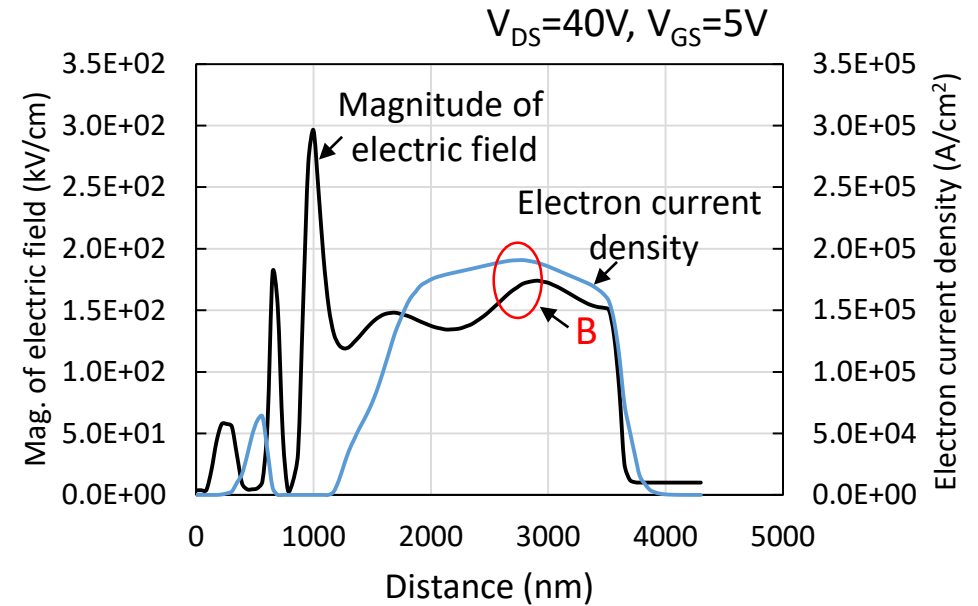
電子電流密度と電界形状

B領域で発生した正孔電流のA領域への流れ込みとA領域で発生した正孔電流がピークを発生させる

新型LDMOSの正孔電流密度、電子電流密度、電界形状 ($y=100\text{nm}$ における x 方向カットライン)



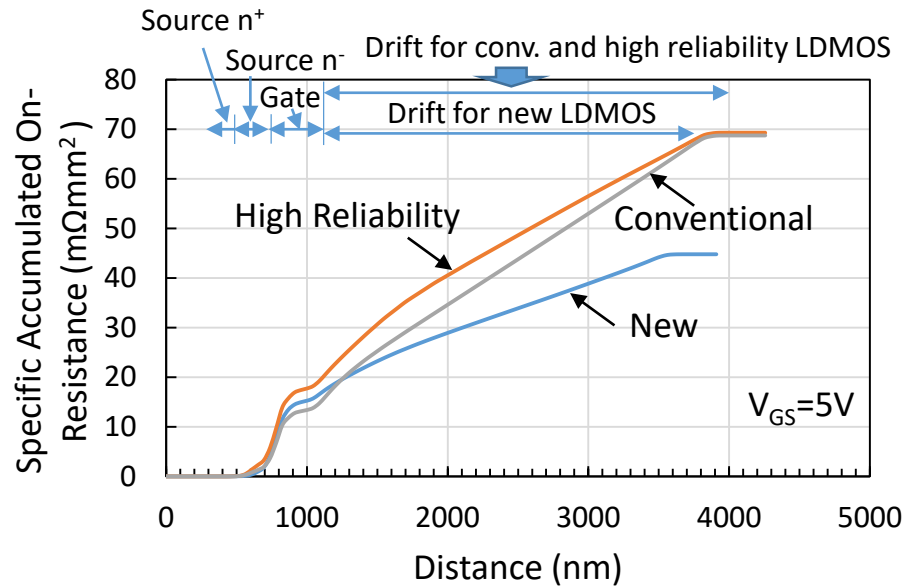
正孔電流密度と電子電流密度形状



電子電流密度と電界形状

B領域の高い電界と電子電流密度が正孔電流密度のピークを発生させる

オン抵抗分析



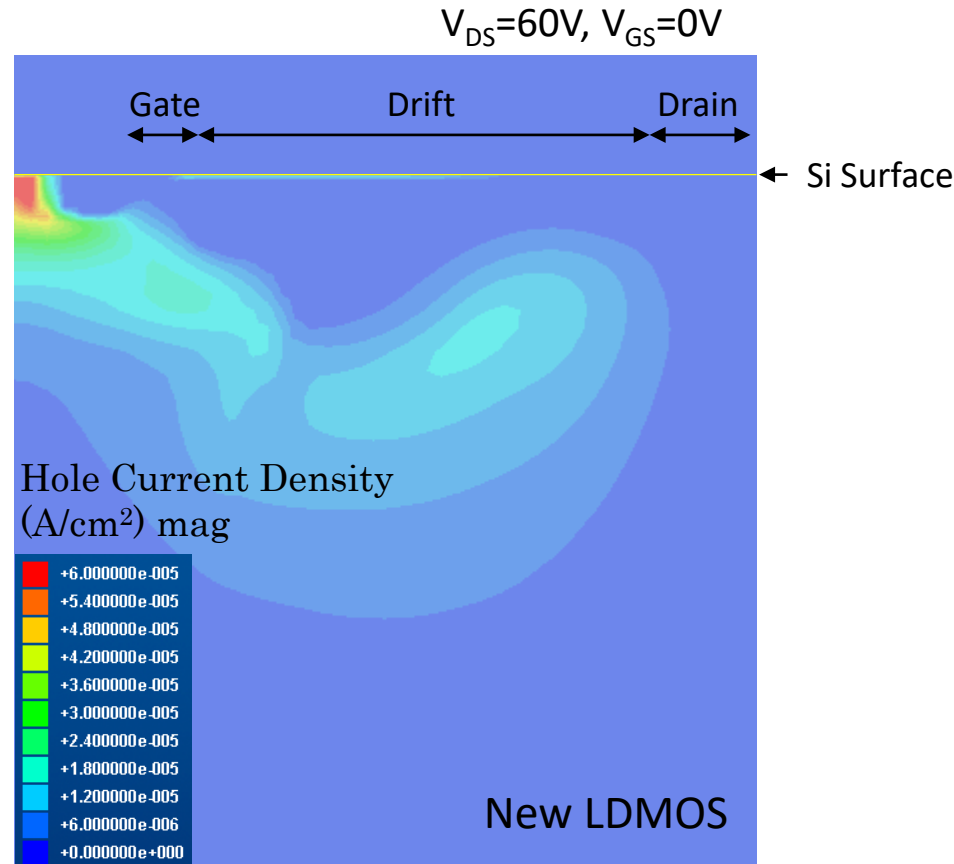
特性累積オン抵抗の比較

特性オン抵抗成分

領域	従来型 LDMOS		高信頼性型 LDMOS		新型 LDMOS	
	値 (Ω)	割合 (%)	値 (Ω)	割合 (%)	値 (Ω)	割合 (%)
ソース n ⁻ (Ω)	1,640	3%	2,761	5%	1,661	4%
チャンネル (Ω)	8,214	14%	10,366	18%	10,397	26%
ドリフト (Ω)	47,420	83%	44,610	77%	28,015	70%
計 (Ω)	57,274	100%	57,737	100%	40,074	100%

新型LDMOSのドリフト抵抗は最も低い

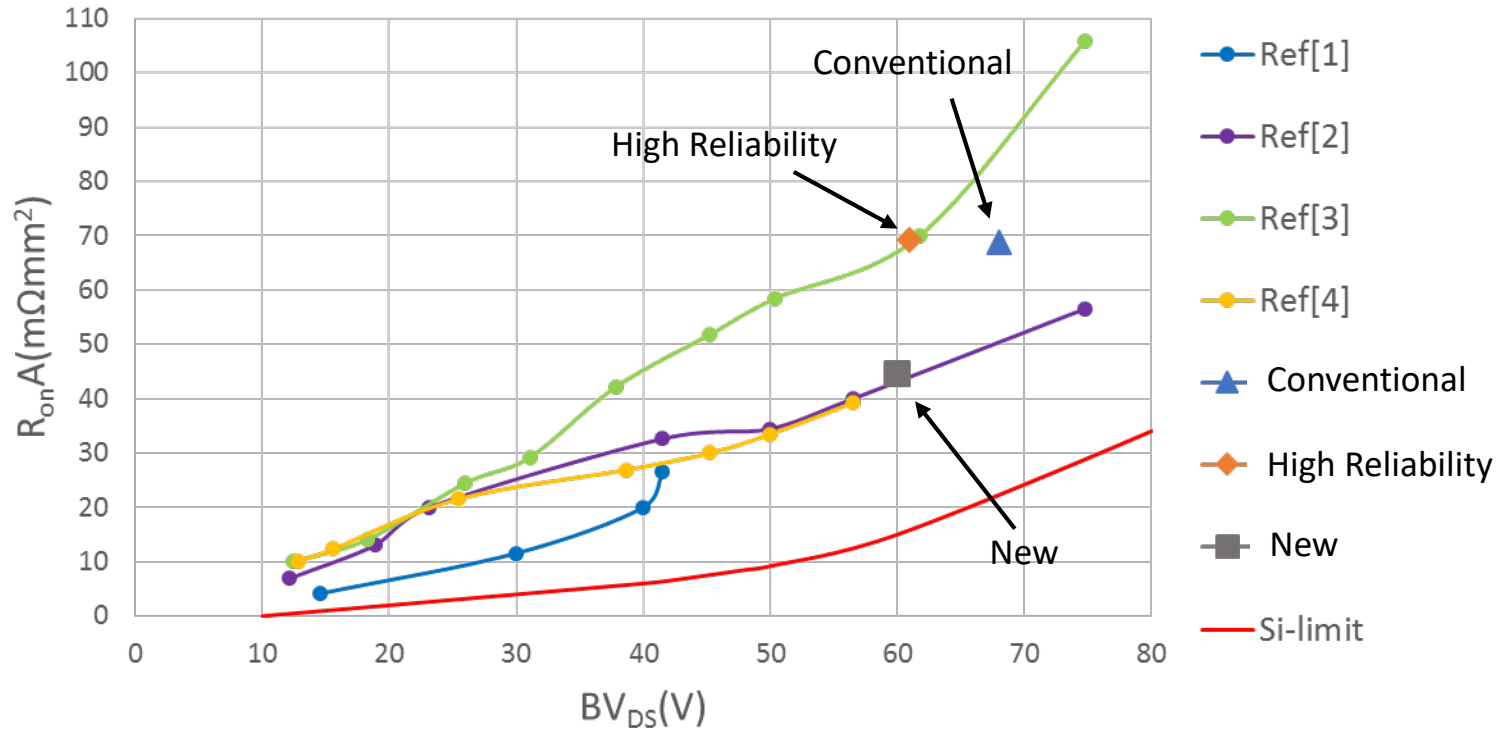
ブレークダウン発生時の正孔電流密度分布(新型LDMOS)



バルク・ブレークダウン発生

ブレークダウン発生時の正孔電流密度分布

特性オン抵抗-耐圧特性



新型LDMOSの
特性オン抵抗-耐圧特性
⇒ 最先端レベル

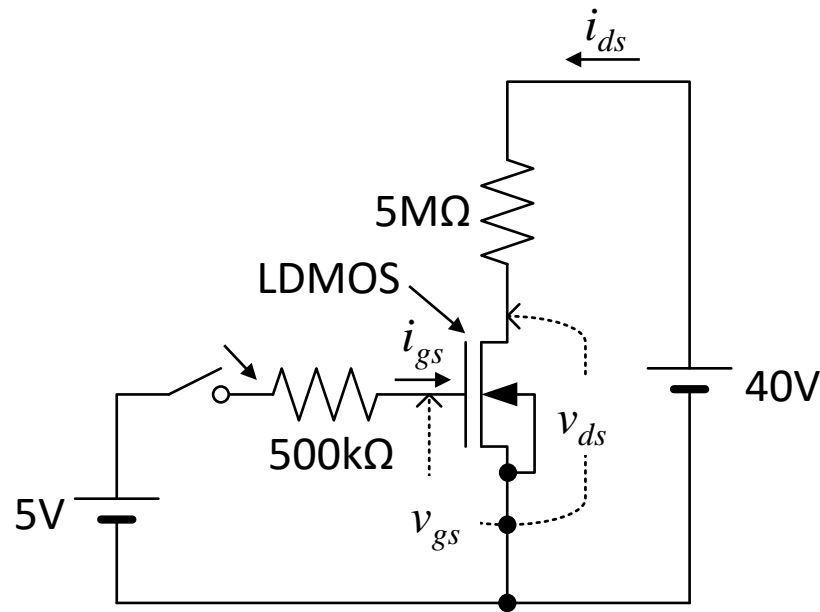
Ref[1]:S.Pendharkar “7 to 30V state-of-art power device implementation in 0.25 μ m LBC7 BiCMOS-DMOS process technology” Proc. Of ISPSD, p419-422, 2004. (Texas Instruments(米))

Ref[2]:R.Zhu, “Implementation of high-side, “high-voltage RESURF LDMOS in a sub-half micron smart power technology” ,ISPSD, p403-406, 2001. (Motorola (米))

Ref[3.4]:Choul-Joo Ko, et al., “Implementation of Fully Isolated Low Vgs nLDMOS with Low Specific On-resistance,” ISPSD, pp. 24-27 (2011). (Dongbu Hitek(韓国))

ターンオン過渡解析回路と全パワー損失

全パワー損失



ターンオン過渡解析回路

$$P_{D,total} = (W_{GD r} + W_{SW,turn-on} + W_{SW,turn-off})f + DP_{ON}$$

$$\approx (W_{GD r} + 2W_{SW,turn-on})f + DP_{ON}$$

f : 周波数 D : デューティ比

$W_{GD r}$: 1周期当たりのゲート駆動損失 $\Rightarrow W_{GD r} = 2 \left(\int_{turn-on\ period} v_{gs} i_{gs} dt \right)$

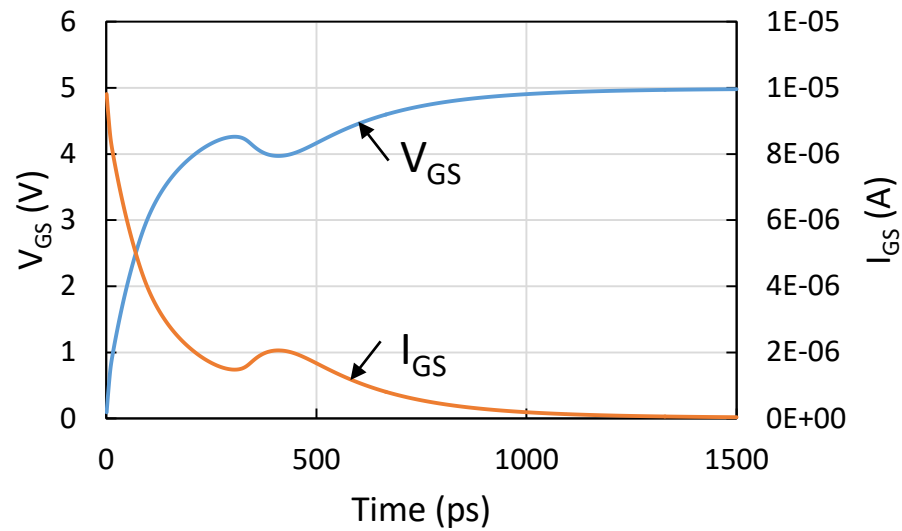
$W_{SW,turn-on}$: ターンオン期間のスイッチング損失 $\Rightarrow W_{SW,turn-on} = \int_{turn-on\ period} v_{ds} i_{ds} dt$

$W_{SW,turn-off}$: ターンオフ期間のスイッチング損失 $\Rightarrow W_{SW,turn-off} = \int_{turn-off\ period} v_{ds} i_{ds} dt$

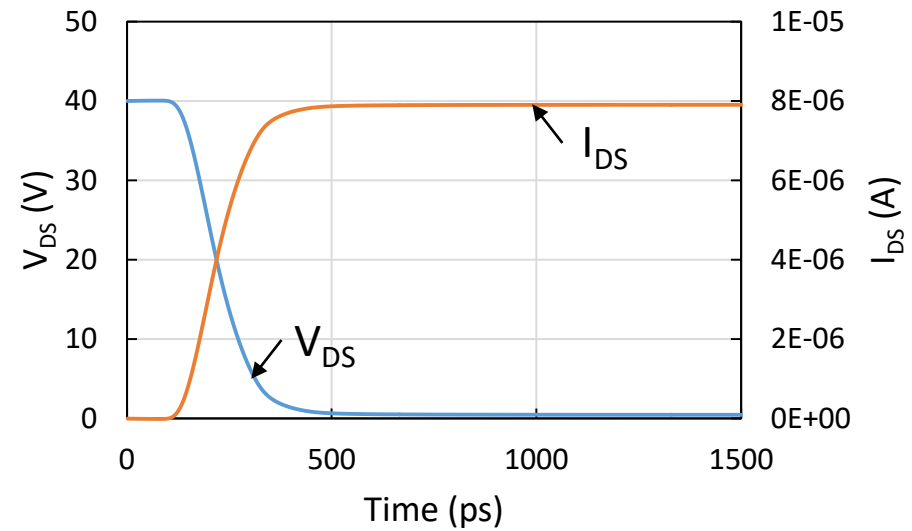
P_{ON} : 導通時のパワー損失 $\Rightarrow P_{ON} = I_{DS} V_{DS}$

I_{DS}, V_{DS} : DC component

高信頼性型LDMOSのターンオン特性

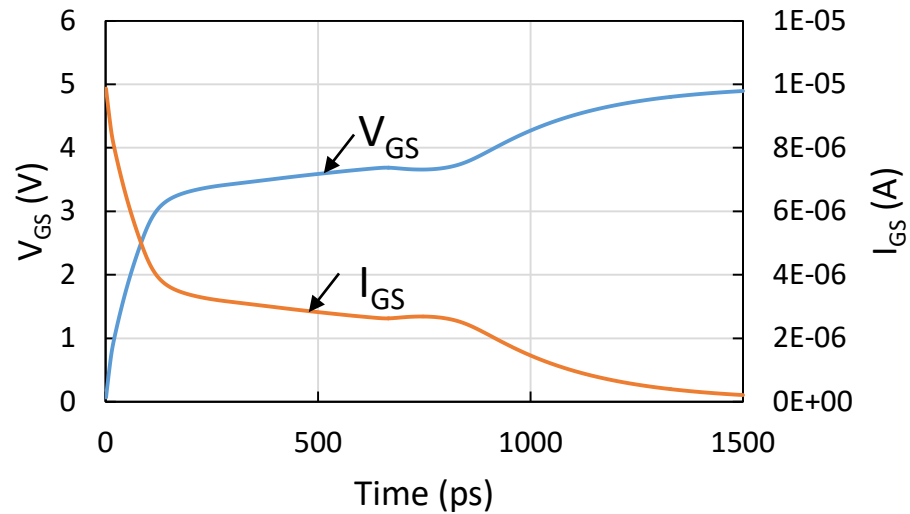


V_{GS} -time と I_{GS} -time 特性

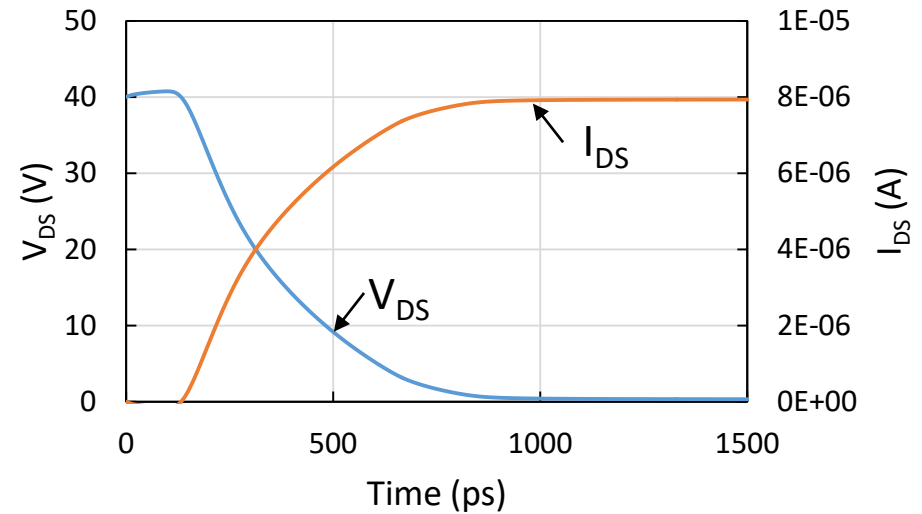


V_{DS} -time と I_{DS} -time 特性

新型LDMOSのターンオン特性

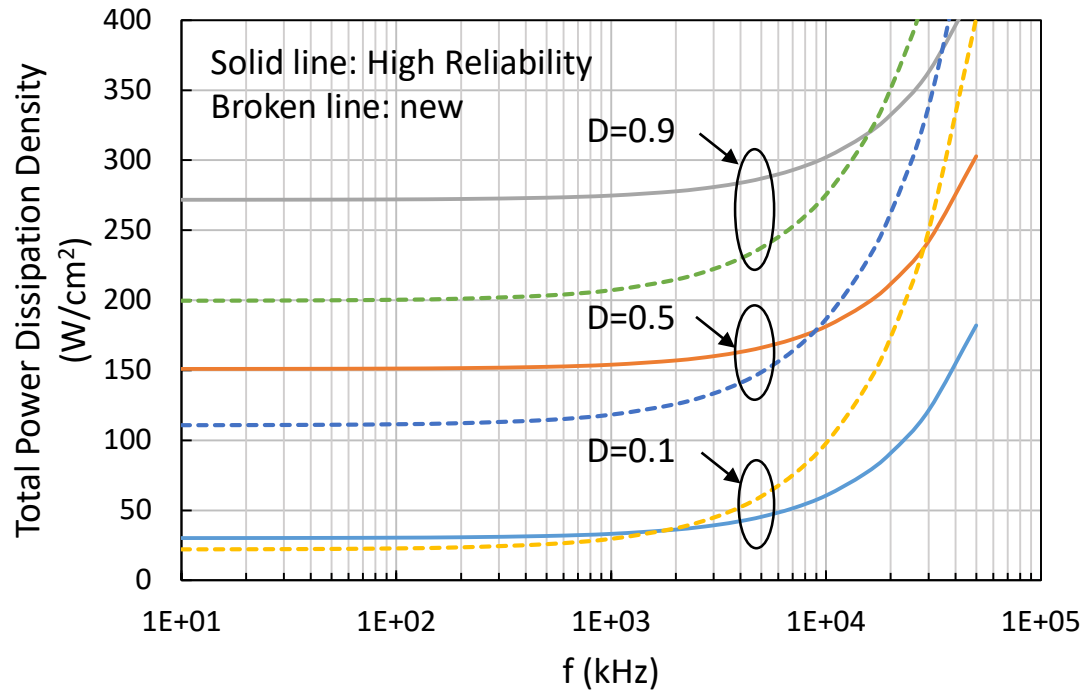


V_{GS} -time と I_{GS} -time 特性



V_{DS} -time と I_{DS} -time 特性

全パワー損失密度の比較



全パワー損失密度の周波数依存性

$I_{DS}(\text{on-state})=7.1 \text{ A/mm}^2$ 新型LDMOS
 $I_{DS}(\text{on-state})=6.6 \text{ A/mm}^2$ 高信頼性型LDMOS

スイッチング損失のFOM ($R_{on} \cdot Q_g$)

$R_{on} \cdot Q_g=141 \text{ m}\Omega \cdot \text{nC}$ 新型LDMOS

$R_{on} \cdot Q_g=104 \text{ m}\Omega \cdot \text{nC}$ 高信頼性型LDMOS

全パワー損失密度

D=0.1

$f < 1.5 \text{ MHz} \Rightarrow$ 新型LDMOS < 高信頼性型LDMOS

$D \geq 0.5$

$f < 9 \text{ MHz} \Rightarrow$ 新型LDMOS < 高信頼性型LDMOS



全パワー損失密度 \Rightarrow 新型LDMOS < 高信頼性型LDMOS
 (DC-DCコンバータの実用的なスイッチング周波数範囲)

まとめ

項目	従来型	高信頼性型	新型
ドレイン電流増大 (Current Expansion)	有り	無し	無し
R_{onA} ($m\Omega mm^2$)	68.7	69.3	44.8
BV_{DS} (V)	68	61	60
ブレークダウンの箇所	バルク	バルク	バルク
真性MOSFETのドレイン側ゲート端周りで のインパクト・イオン化による正孔電流密度	高	低	低
真性MOSFETのドレイン端周りの ドリフト領域内の電界の大きさ	中	低	高 <small>(インパクトイオン化への影響小)</small>
FOM(= $R_{ON}Q_g$) ($m\Omega nC$)		104	141
全パワー損失密度		実用スイッチング周波 数範囲で大きい	実用スイッチング周波 数範囲で小さい

新型LDMOSの特性

⇒ 高信頼性(高ホットキャリア耐性)、低特性オン抵抗(最先端レベル)、高ESD耐性(バルク・ブレークダウン)、低全パワー損失密度(DC-DCコンバータの実用スイッチング周波数範囲)

謝辞

本研究を進めるにあたり、3D TCADを貸して頂いたアドバンスソフト株式会社様に深く感謝を申し上げます。

この3D TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト株式会社様で開発されました。