

固定クロックを使用しないスイッチング電源での 多相化の制御方式の検討

群馬大学 電子情報数理教育プログラム

小林研究室 修士2年

熊 軼

t161d601@gunma-u.ac.jp



Kobayashi
Laboratory

指導： 客員教授 小堀康功先生



- 研究背景
- 研究目的
- 研究課題
- 研究方法
- 研究結果
- まとめ

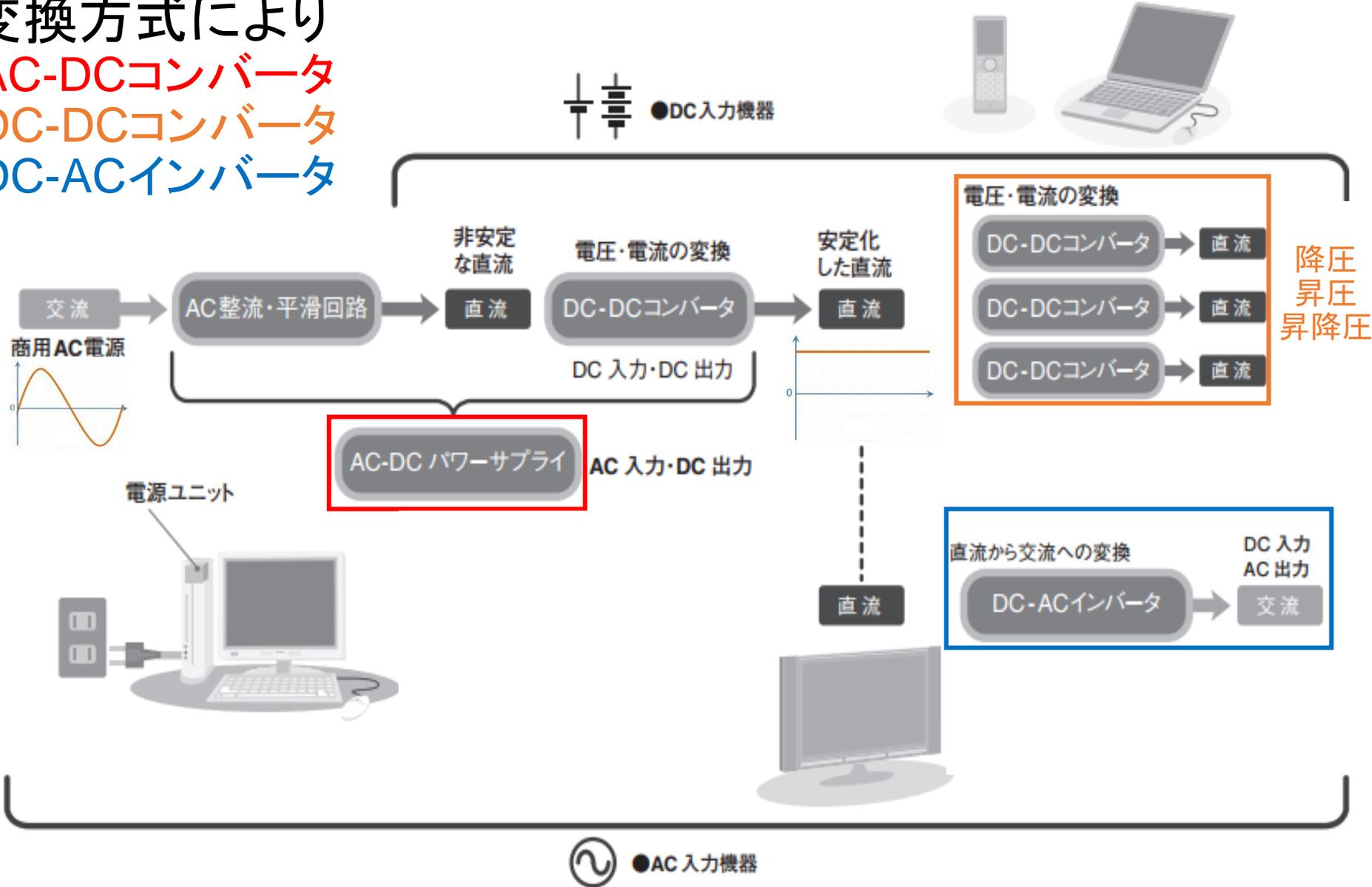
研究背景 スイッチング電源とは

- スイッチングトランジスタなどを用い、電力を（主に交流電力を直流電力に）変換等する装置
- スイッチング式直流安定化電源とも呼ぶ
- 小型、軽量、高電力変換効率



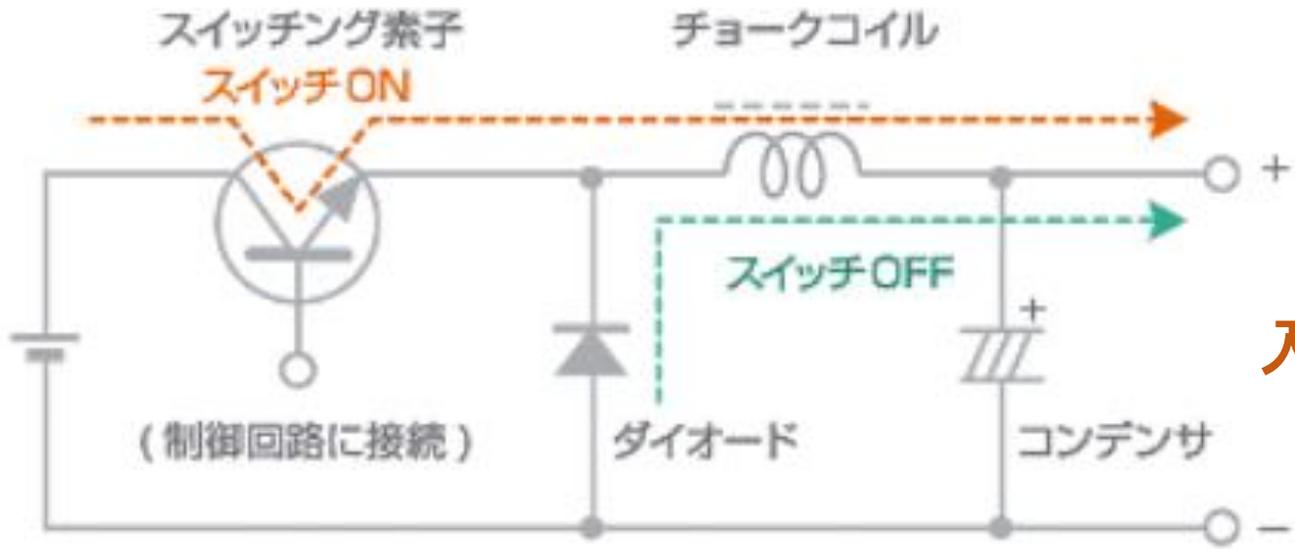
研究背景 スイッチング電源の種類

変換方式により
 AC-DCコンバータ
 DC-DCコンバータ
 DC-ACインバータ



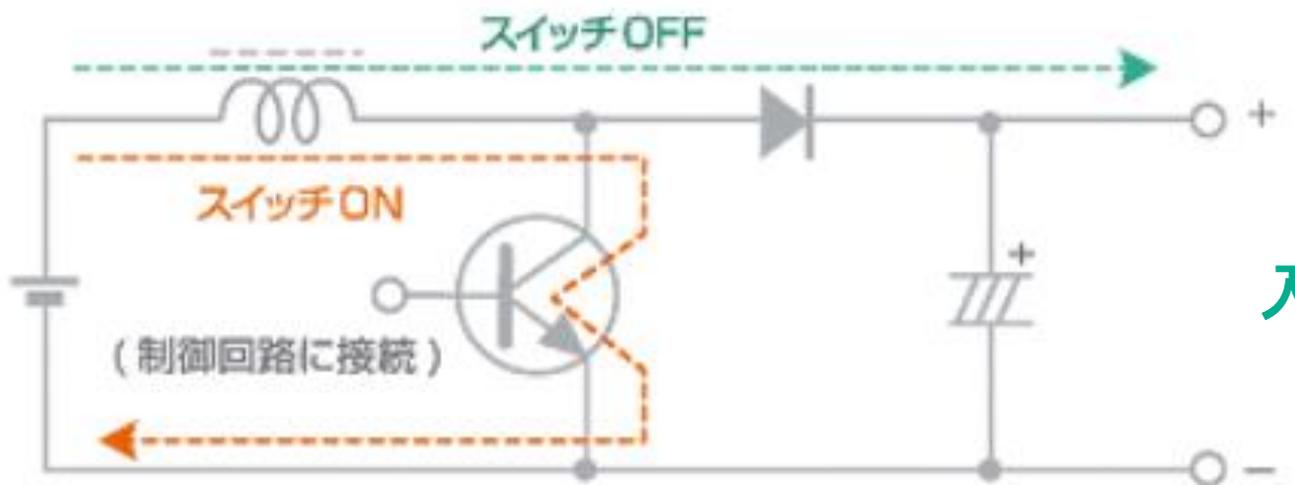
降圧
 昇圧
 昇降圧

研究背景 DC-DCコンバータの動作原理



降压コンバータ

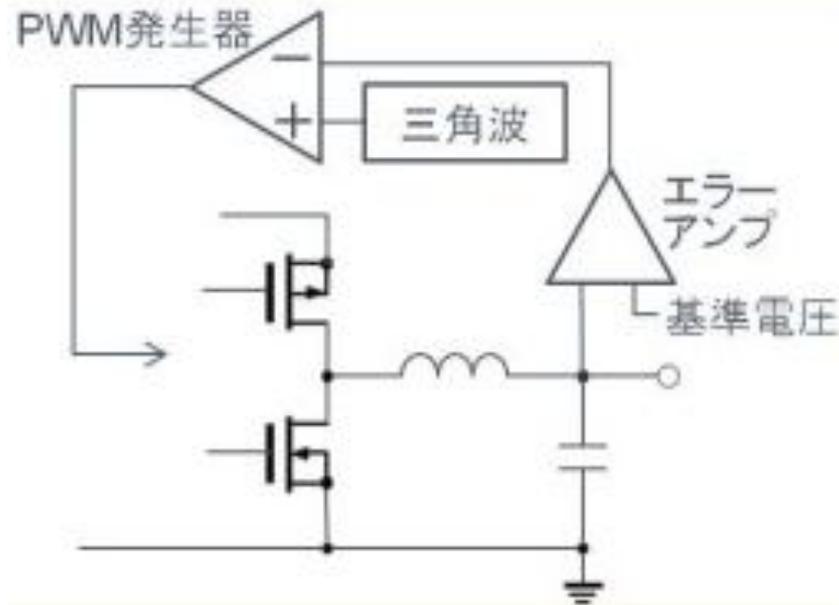
入力電圧 > 出力電圧



昇圧コンバータ

入力電圧 < 出力電圧

PWM 電圧モード制御



メリット

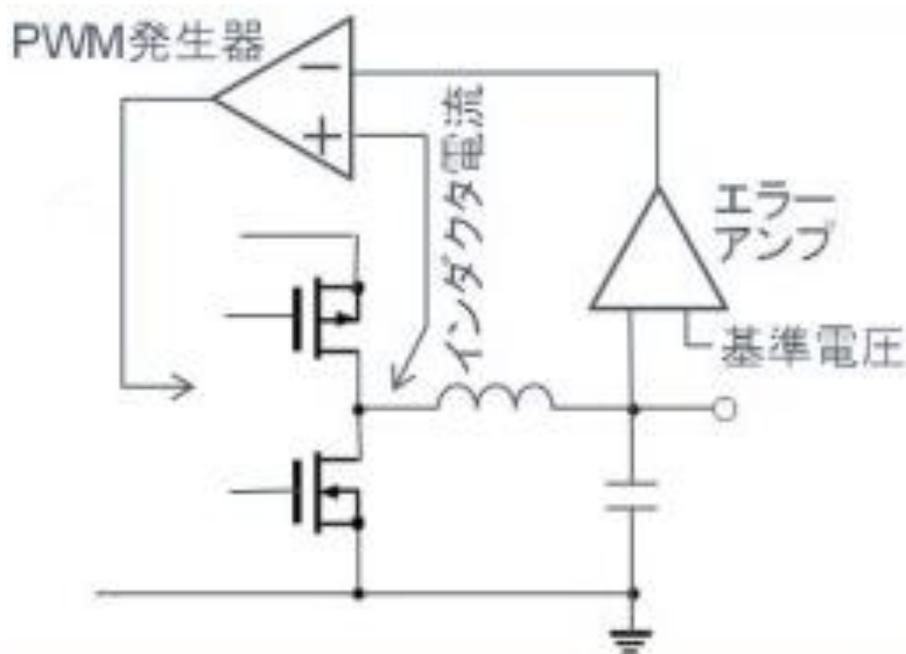
- ・回路構成
➡ 単純
- ・スイッチング周波数 固定
➡ EMI 対策 簡単

デメリット

- ・過渡応答特性
➡ 劣る
- ・フィードバック・ループ
位相補償回路設計
➡ 複雑

研究背景 DC-DCコンバータの制御方式 (2)

PWM 電流モード制御



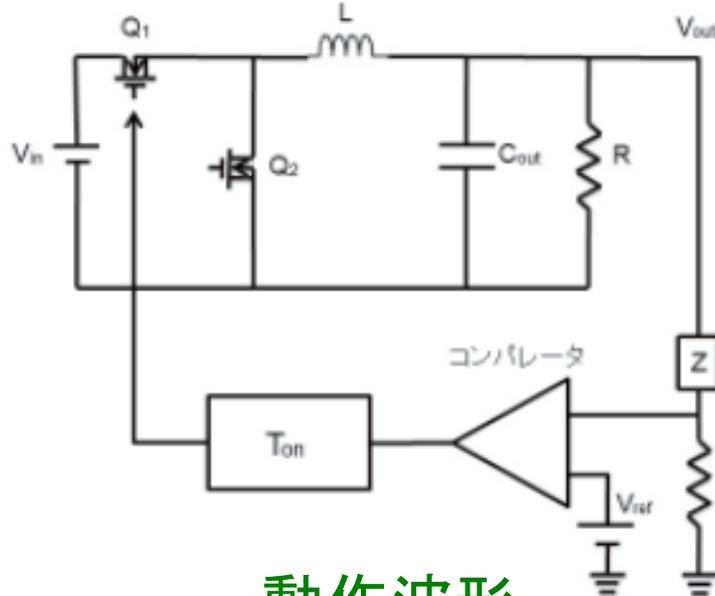
メリット

- ・負荷急変時応答
→ 高速
- ・フィードバック・ループ
位相補償回路設計
→ 簡単
- ・スイッチング周波数固定
→ EMI 対策 簡単

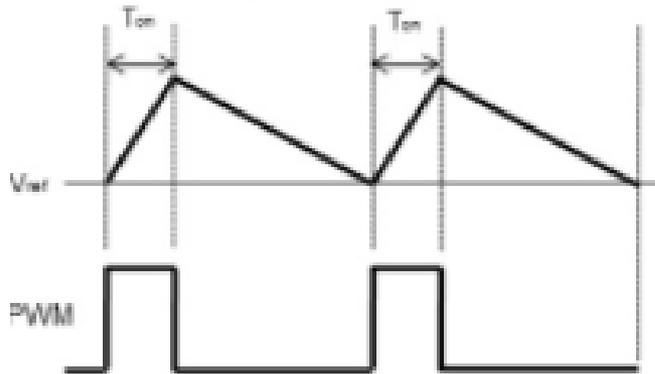
デメリット

- ・電流検出が敏感
→ ノイズに弱い
- ・回路構成
→ 複雑

リップル制御



動作波形



メリット

- ・負荷急変時応答
➡ 極めて高速

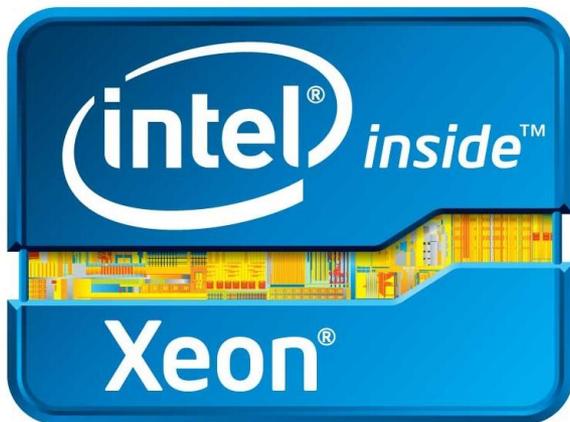
デメリット

- ・スイッチング周波数 変化
➡ EMI 対策 難
- ・マルチフェーズ構成
➡ 大電流出力対応 難

研究背景 高性能プロセッサ用電源

インテルXeonプロセッサが電源に要求仕様

直流入力電圧	直流出力電圧	直流出力電流	最大出力電流	最大出力電流 ステップ	最大出力電流 スルー・レート
12V	0.8375V~ 1.6000V	105A	120A	100A/us	930A/us

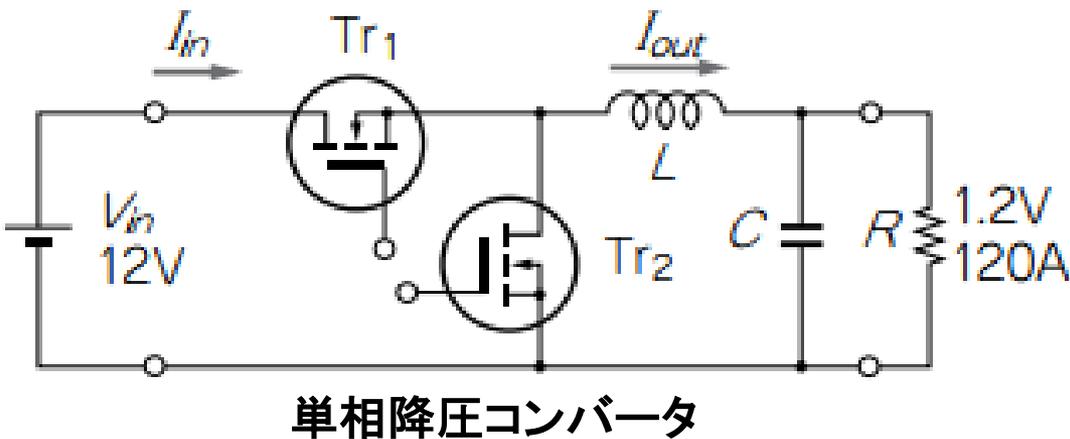


高性能プロセッサを
動作させるには

低電圧
大電流
出力電圧精度
低リップル
高速負荷応答
電源管理機能

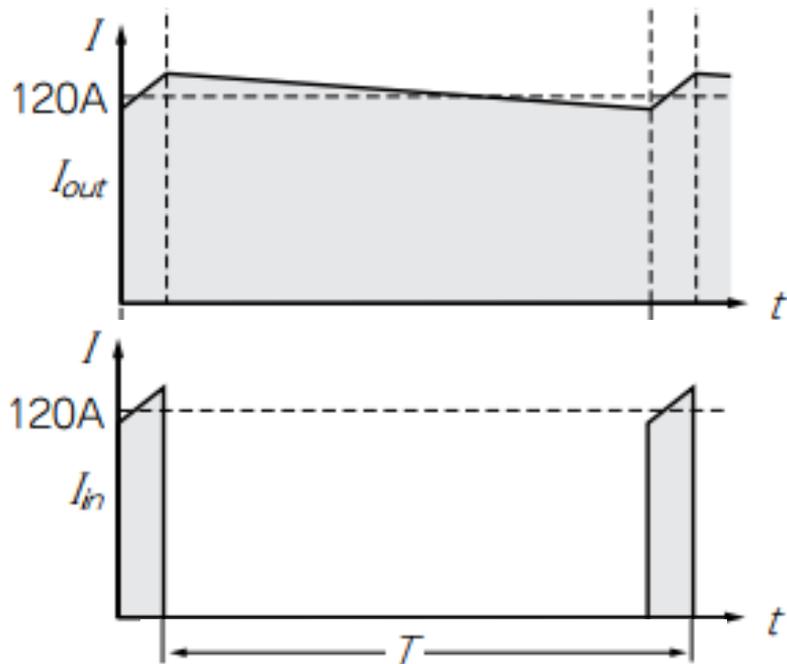
以上に対応できるのはマルチフェーズ電源である

研究背景 1相電源構成の問題



12V入力 1.2V/120A出力
降圧型コンバータ

1相構成；
一回路で
120A電流全て流す必要あり
→ 回路素子への負担大

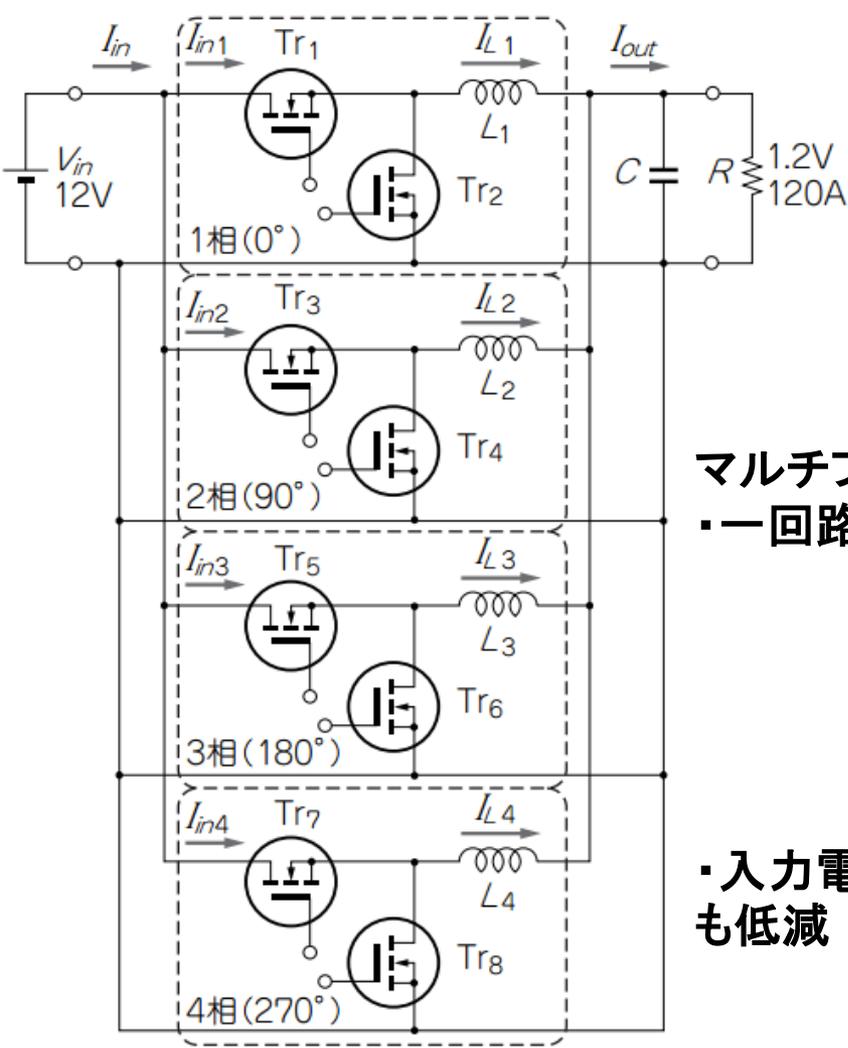


入力、出力電流波形



← 入力電源のストレスも大

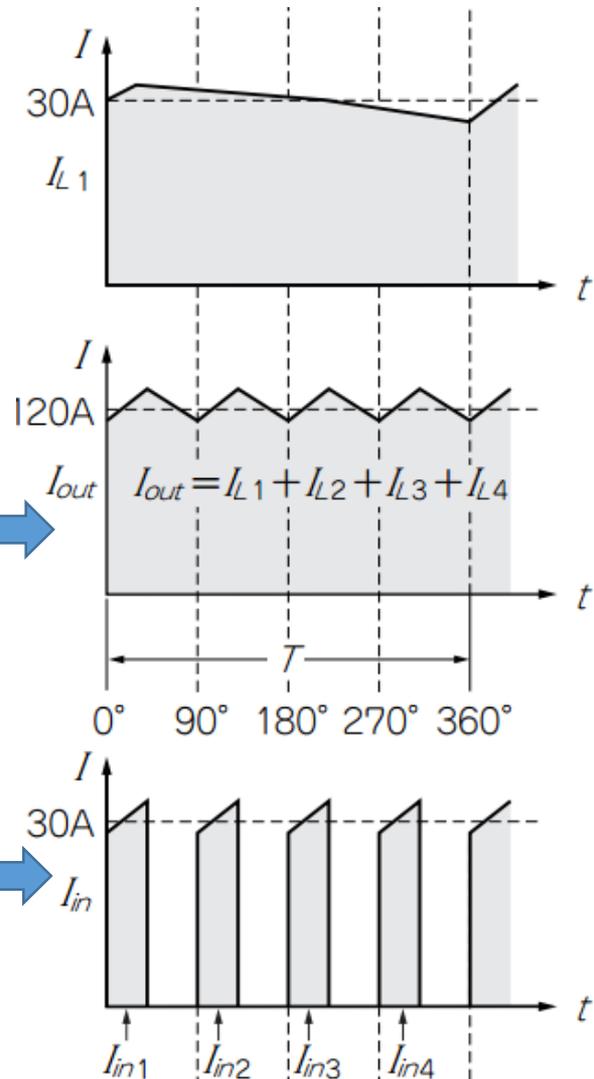
研究背景 マルチフェーズ電源



四相降圧コンバータ

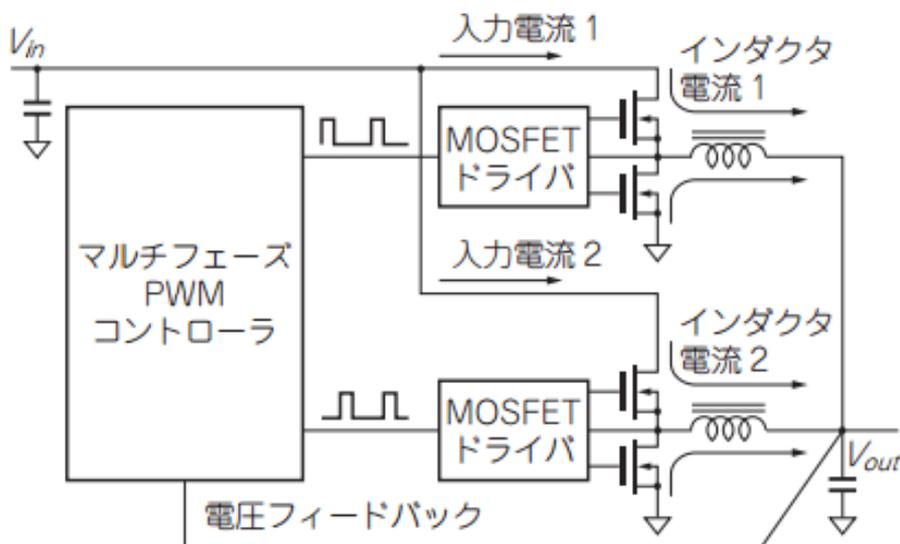
マルチフェーズ化
 ・一回路の電流負担が低減

・入力電源に加わるストレスも低減

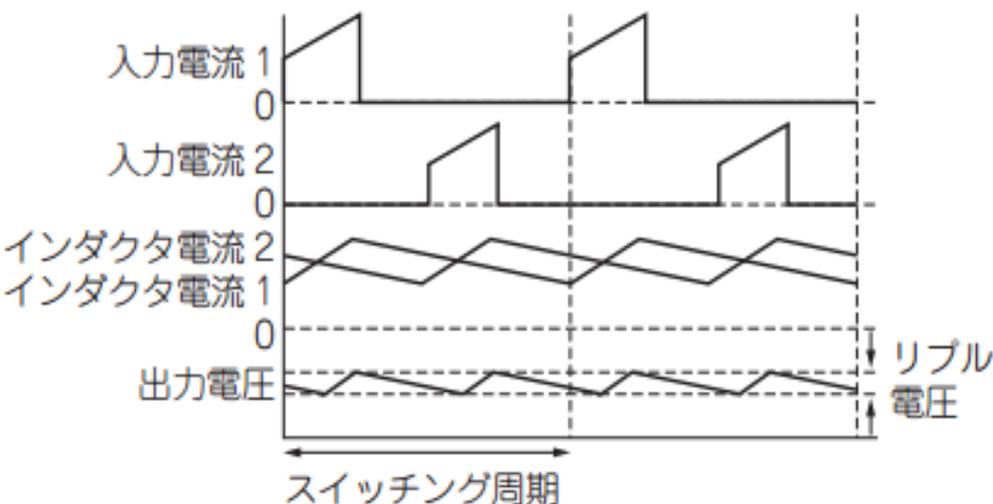


入力出力波形

研究背景 マルチフェーズ電源



マルチフェーズコンバータ 基本構成



マルチフェーズコンバータ基本動作波形

マルチフェーズ電源:

- 複数の電源回路を並列接続
- 位相をずらして動作.
- 並列化によって出力電流を増大可
- 疑似的にスイッチング周波数が高
- リプル低減
- 応答性向上

位相ずらす

- ➡ 入力ピーク電低減
出力リップル電圧低減

研究目的

現状のサーバー用CPU: 大電流、低リップルの仕様

4相～6相の降圧型電源が使用

今後のさらなる大電流化・高速化  リプル制御電源が好ましい
 マルチフェーズ化 困難

研究目的:

高性能プロセッサ用

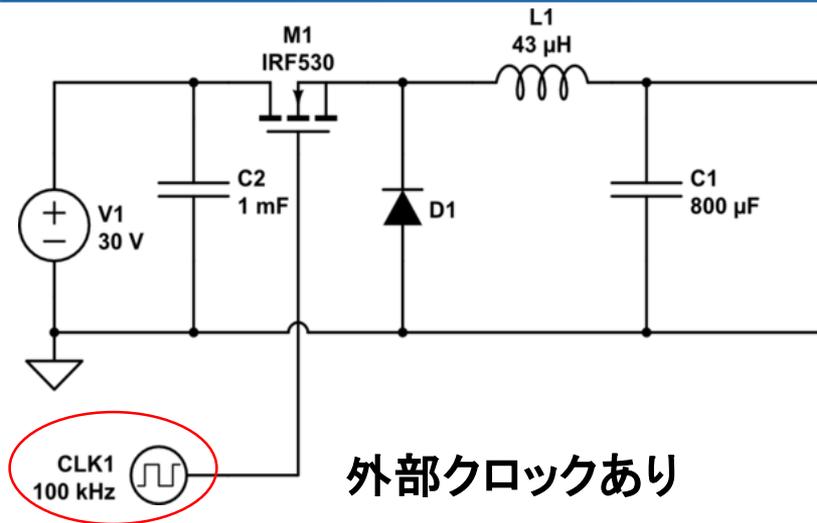
リップル制御電源をマルチフェーズ化

高速応答と大電流を両立できる電源開発

目標電源仕様:

- ・電流バランス誤差 1%以下
- ・出力電圧リップル 1%以下
- ・単一パワーステージ方式と比較すると
負荷応答ピーク電圧 50%以上低減
リカバリ時間 50%以上低減

研究課題

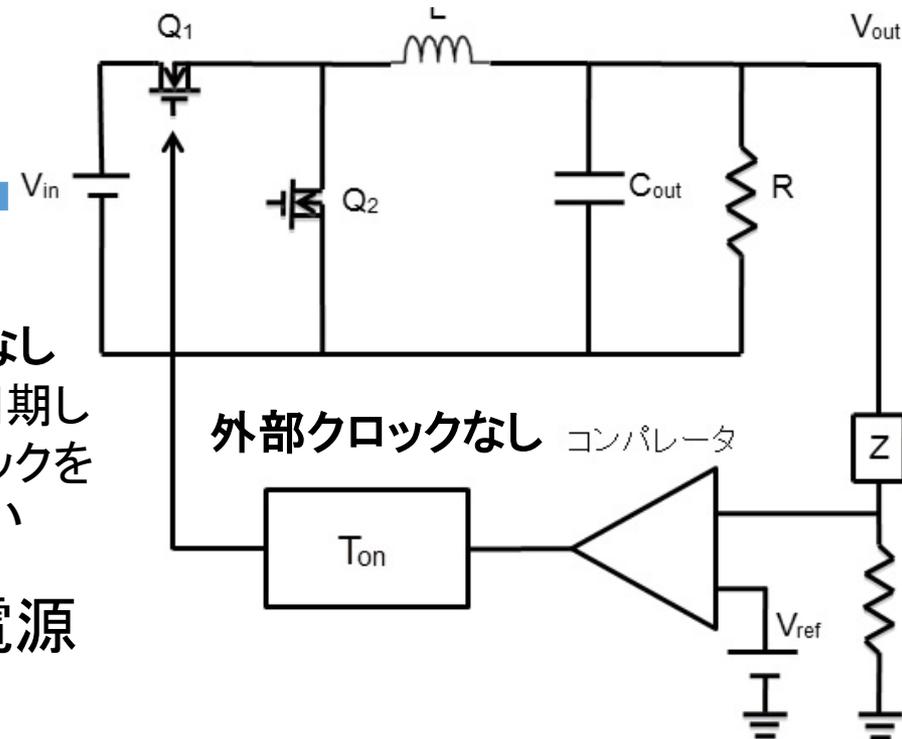


多相化簡単

例えば四相化の時
元々 $4F_{ck}$ のクロック $\xrightarrow{\text{分周}}$ F_{ck} のPWM
元の $4F_{ck}$ のクロックで F_{ck} のPWM に位相同期した等位相分割クロックを発生できる。

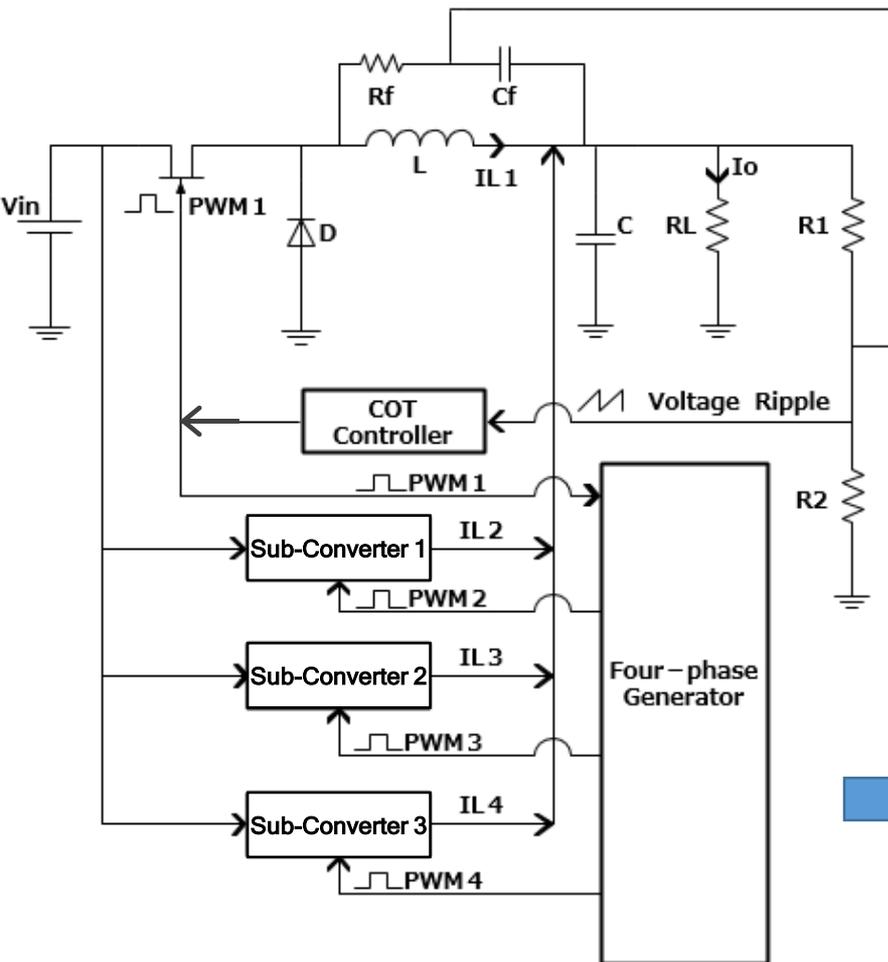
多相化困難

元の $4F_{ck}$ クロックなし
主クロックに位相同期した等位相分割クロックを発生するのは厳しい



固定クロック使用しないリップル制御電源
4相化制御方式を検討する

研究方法 2方式の検討



リップル制御方式DC-DCコンバータ
四相化の考え

- ①メインのコンバータを基準に
他の三つのサブコンバータを設定
- ②メインPWM1信号をベースに
四相PWMを生成する発生器設計

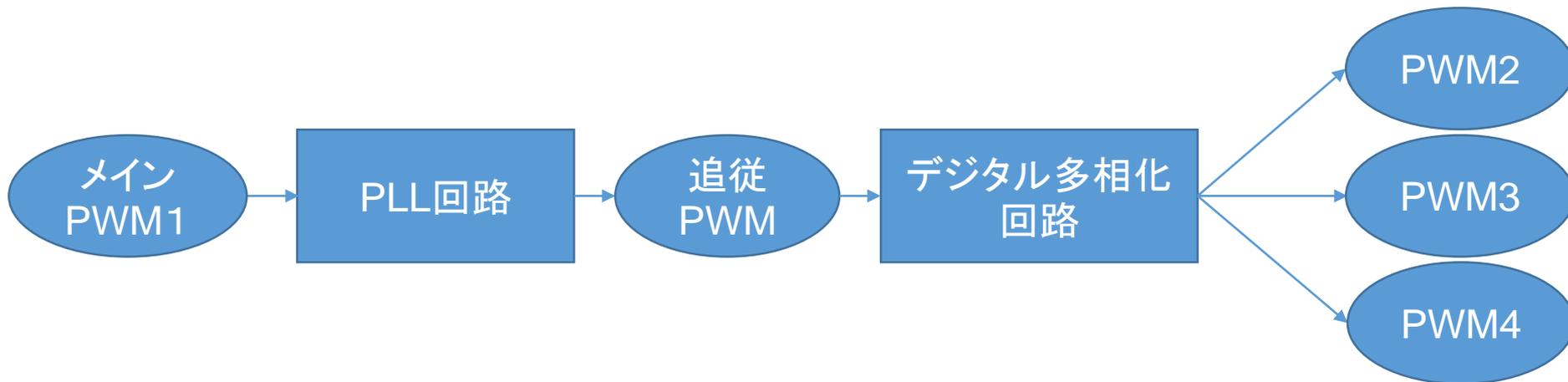
四相PWM生成法、
二つの方式を検討

- ① PLL回路**使用**
- ② PLL回路**不使用**

研究方法 PLL回路使用方式

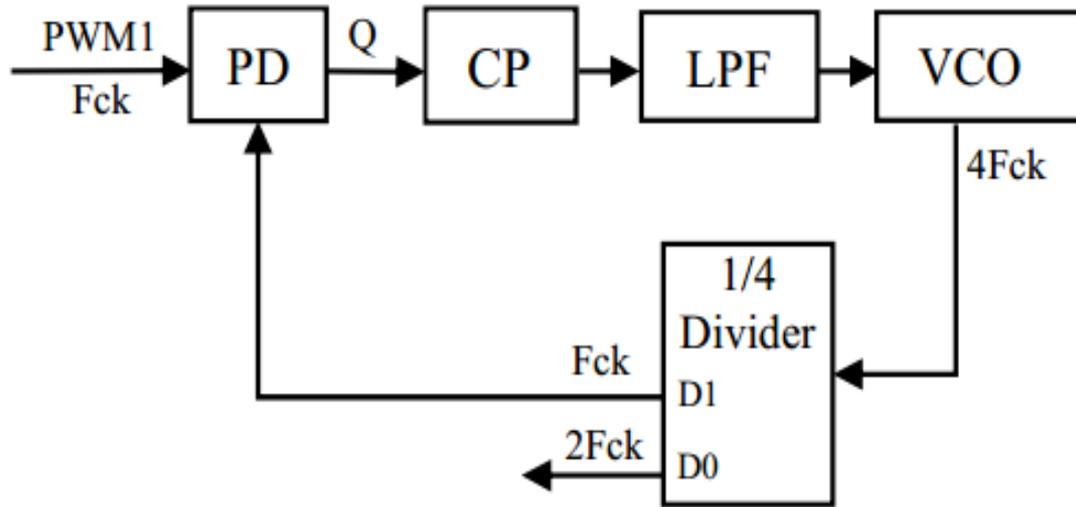
四相化回路構成

- ・メインPWM信号を位相ロックして追従信号を生成
- ・デジタル回路で残りの3相パルスを作成



研究方法 PLL回路使用方式

PLL回路について



PLL回路とは

位相同期回路

入力信号の位相に

同期した新たな信号を生成

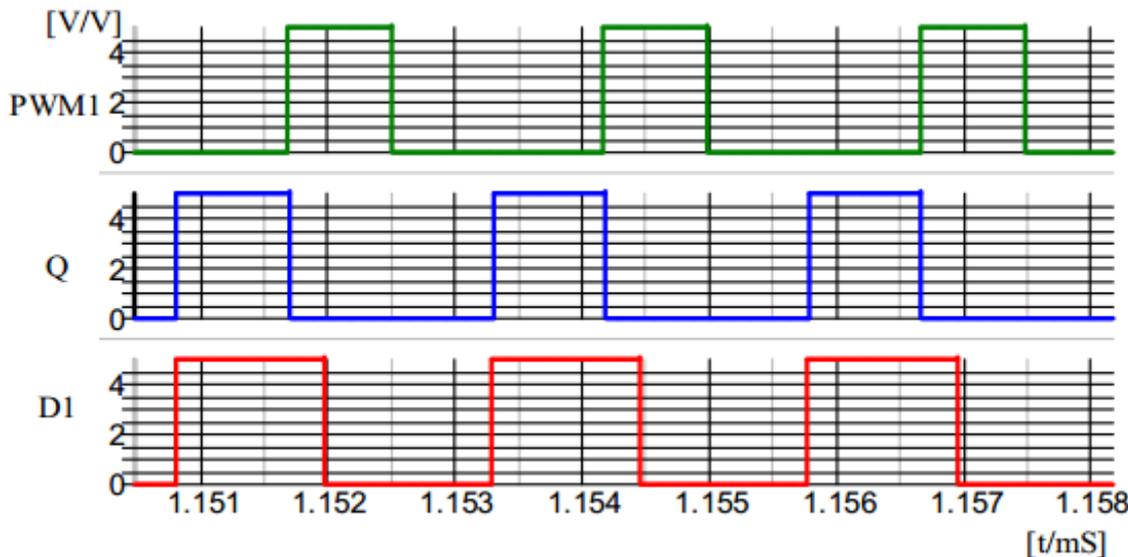
基本構成

位相比較器

ループ・フィルタ

電圧制御発振器

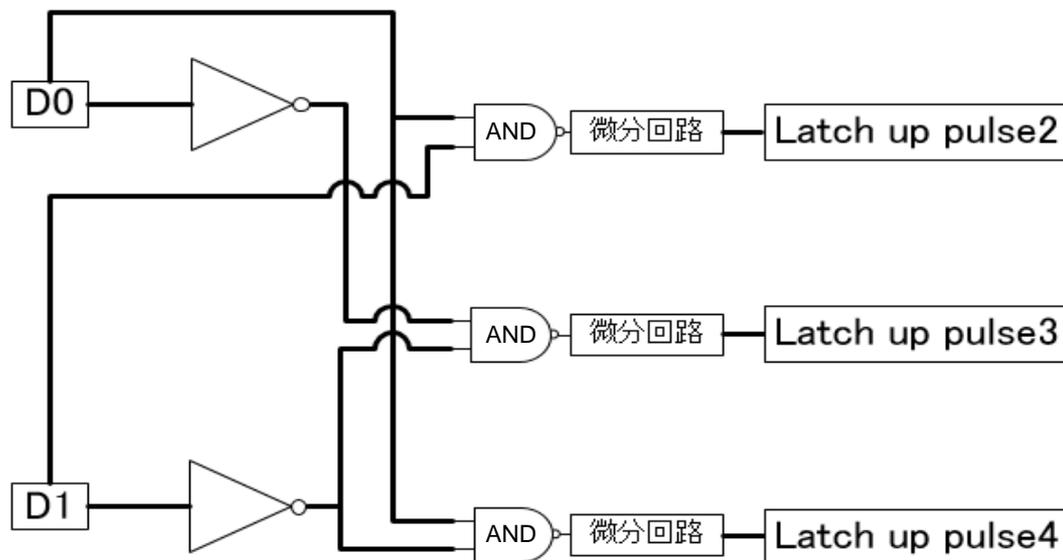
分周器



位相比較器
出力シミュレーション波形

研究方法 PLL回路使用方式

四相パルスの生成



分周器 出力D0、D1

$$FD0=2FD1$$

論理回路で三つのお互いに
90度位相ずれのパルスを作る

Latch up pulse2:

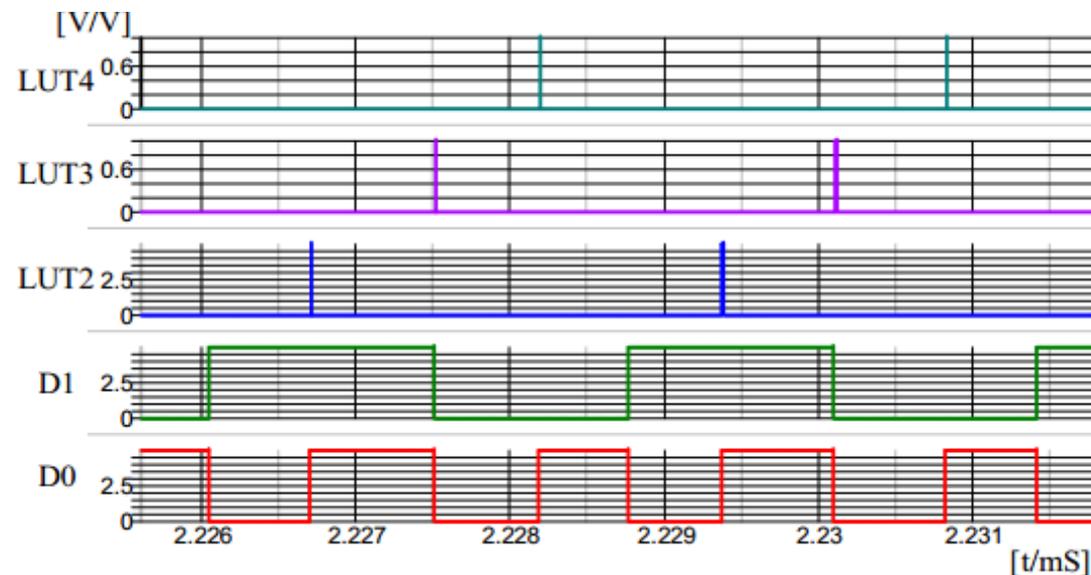
D1がHIGHのうちに
D0が立ち上がる位相を表す

Latch up pulse3:

D1とD0が同時に立ち下がる
位相を表す

Latch up pulse4:

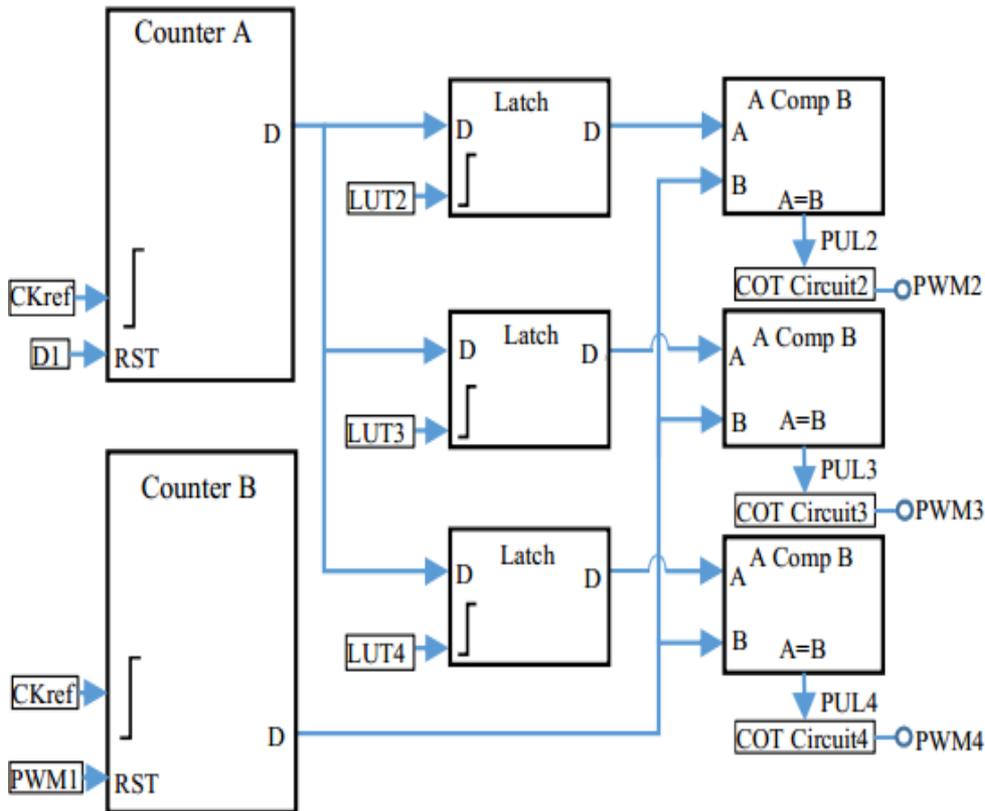
D1がLOWのうちに
D0が立ち上がる位相を表す



← **Latch up pulse
シミュレーション波形**

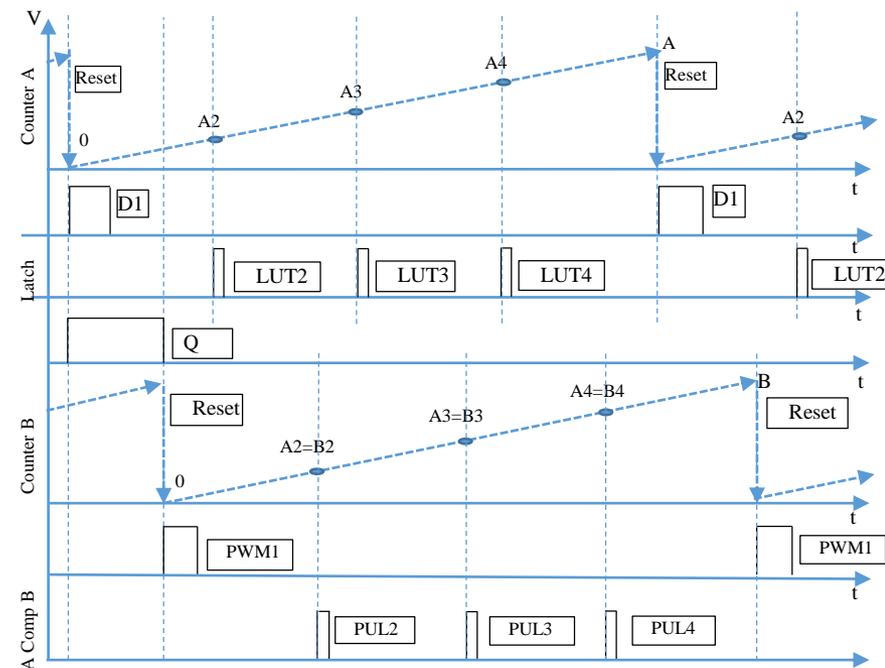
研究方法 PLL回路使用方式

PWM1に追従する四相PWMの生成

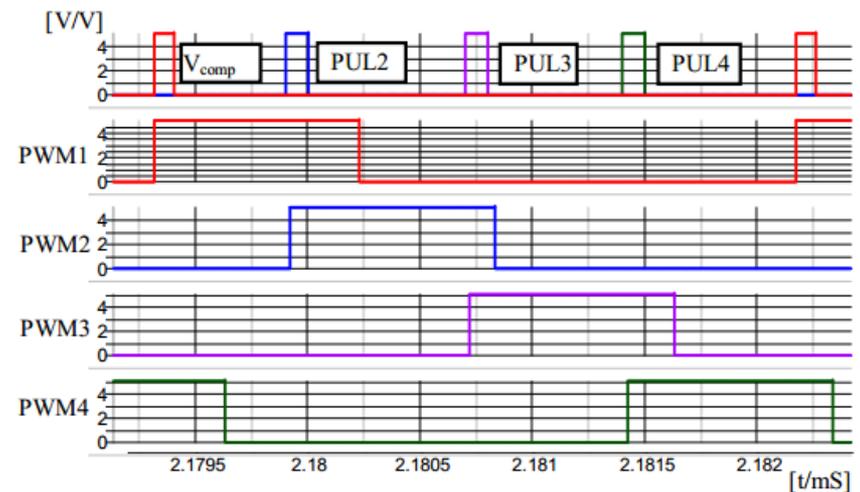


四相PWM生成するデジタル回路

四相PWMシミュレーション波形

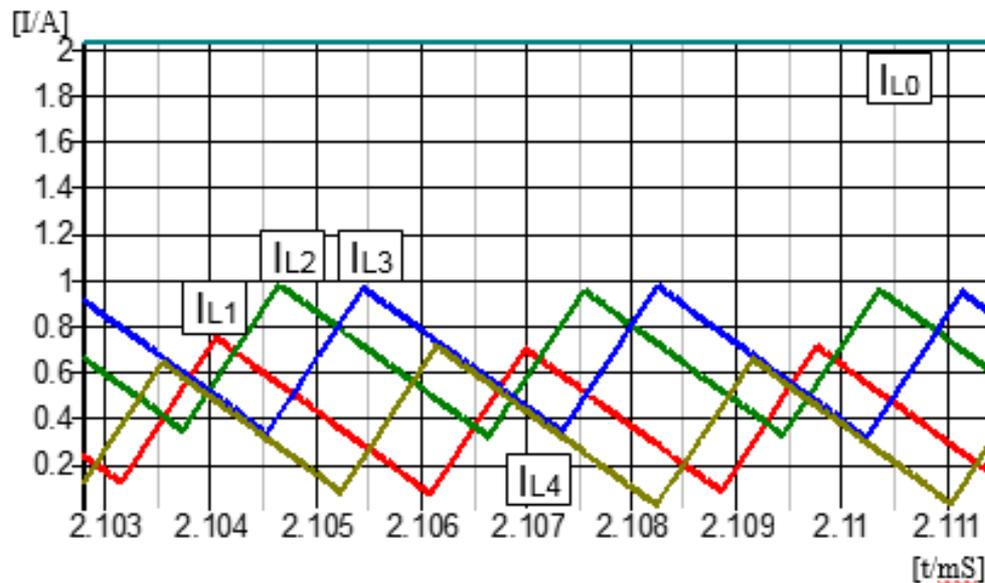


デジタル回路動作原理

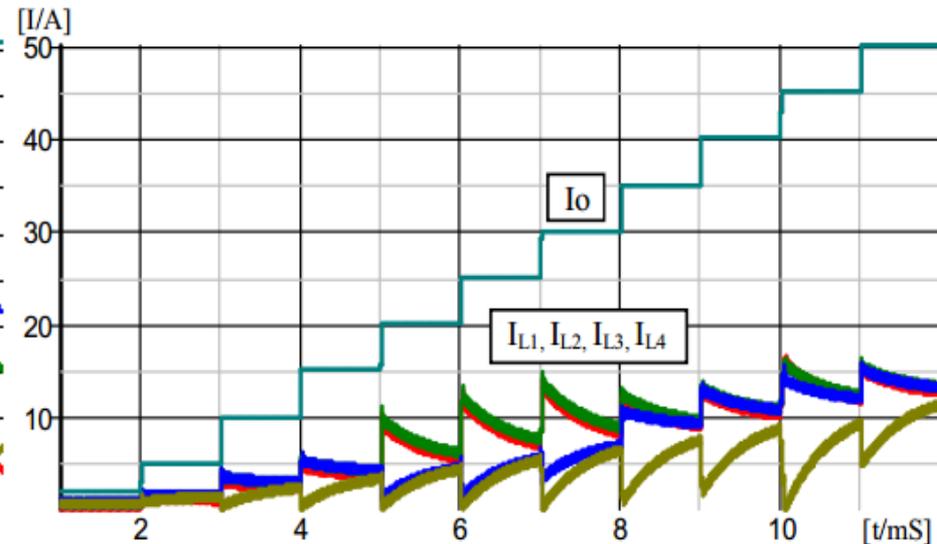


研究方法 PLL回路使用方式

PLL回路を用いた方式の結果評価



電流バランス



大電流過度応答

結果: PLL回路で作った四相コンバータ

電流バランスが良くない

大電流負荷応答の特性も良くない。

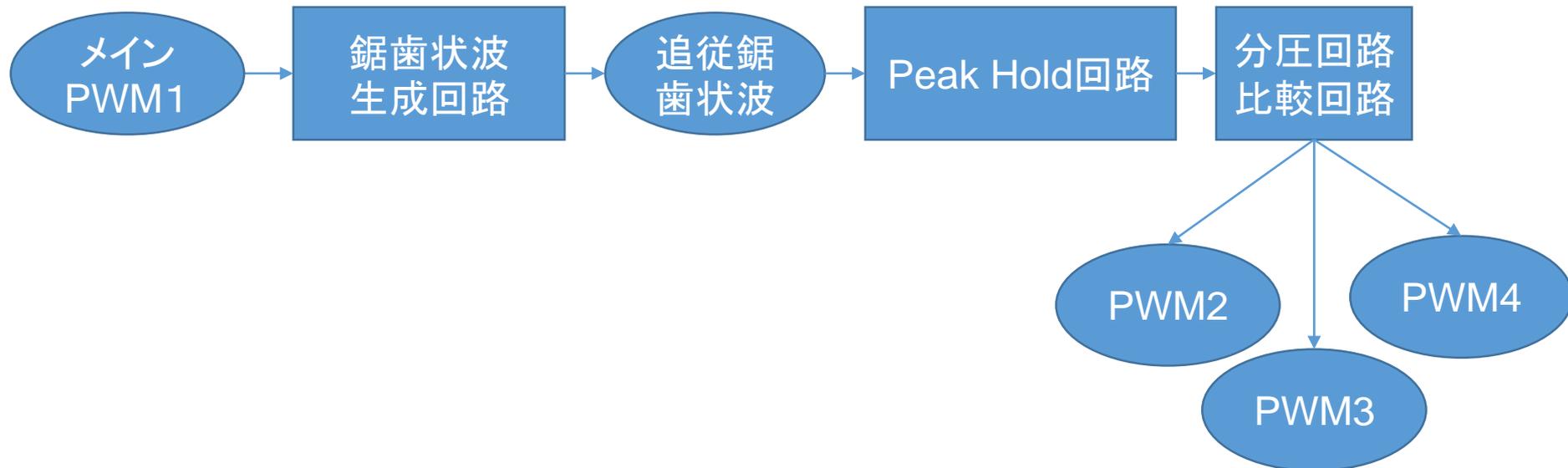
原因: PLL回路中のLPFで追従速度が遅くなり、
四相パルスが同期的に動作できなかった。

次の取り組み: PLL回路を外し、新たな回路を考える

研究方法 PLL回路不使用方式

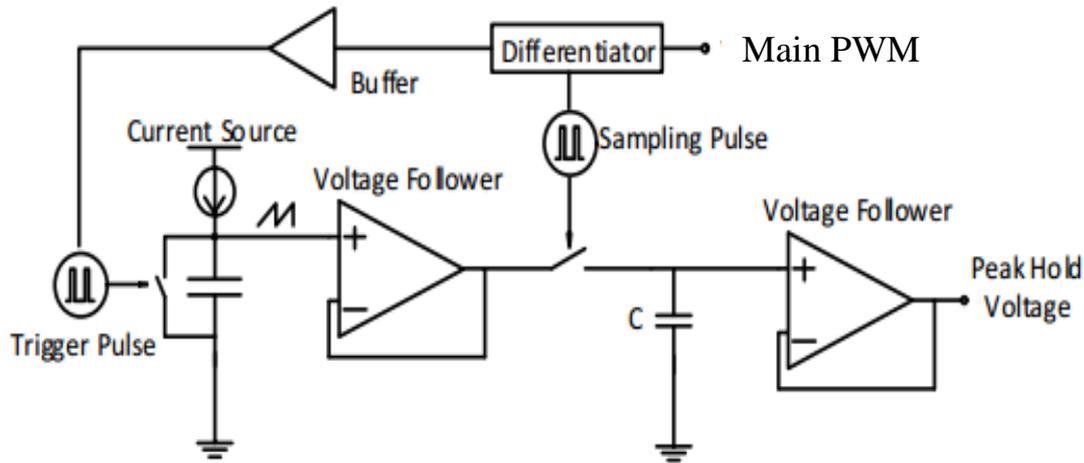
PLL回路を外して新たに考える

- ・メインPWM信号に追従する鋸歯状波信号を生成
- ・鋸歯状波のピーク電圧を保持する
- ・そのピーク電圧値を四等分し、元の鋸歯状波とコンパレータで比較して残り3相のパルスを生成



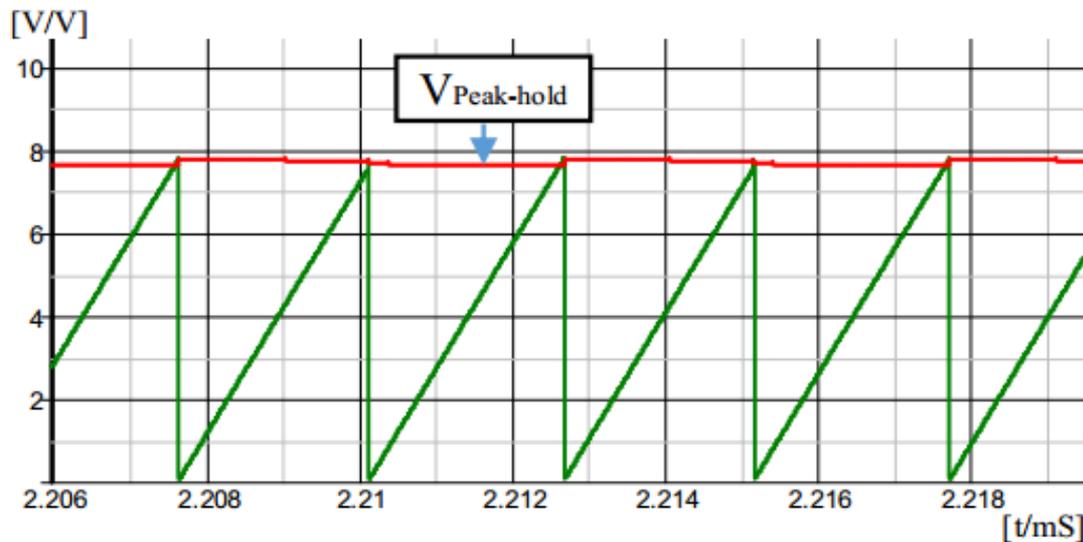
研究方法 PLL回路不使用方式

鋸歯状波のピーク電圧を保持する



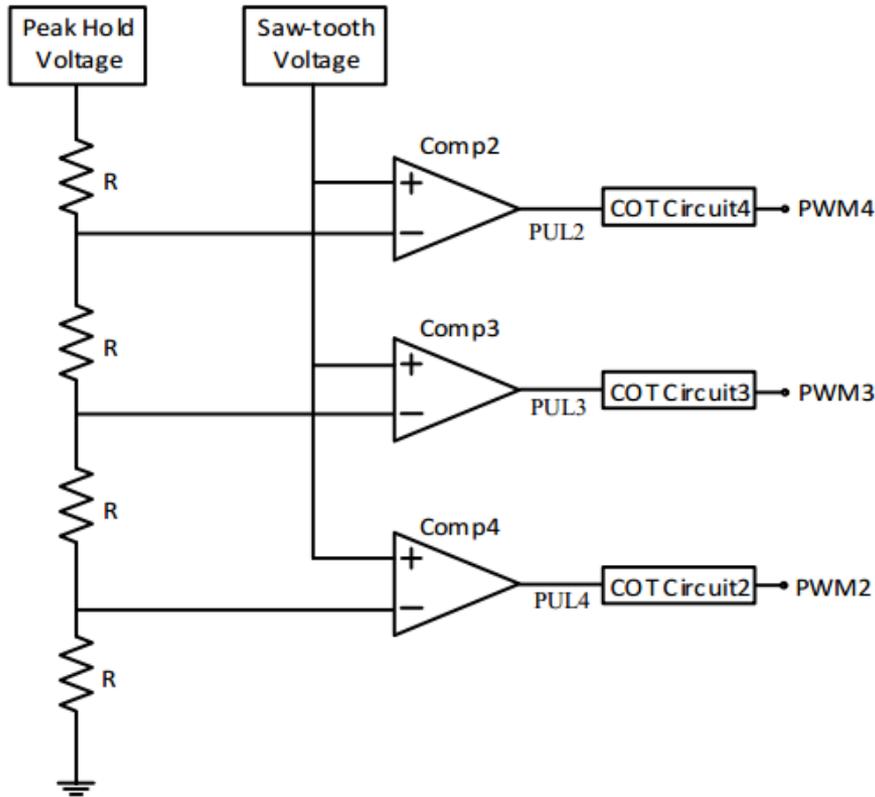
Peak Hold回路

入力の鋸歯状波のピーク電圧を保持して出力



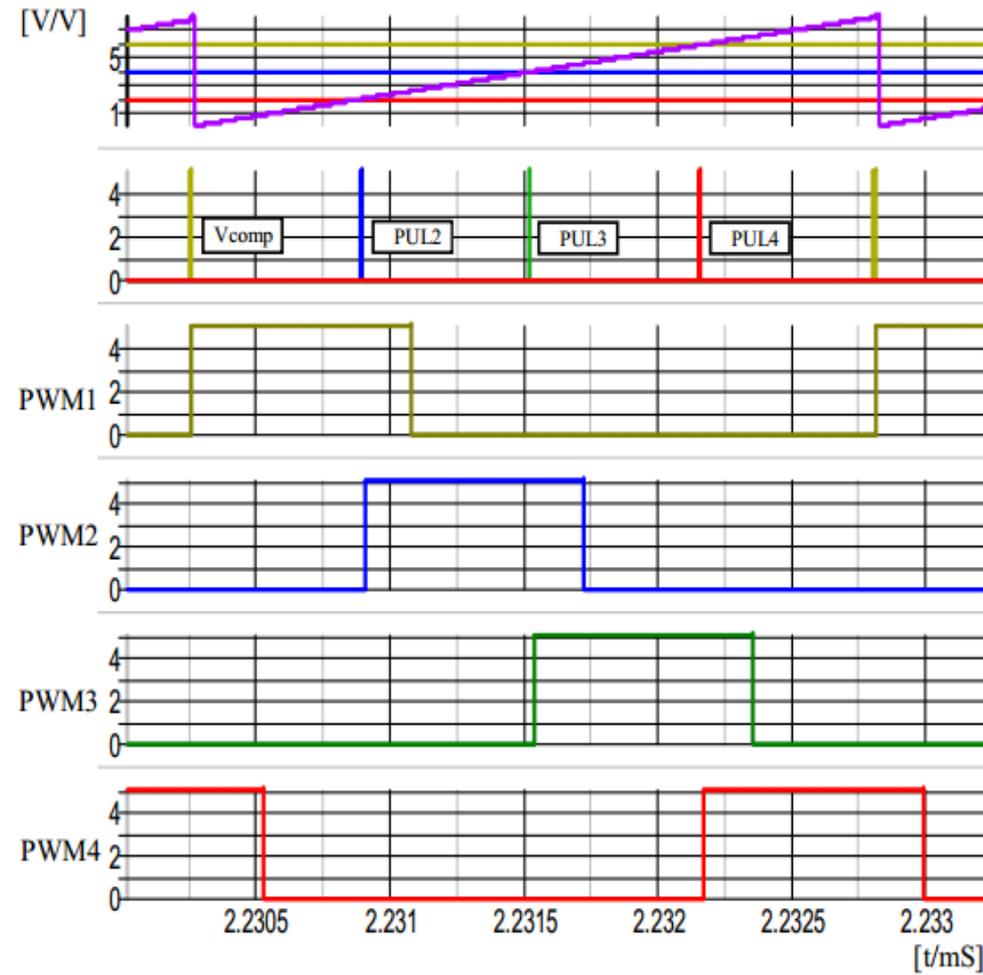
← ピークホールド電圧
シミュレーション結果

研究方法 PLL回路不使用方式



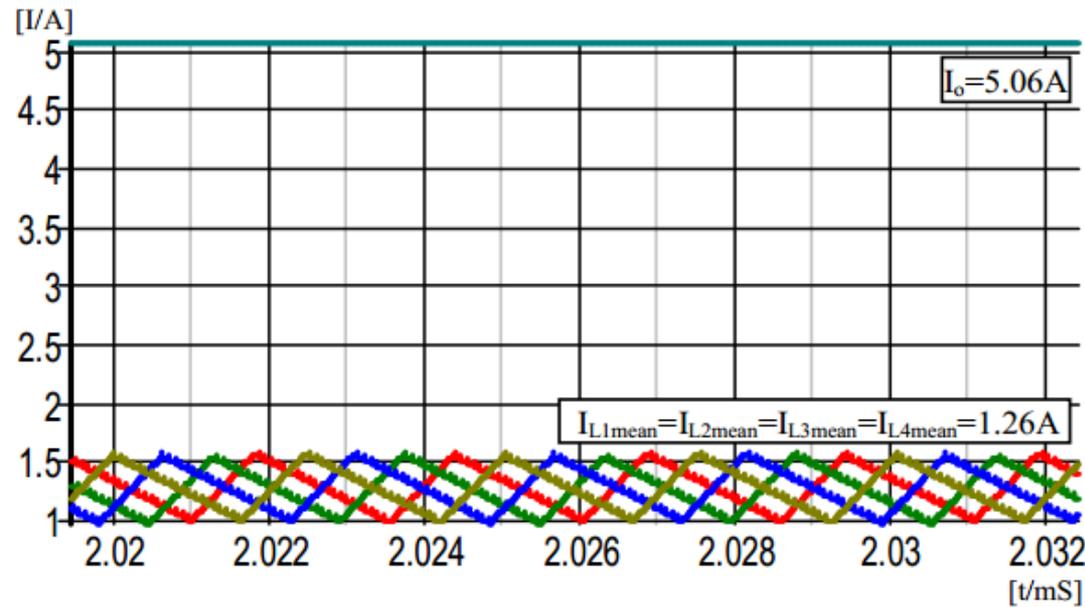
分圧比較回路

- ・鋸歯状波のピーク電圧を四等分
- ・各自鋸歯状波と比較し、四相パルス
を生成



四相PWMシミュレーション結果

研究結果 基本特性



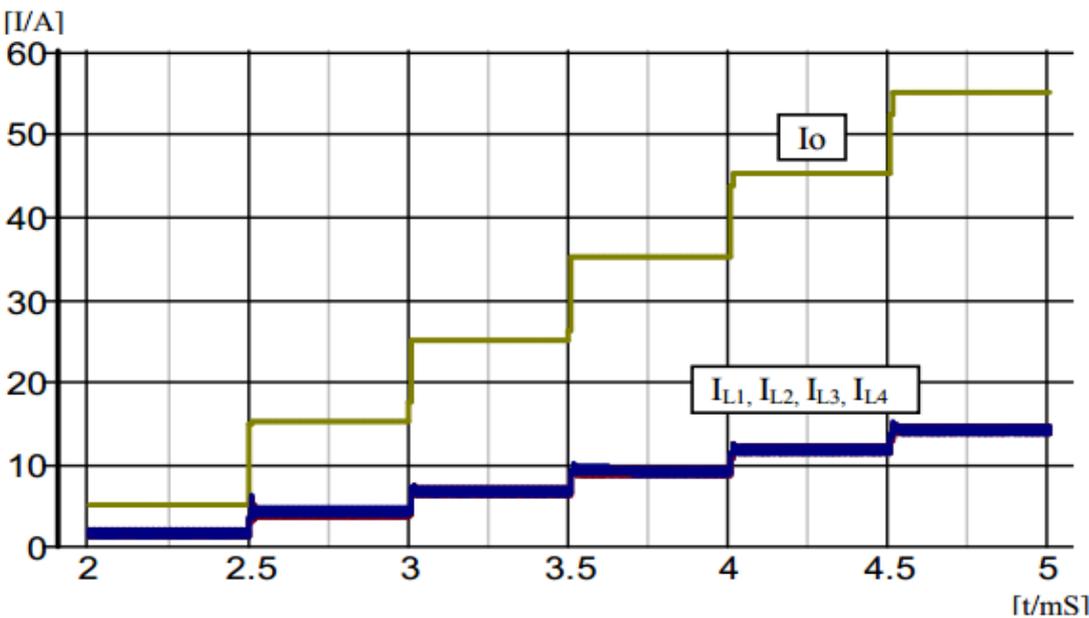
基本特性シミュレーション

電流バランス

電流バランスが良い

出力電流

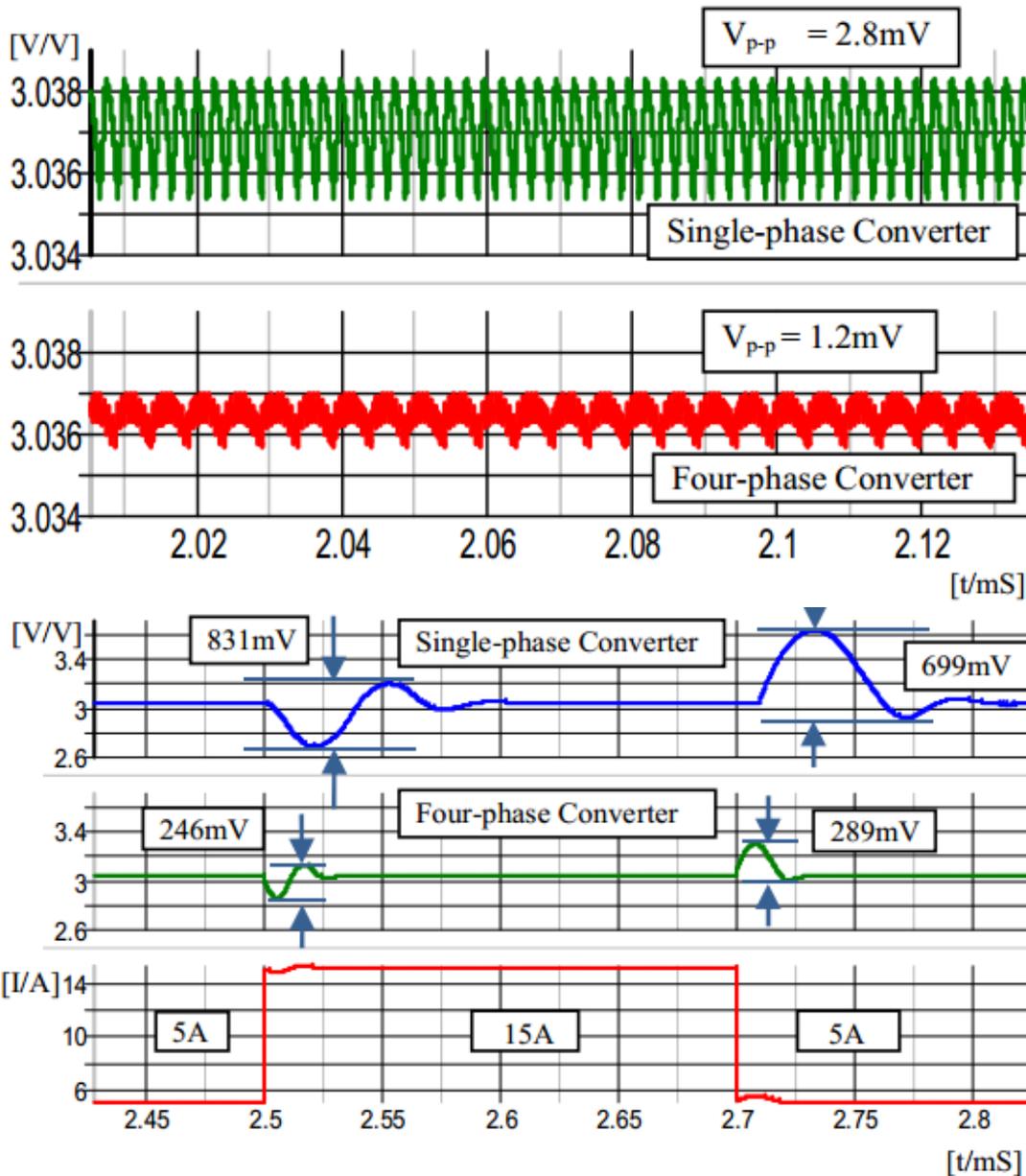
→ 単相インダクタ電流の4倍



大電流負荷応答

負荷電流が55Aまで
電流バランスを安定に保持

研究結果 性能比較



従来方式との性能比較

出力電圧: 3V

出力電圧リップル

従来方式と比べて、リップルは57%低減し、出力電圧値の1%以下に達した。

負荷電流: 5A → 15A → 5Aの時 過渡応答速度

Overshoot:

ピーク電圧は70%低減し、リカバリ時間75%低減した。

Undershoot:

ピーク電圧は59%低減し、リカバリ時間80%低減した。

まとめ

今回の研究ではDC-DCコンバータのリプル制御電源をマルチフェーズ化のことに実現しました。

この4相化制御方式を2つ考案しシミュレーションで動作確認した。

① PLL回路を用いる方式:

ロックイン時間が遅く、電流バランスが良くなかった。

② 鋸歯状波回路を利用した方式

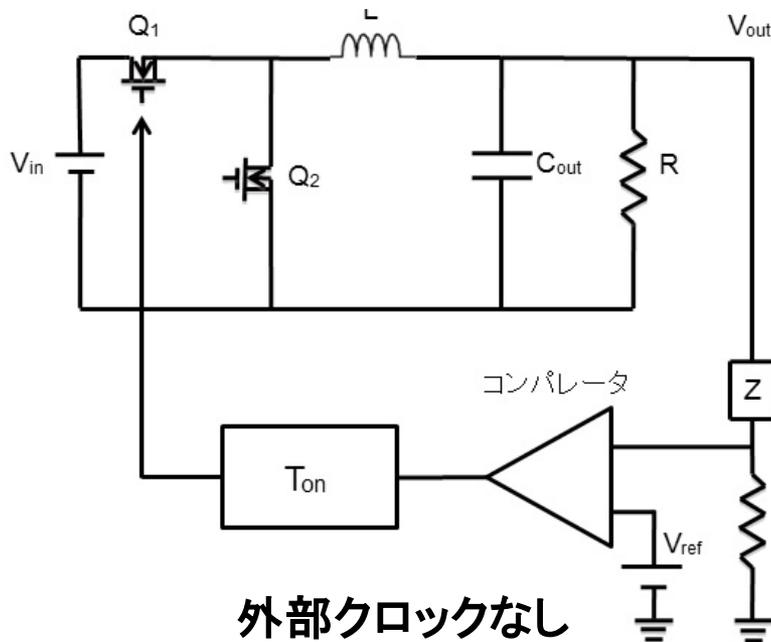
定常状態でも過渡状態でも電流バランスが良く、誤差は1%以下
従来方式と比べ:

過度応答特性	Overshoot	Undershoot
ピーク電圧	70%低減	59%低減
リカバリ時間	75%低減	80%低減
定常状態特性	ピーク電圧低減	ピーク電圧割合
出力電圧リプル	57%低減	1%以下

イノベーション

自分の達成した技術革新

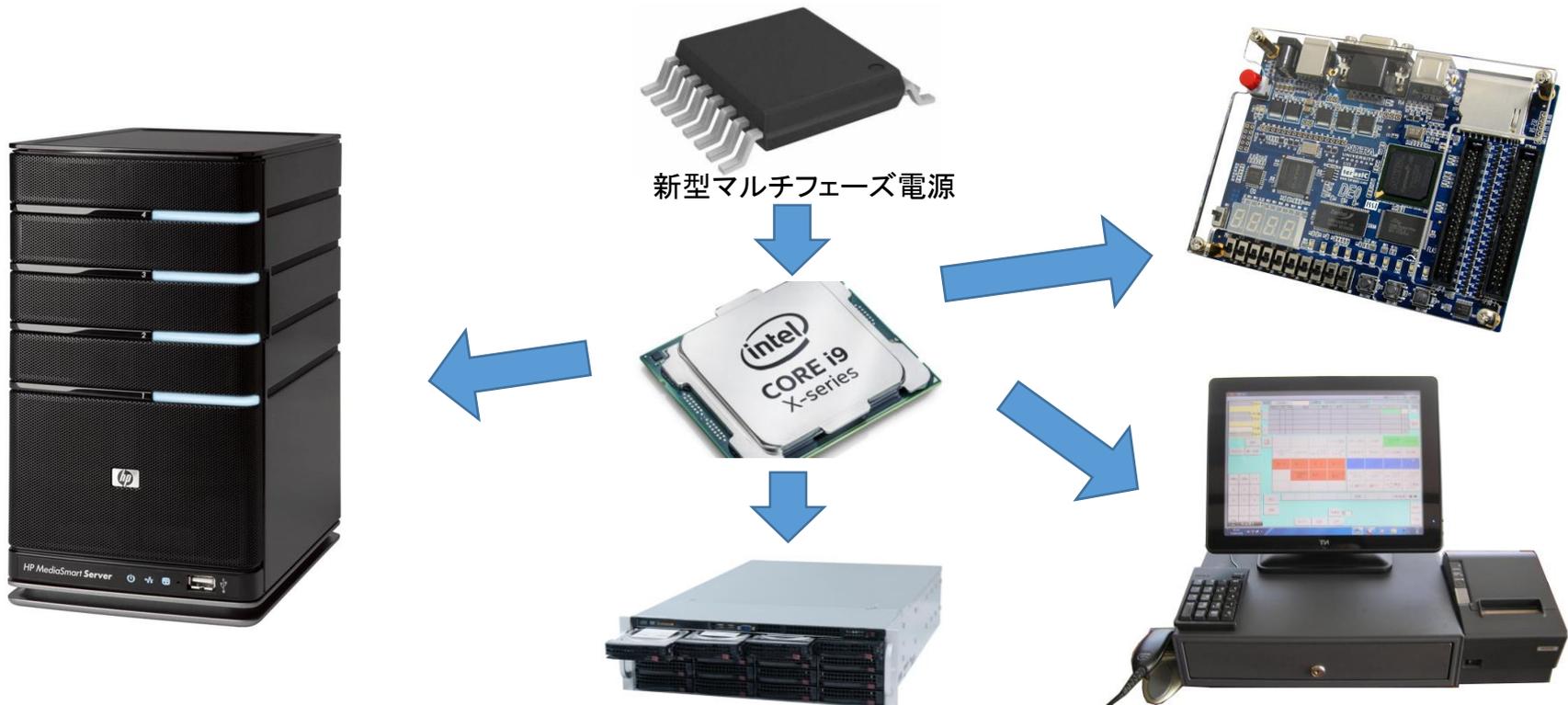
- 従来、高速応答の利点のリプル制御電源はクロックがないので、マルチフェーズ化が困難であった。
- 今回独自の回路方式で成功にリプル制御電源をマルチフェーズ化した。
- 高速応答化と大電流化を両立し、高性能プロセッサ向けの電源の可能性を示した。



**多相化困難でも
実現した**

応用の見通し

- サーバーやストレージ、ネットワーク機器からなるデータセンターでのハイエンドマイクロプロセッサ、デジタルASIC、ネットワークプロセッサ
- 通信機器を通じてデータセンサーとつながるエッジ機器（POS機器やデスクトップPC）
- 組み込みコンピューティングシステムでプロセッサとして使われているCPU、FPGAの電源に適用可能性



注意点

マルチフェーズ電源の設計注意点

(1) 各フェーズ電流は等しく共有しなければならない。

N フェーズの場合

各フェーズ電流は $I_{\text{phase}} = I_{\text{out}}/N$ でなければならない。

(2) 定常状態時と過渡状態時

フェーズ電流はバランスが取れていなければならない。

これらのルールを守らないと電源設計は極めて複雑になる。

定常状態時のフェーズ電流の不均衡

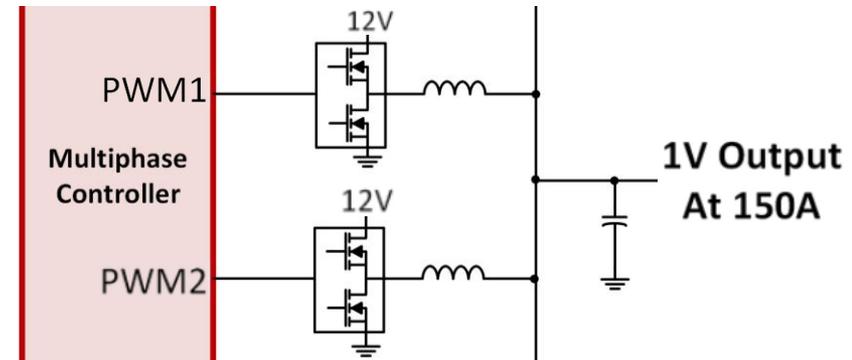
➡ 熱の不均衡

過渡状態との時に、もし1つの負荷ステップに1つのフェーズしか応答しない場合

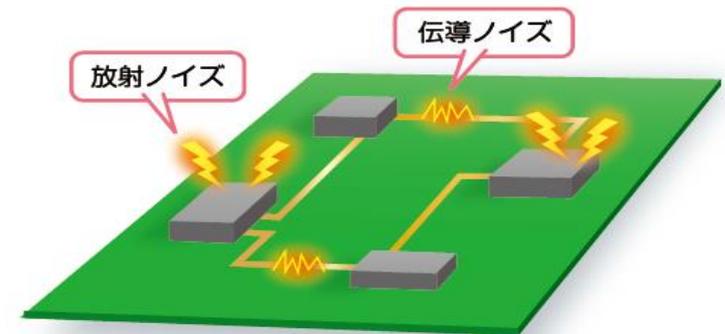
➡ インダクターサイズが極めて大

これからの課題

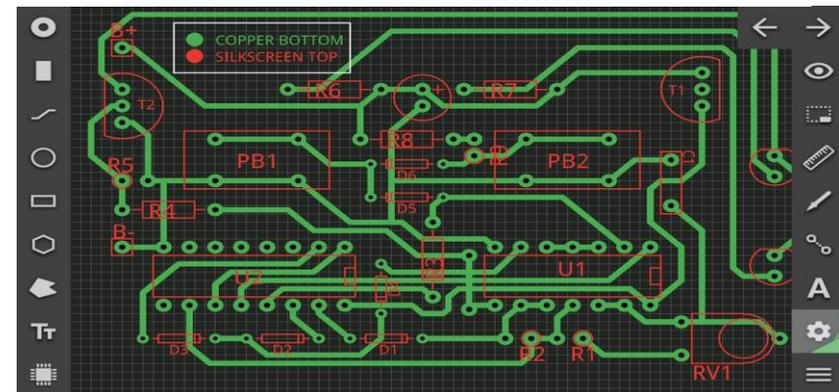
①より低電圧、大電流の実現
(1V、150A)



②EMI低減



③提案マルチフェーズ電源回路の
実装・実験検証



ご清聴ありがとうございました

Q&A

①多相化について、なぜクックあり簡単、クックなし困難？

Ans. 基準クックを多相化するには、位相同期した等位相分割した多相のクックを発生する必要がある。

- * 固定クック F_{ck} を使用する場合、その元のクックとして $4 \cdot F_{ck}$ を用いて容易に 使用クック F_{ck} を発生できる。この場合、 $4 \cdot F_{ck}$ クックは、明らかに主クックに位相同期した等位相分割クック
- * 固定クックが無い場合、主クック(PWM信号)を発生する元の $4 \cdot F_{ck}$ クックは無い。この主クックに位相同期した等位相分割クックを発生することは厳しい。

②デジタル回路にクックを使っても固定クックなしの電源として認められる？

Ans.クックとは、通常 発振器を用いた固定周波数・位相のクックです。

- * この固定クックを制御用の基準クックとして用いれば、固定クックありと判断するが、リップル制御の場合には固定クックは無いと判断する。
- * デジタル回路用の高周波クックは、演算用のクックであり、制御用のクックは全く無関係なクックであり、使用目的が異なる。

Q&A

③リップル制御電源のEMI対策なぜ難しい？

Ans. 従来のEMI低減手法は、固定クロックの位相をランダム変調していた。
固定クロックが無い場合、周波数・位相が変動するクロックに対してランダムに変調できる回路の開発が必要。

④出力電圧のリップルと応答速度の関係、なぜ応答速度(遮断周波数)が向上すると、過渡応答が小さくなる？

Ans. 同じ条件で考える(同じ減衰係数の場合)

* オーバーシュートのピーク値は、応答速度に比例する。

* クロック周波数と定常リップルの関係は、インダクタ電流をコンデンサで積分して出力電圧を得ているので、この関係を定式化する。

⑤電流バランスの誤差はどう定義している？

Ans. N相の場合は電流バランス誤差 $\delta = |I_{\text{phase.avg}} - (I_{\text{out}}/N)| / I_{\text{out}} * 100\%$

各フェーズの電流がお互いにばらつきしている場合は、各フェーズの誤差計算し、最も大きい結果は本当の誤差と考える。

Q&A

⑥なぜPLL回路を使う方式では出力電流値と電流バランスがPLL回路を使わない方式の結果を全く違いますか。

Ans. 二つ方式のスイッチングオンタイムが違うわけです。マルチフェーズ電源では最も大切に考えられているのは電流バランスである。これはマルチフェーズ電源の基本性能だ。なので、PLL回路を使う方式ではできるだけいい電流バランスをえるために、スイッチングオンタイムがPLL回路を使わない方式と違うタイムを設定しており、出力電流値が違います。そして、PLL回路そのものの遅延で、マルチフェーズPWMの同期動作ができなく、電流バランスの特性は良くなった。

⑦トータル出力電流値は各フェーズの電流値で足し算した結果ですか。

Ans. そうです。位相がずれる各フェーズの電流値を足し算し、電流波形のピークは丁度お互いにずらし、リップルが消えることができる。それで、出力電圧の低リップルを実現する。

⑧PLL回路を使う方式ではなぜ各フェーズの電流がばらばらしても、出力電流はまだ安定ですか。

Ans. これはシミュレーション上の結果である。本当に実装すると、負荷応答で発生する各フェーズのピーク電流は回路素子を壊す可能性がある。そうすると、トータルの出力電流も安定にならない。