

微小電流測定のための 冗長逐次比較近似AD変換アルゴリズム

新井宏崇 荒船拓也 澁谷将平 小林佑太郎 浅見幸司 小林春夫

群馬大学大学院 理工学府 電子情報・数理教育プログラム

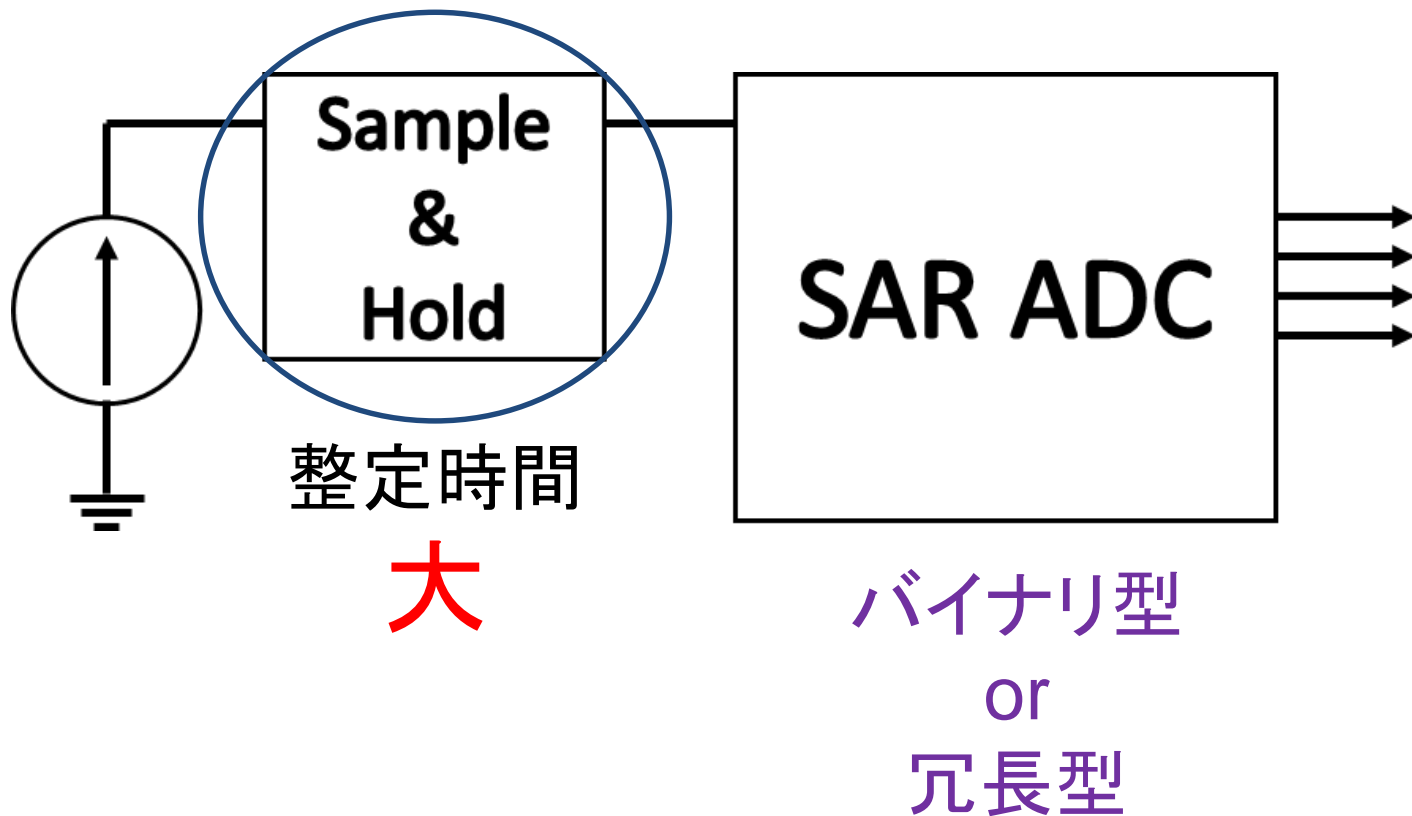
小林研究室 博士前期課程1年

新井 宏崇

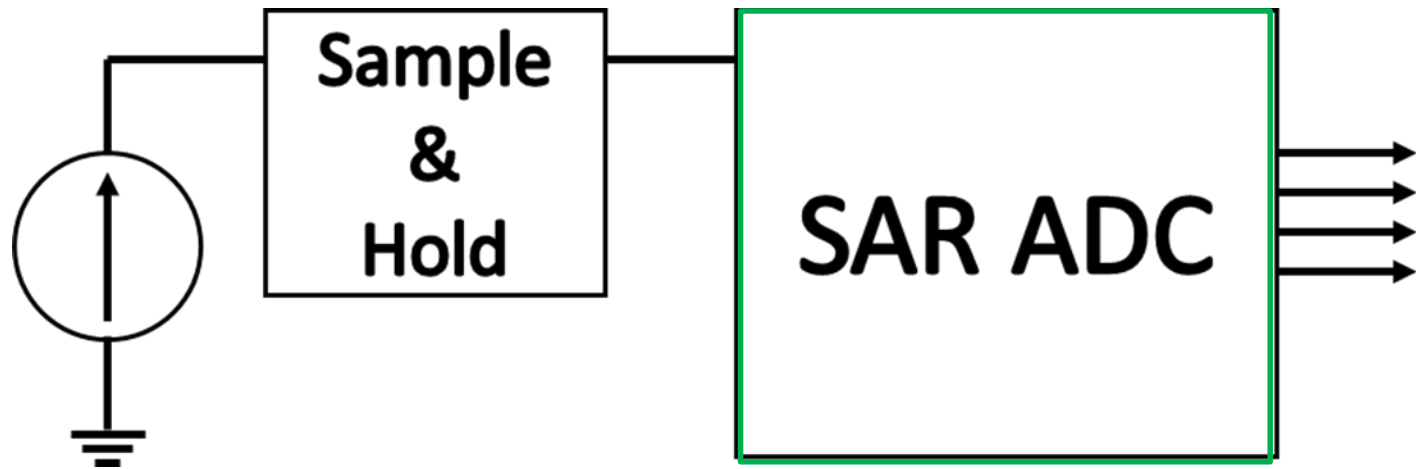
研究目的

逐次比較近似AD変換器(SAR ADC)使用

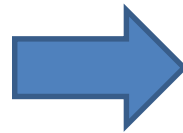
微小電流源の測定



研究目的



バイナリ型



冗長型

各stepが短縮



測定時間短縮

この可能性を検討

OUTLINE

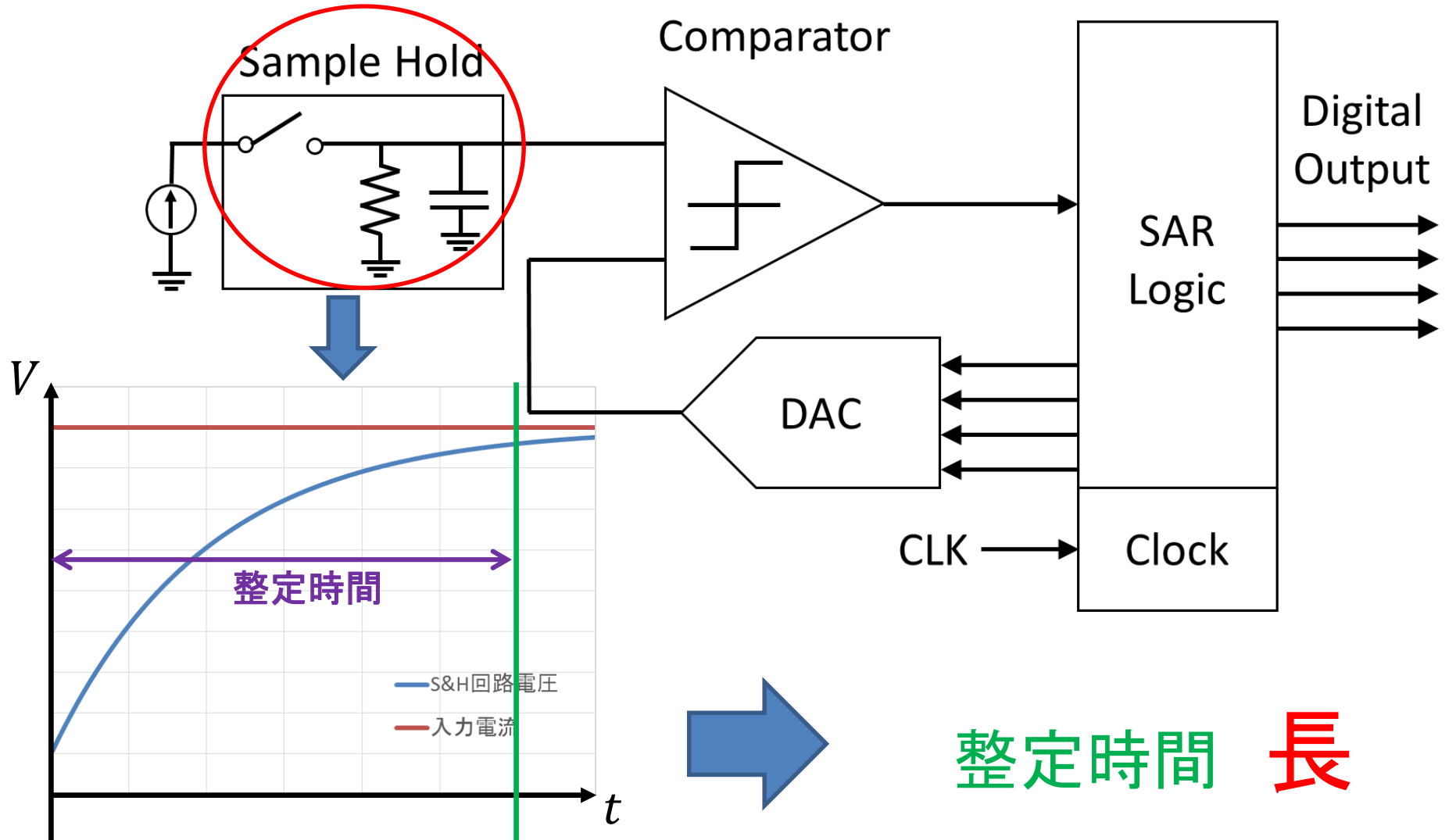
- 微小電流源の問題点
- バイナリ型逐次比較近似AD変換器
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を用いた冗長性の設計
- フィボナッチ数列重み付けSAR ADCの新発見
- まとめ

OUTLINE

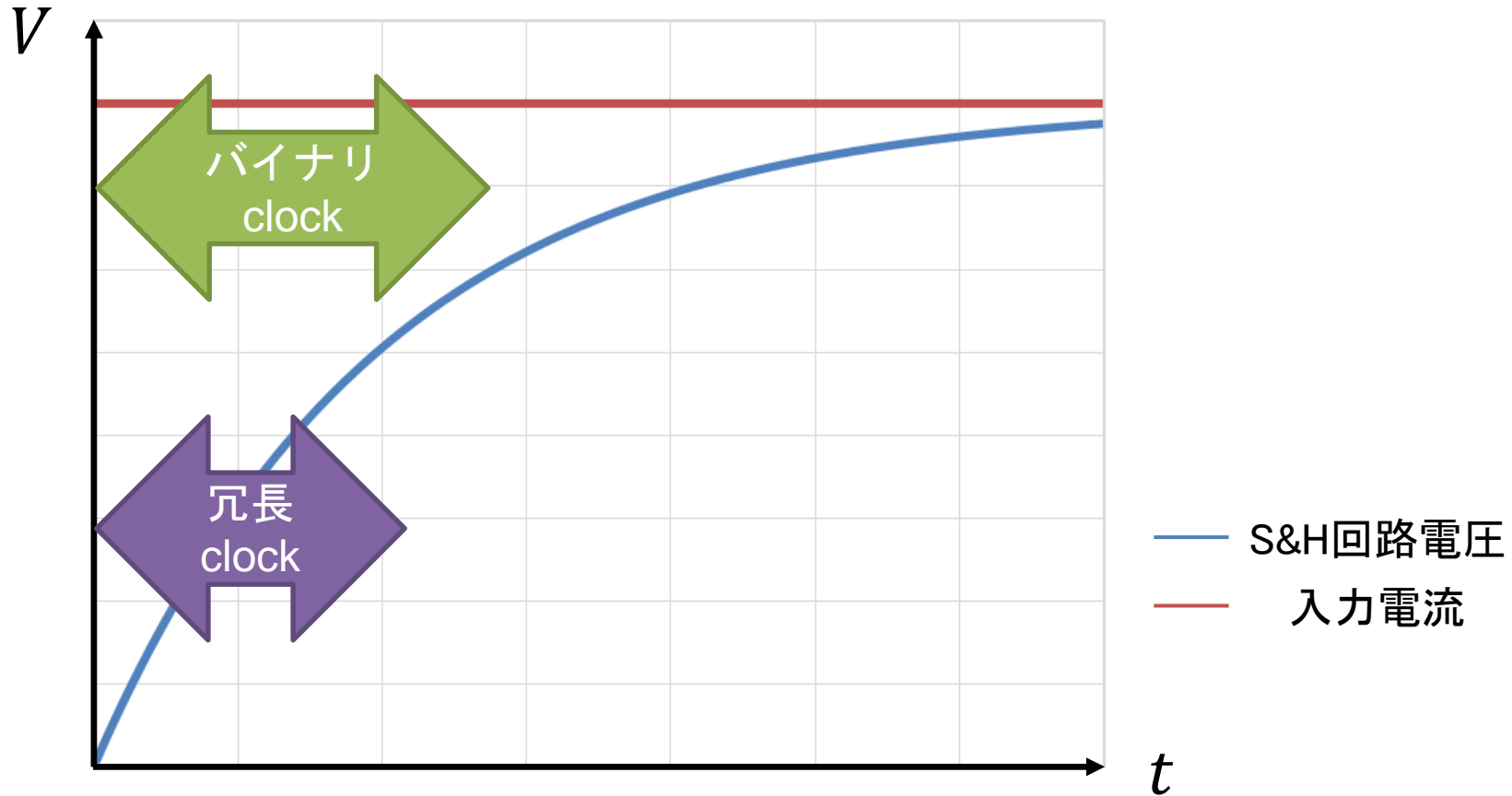
- 微小電流源の問題点
- バイナリ型逐次比較近似AD変換器
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を用いた冗長性の設計
- フィボナッチ数列重み付けSAR ADCの新発見
- まとめ

微小電流源測定の問題点

SAR ADC使用を考える



解決策



各step 測定時間短縮

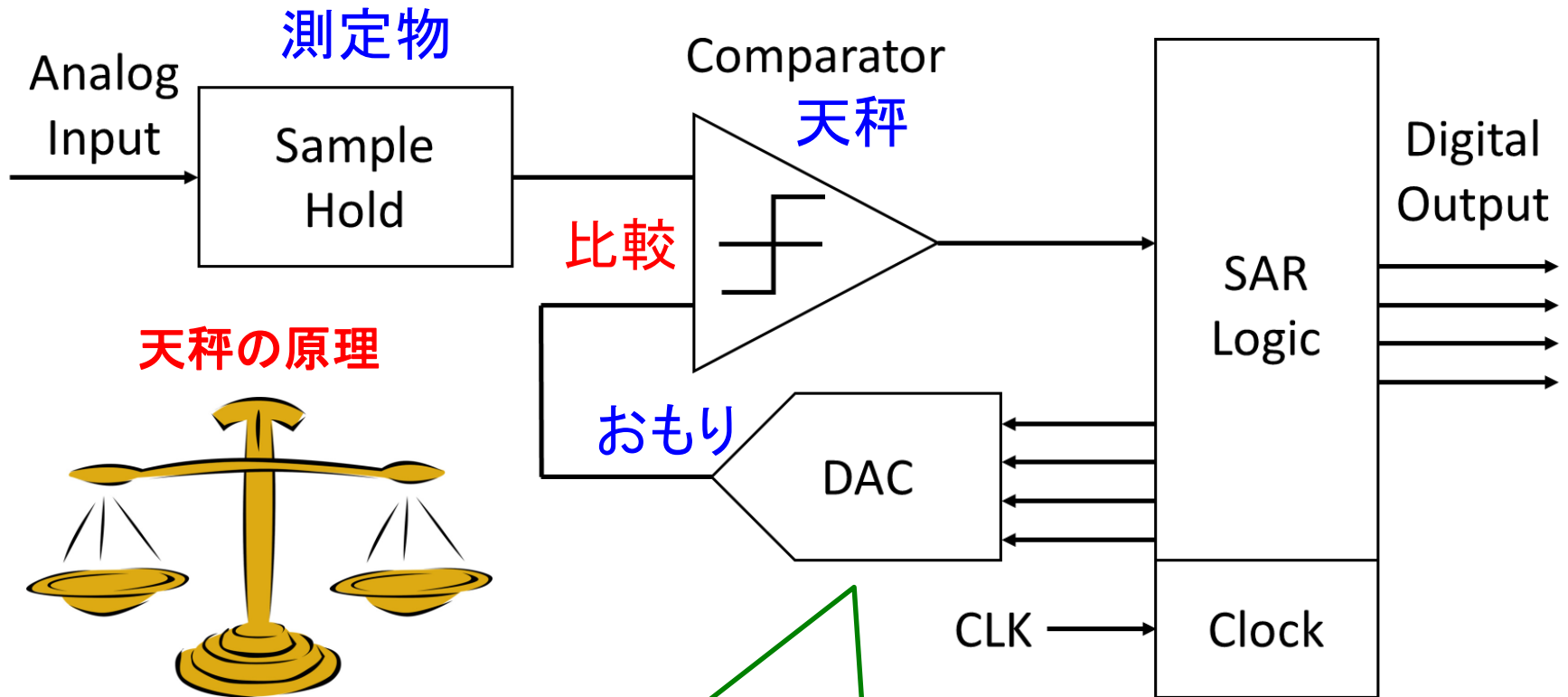


計測速度上昇

OUTLINE

- 微小電流源の問題点
- **バイナリ型逐次比較近似AD変換器**
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を用いた冗長性の設計
- フィボナッチ数列重み付けSAR ADCの新発見
- まとめ

逐次比較近似ADC(SAR ADC)



天秤の原理



一般的には二進重みを利用
(1, 2, 4, 8, 16, 32, 64 ...)

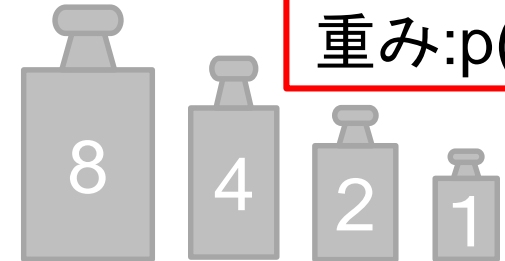
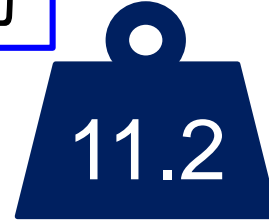


SAR: Successive Approximation Register

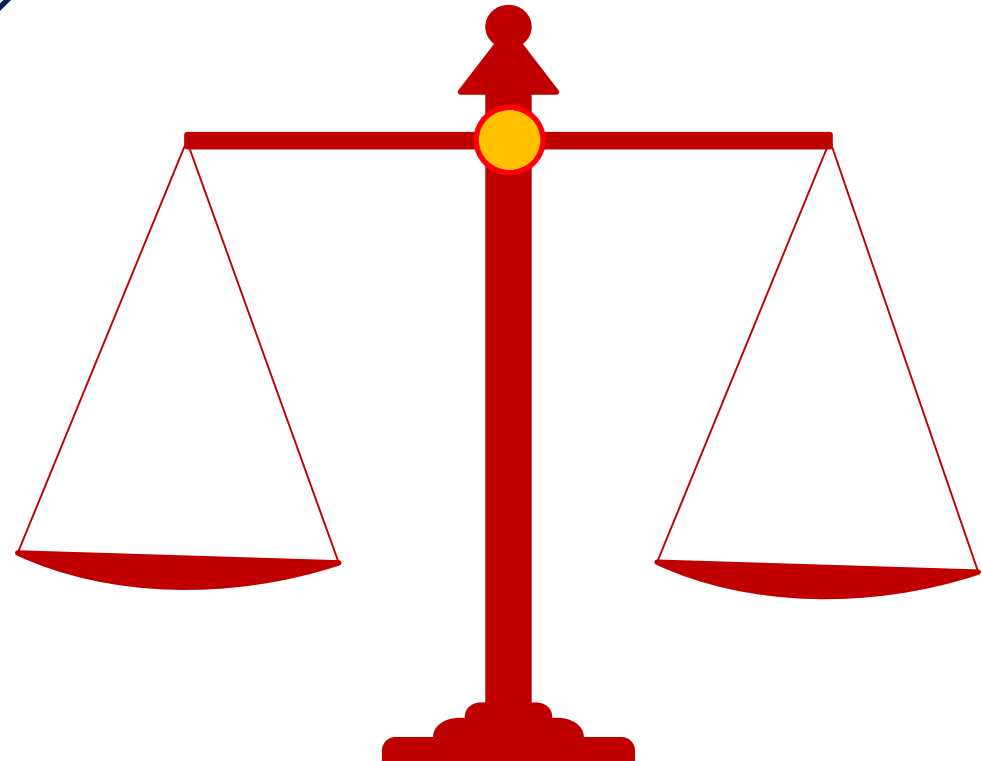
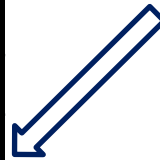
2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力



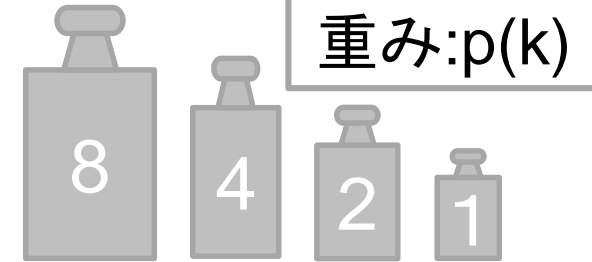
重み:p(k)



2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力



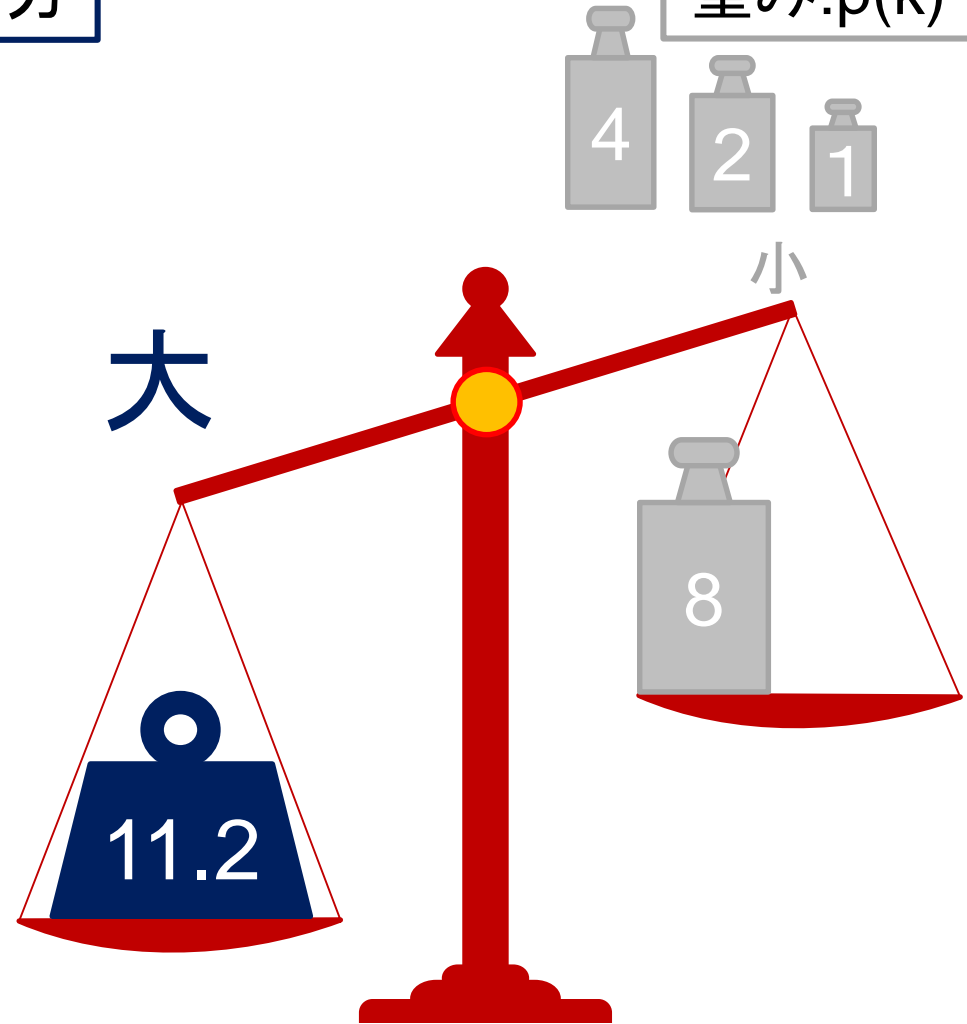
入力:大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	D2	D3	D4

入力

重み:p(k)



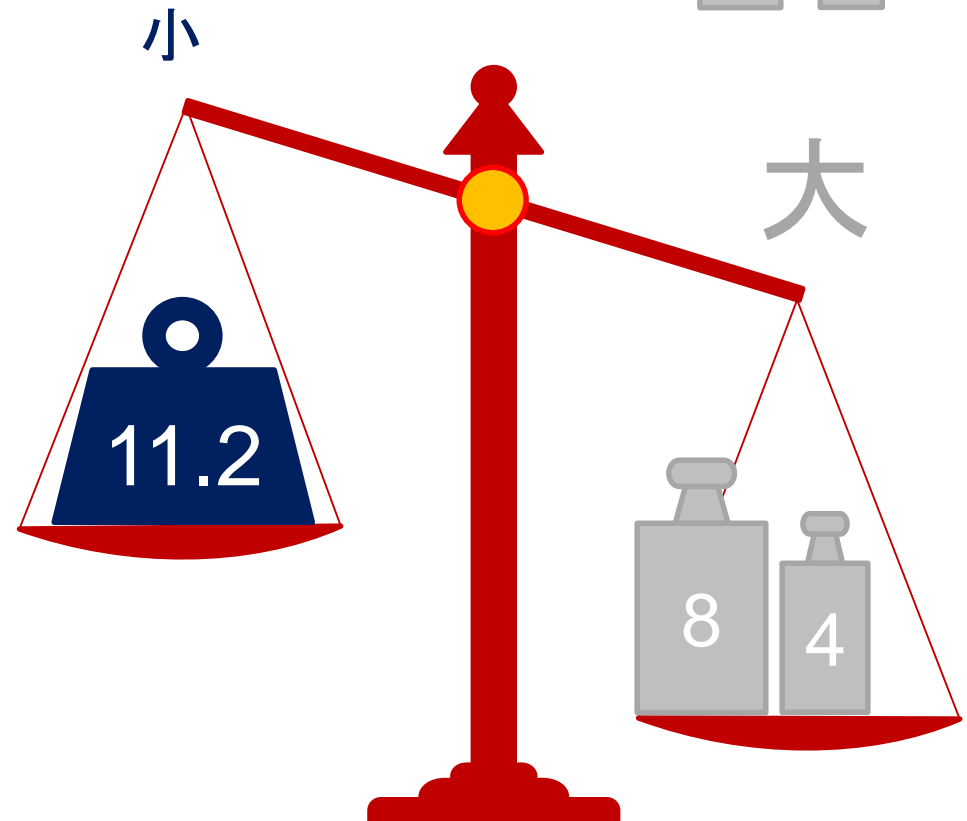
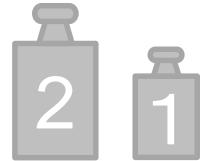
出力に1 ← 入力:大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	D3	D4

入力

重み:p(k)



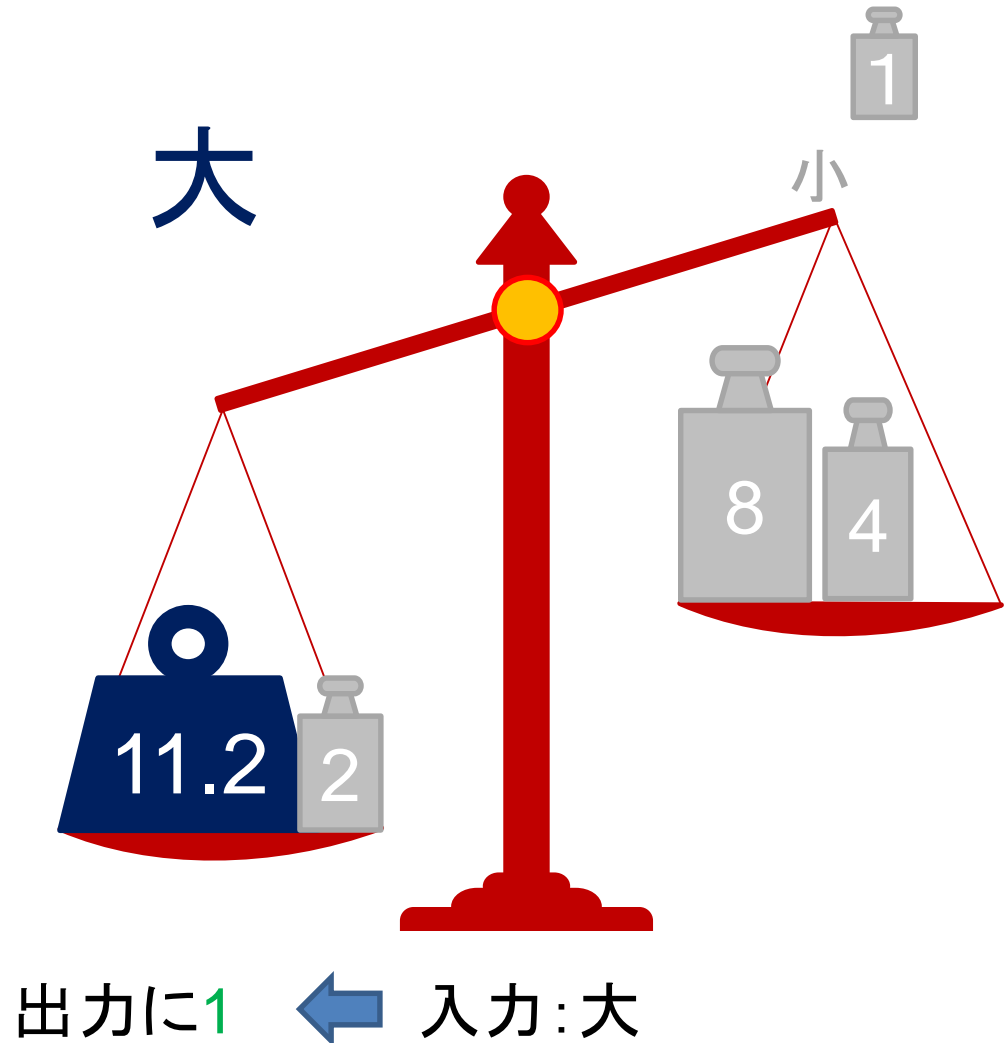
錘:大 → 出力に0

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	D4

入力

重み:p(k)

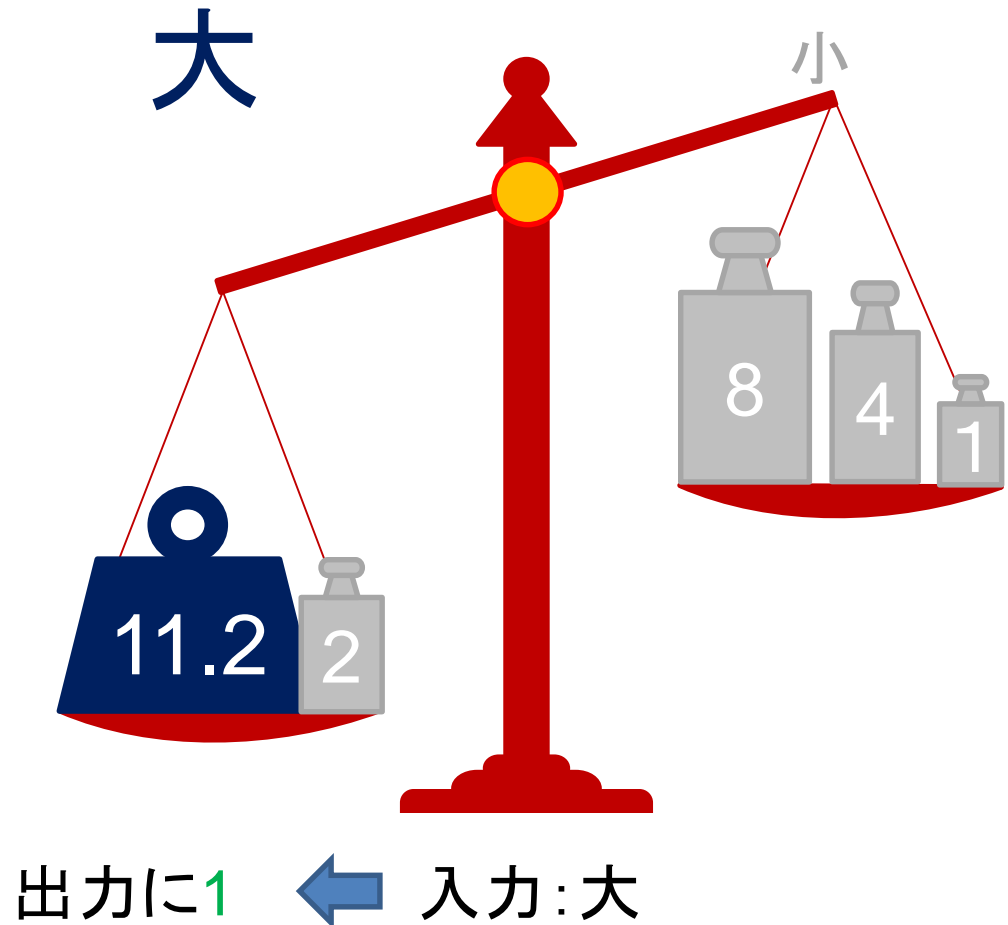


2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)

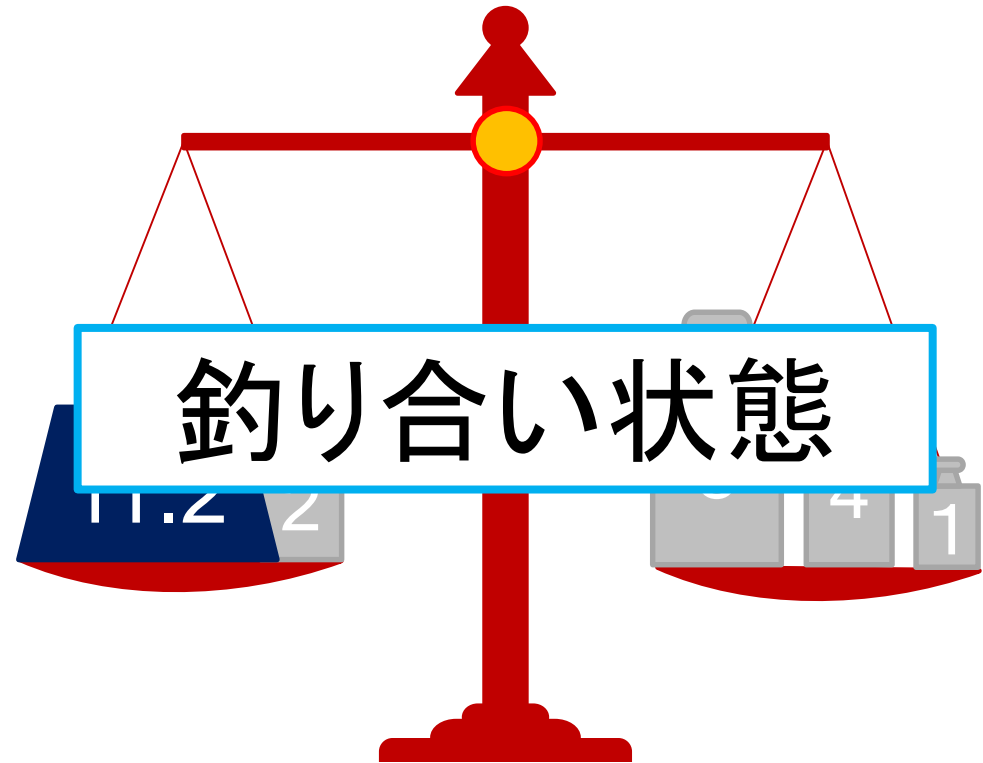


2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



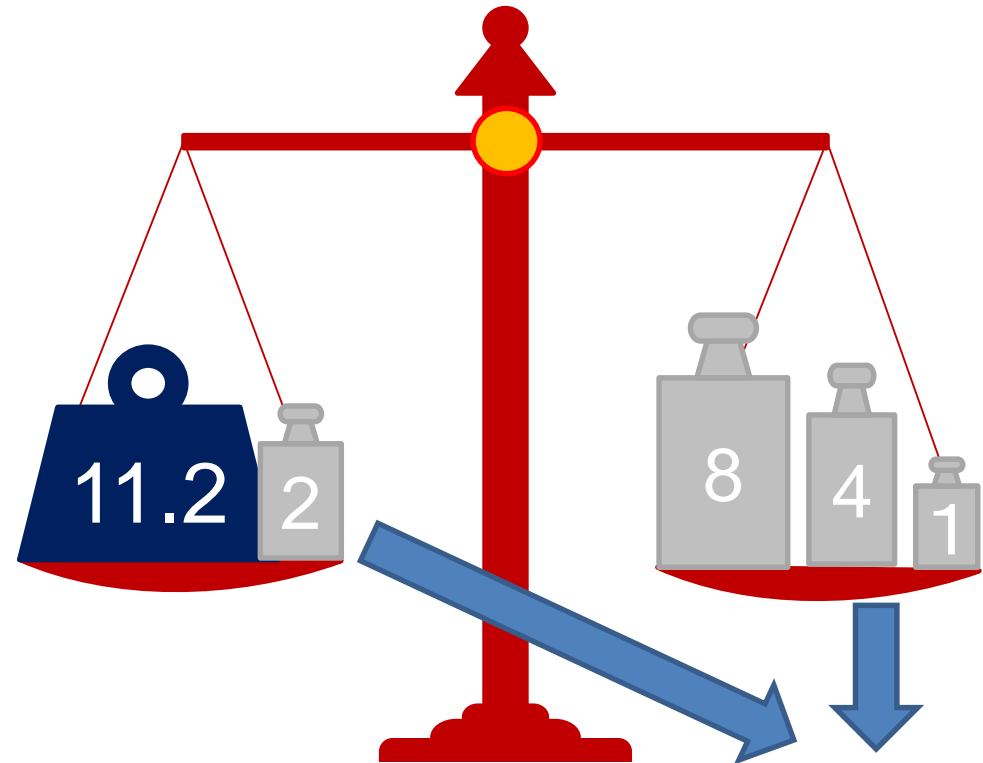
デジタル出力:(1011)₂

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



$$\text{デジタル出力: } (1011)_2 = (13-2)_{10} = (11)_{10}$$

OUTLINE

- 微小電流源の問題点
- バイナリ型逐次比較近似AD変換器
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を用いた冗長性の設計
- フィボナッチ数列重み付けSAR ADCの新発見
- まとめ

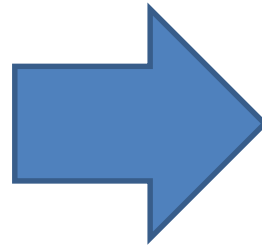
冗長性と誤差補正

冗長・・・余裕・予備

冗長性なし

ステップ数	1	2	3	4
比較電圧の重み	8	4	2	1
レベル	15			
	14			
	13			
	12			
	11			
	10			
	9			
	8			
	7			
	6			
	5			
	4			
	3			
	2			
	1			
	0			

重み変更



+冗長性

誤差補正が可能に！

冗長性あり

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
0					0	
-1					-1	

※ $q(k)$: k step目の補正可能範囲

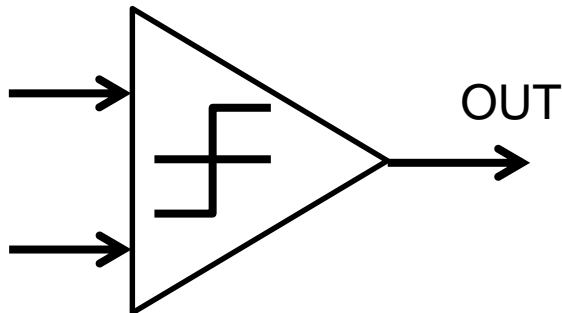
正常動作

正常な動作

アナログ入力



Comparator



Step	1	2	3	4	output
Weight	8	4	2	1	
LEVEL	15				15
	14				14
	13				13
	12				12
	11				11
	10				10
	9				9
	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

デジタル出力



冗長性なし

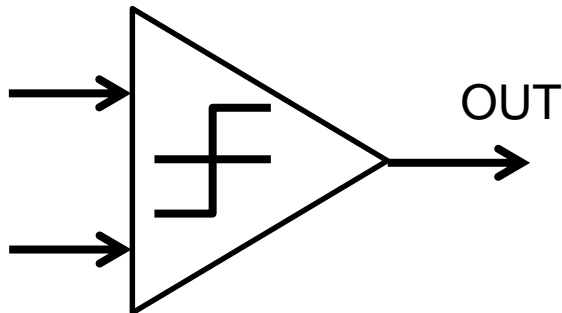
コンパレータの誤動作

コンパレータが
誤動作をすると...

アナログ入力



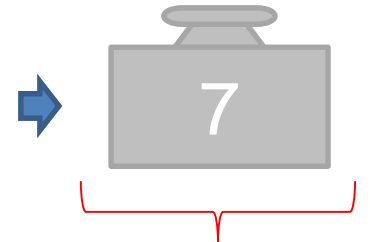
Comparator



Step	1	2	3	4	output
Weight	8	4	2	1	
					15
					14
					13
					12
					11
					10
					9
					8
LEVEL	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

誤判定

デジタル出力



7?

誤判定すると
誤りを出力

信頼性 ↓

冗長性なし

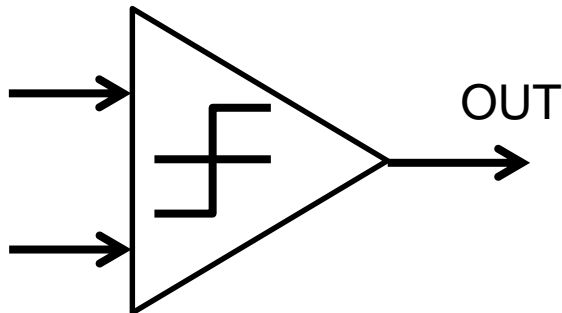
冗長設計による判定補正

コンパレータが
誤動作をすると...

アナログ入力



Comparator



ステップ数	1	2	3	4	5	output
比較電圧の重み	8	6	3	2	1	
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

誤判定

レベル

デジタル出力



補正可能
正確な出力
信頼性 ↑

冗長性あり

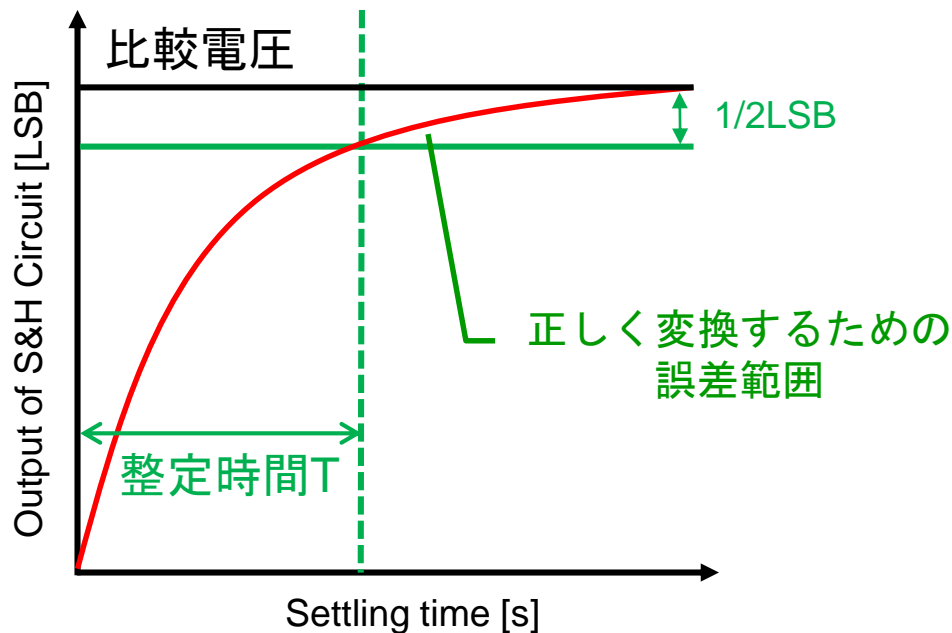
S&H回路の出力整定時間の影響

二進探索SAR ADC

完全整定



変換時間の増長

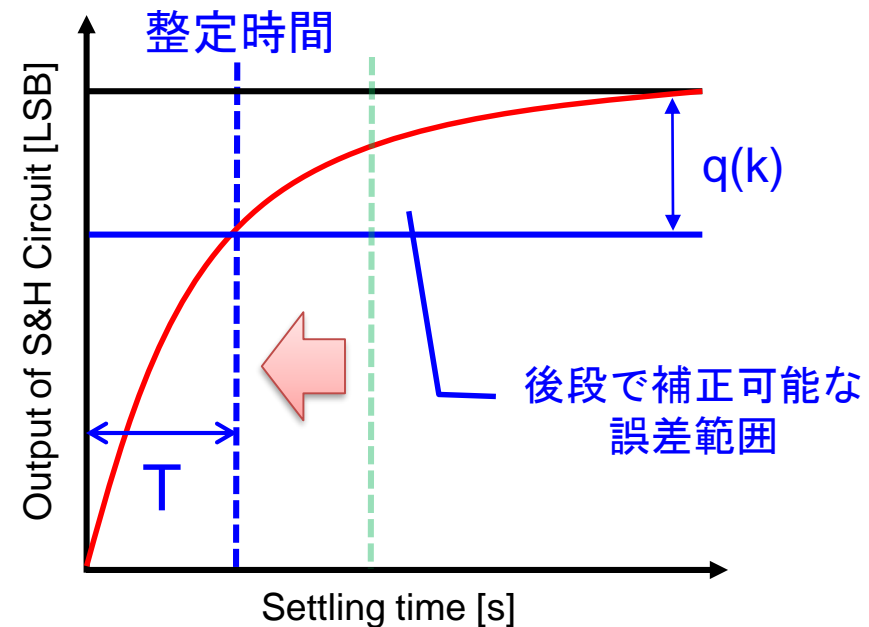


非二進探索SAR ADC

不完全整定

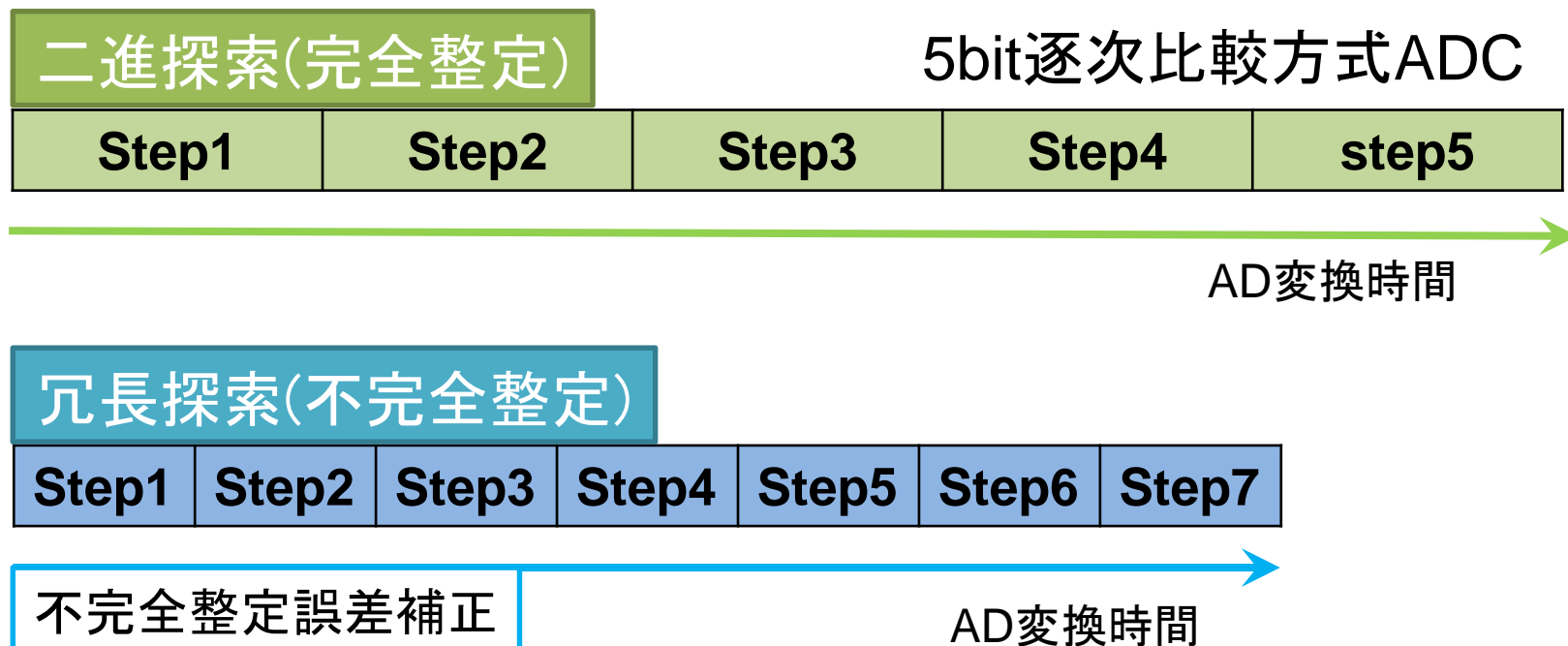


変換時間の短縮



冗長探索SAR ADCの速度

前半の比較条件を緩和し、速度の上昇
後半の比較条件を強化し、誤判定を補正



各stepが短縮され、結果**速度が上昇**する

OUTLINE

- 微小電流源の問題点
- バイナリ型逐次比較近似AD変換器
- 時間冗長システムを持つSAR ADC
- **フィボナッチ数列を用いた冗長性の設計**
- フィボナッチ数列重み付けSAR ADCの新発見
- まとめ

フィボナッチ数列とは？

フィボナッチ数列

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$

初項から計算していくと...

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233...

隣り合う2項の比率を考えると...

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \varphi$$

収束比率 φ

黄金比 (約1.6進数)

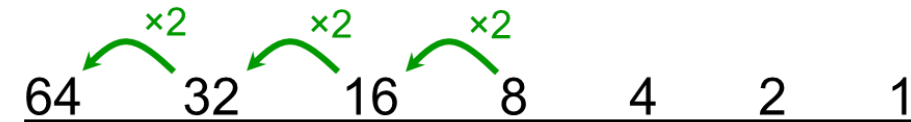


Leonardo Fibonacci
(伊:1170~1250年頃)

整数で1.6進数を
表現可能

フィボナッチ数列の利用

二進重みの利用

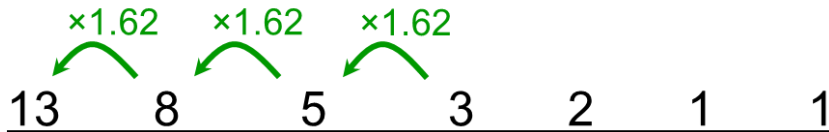


基数 (radix = 2)



重みの変更

フィボナッチ重みの利用 1.62進数の実現



基数 (radix = 1.62)



フィボナッチ冗長設計

ステップ数	1	2	3	4	5	6
比較電圧の重み	8	5	3	2	1	1
レベル	15					
	14					
	13					
	12					
	11					
	10					
	9					
	8					
	7					
	6					
	5					
	4					
	3					
	2					
	1					
0						

フィボナッチ数列重み付けSAR ADC

フィボナッチ数列重み付けSAR ADC

錘としてフィボナッチ数列を用いる

3点の性質を発見！

- ① 許容値 $q(k)$ は必ずフィボナッチ数
- ② 許容できる範囲が必ず接する
- ③ 内部DA変換器出力の不完全整定を考慮すると最速のSAR ADCになる



黄金比 ϕ を使うことで

- ・無駄なステップ
- ・補正できない入力範囲

がない最も効率のよい設計が可能

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight	16	8	5	3	2	1	1
33							
32							
31							
30							
29							
28							
27							
26							
25							
24							
23							
22							
21							
20							
19							
18							
17							
16							
15							
14							
13							
12							
11							
10							
9							
8							
7							
6							
5							
4							
3							
2							
1							
0							
-1							
-2							

Level

OUTLINE

- 微小電流源の問題点
- バイナリ型逐次比較近似AD変換器
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を用いた冗長性の設計
- **フィボナッチ数列重み付けSAR ADCの新発見**
- まとめ

証明内容

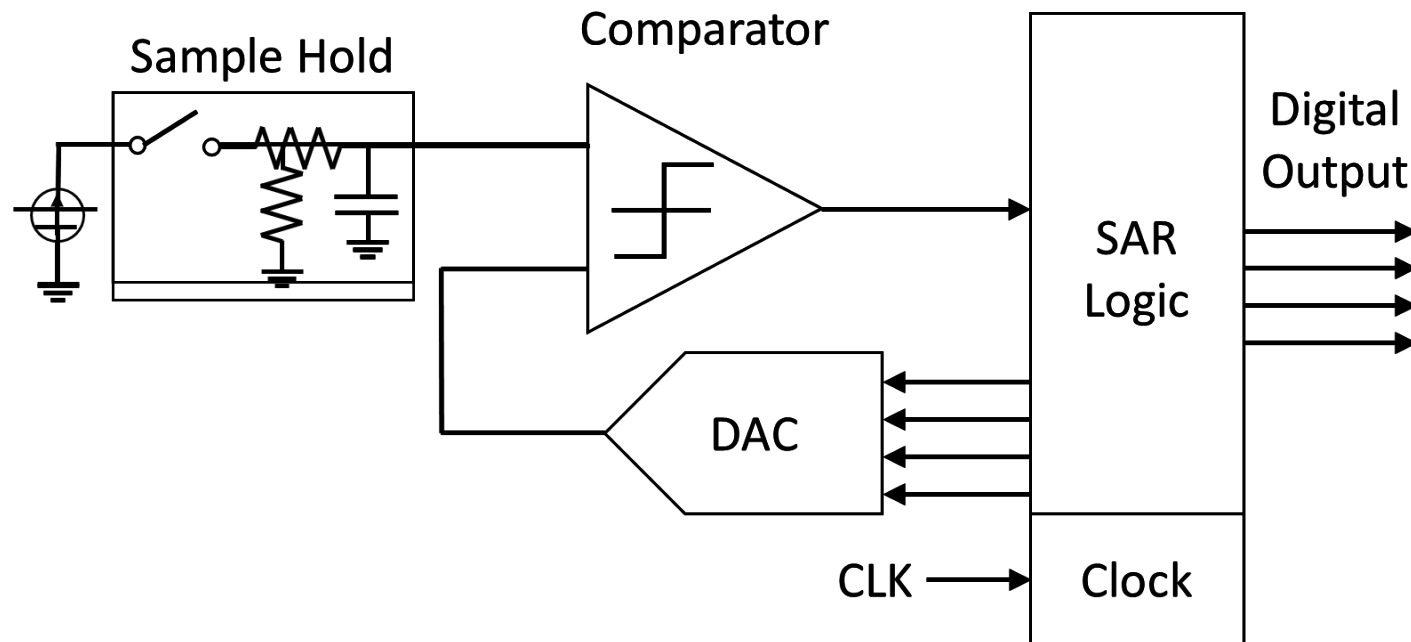
Sample & Hold回路の整定時間を考慮

測定時間

バイナリ型SAR ADC > フィボナッチ型SAR ADC

シミュレーション条件(1/2)

- 入力信号: 微小電流源⇒電圧源
- S&H回路の整定時間を考慮



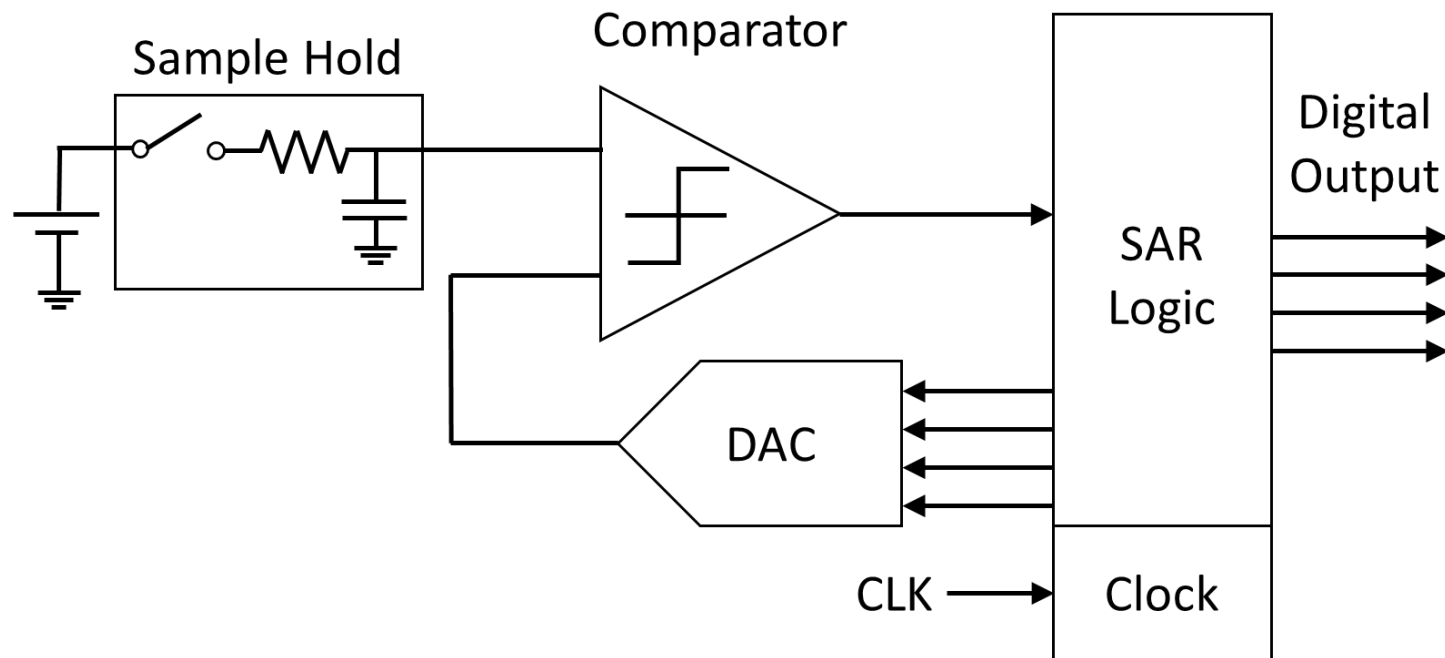
シミュレーション条件(2/2)

scilabによるシミュレーション

分解能: 1~14bit

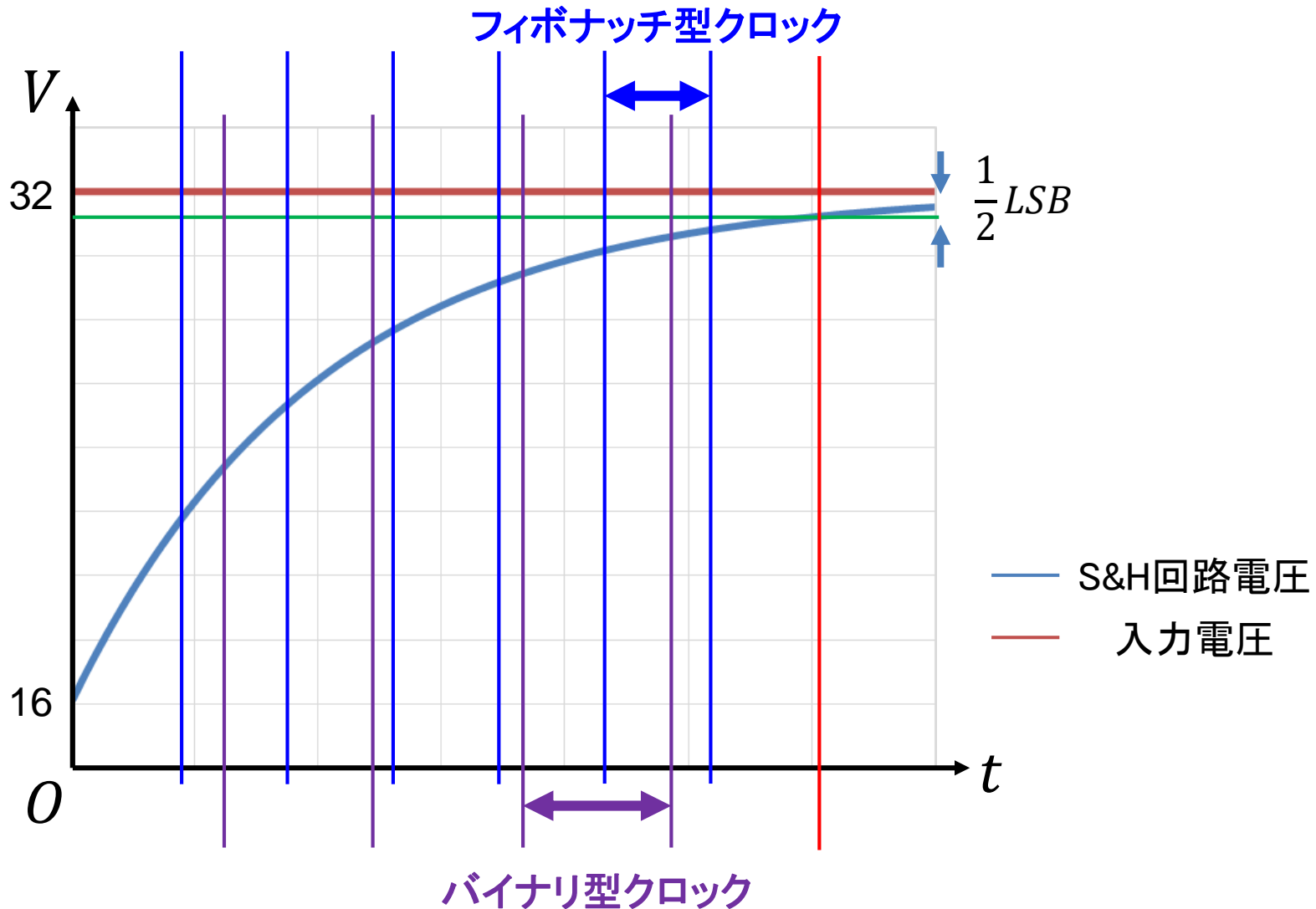
精度 : $\frac{1}{2}$ LSB

キャパシタ初期電圧: フルスケールの半分



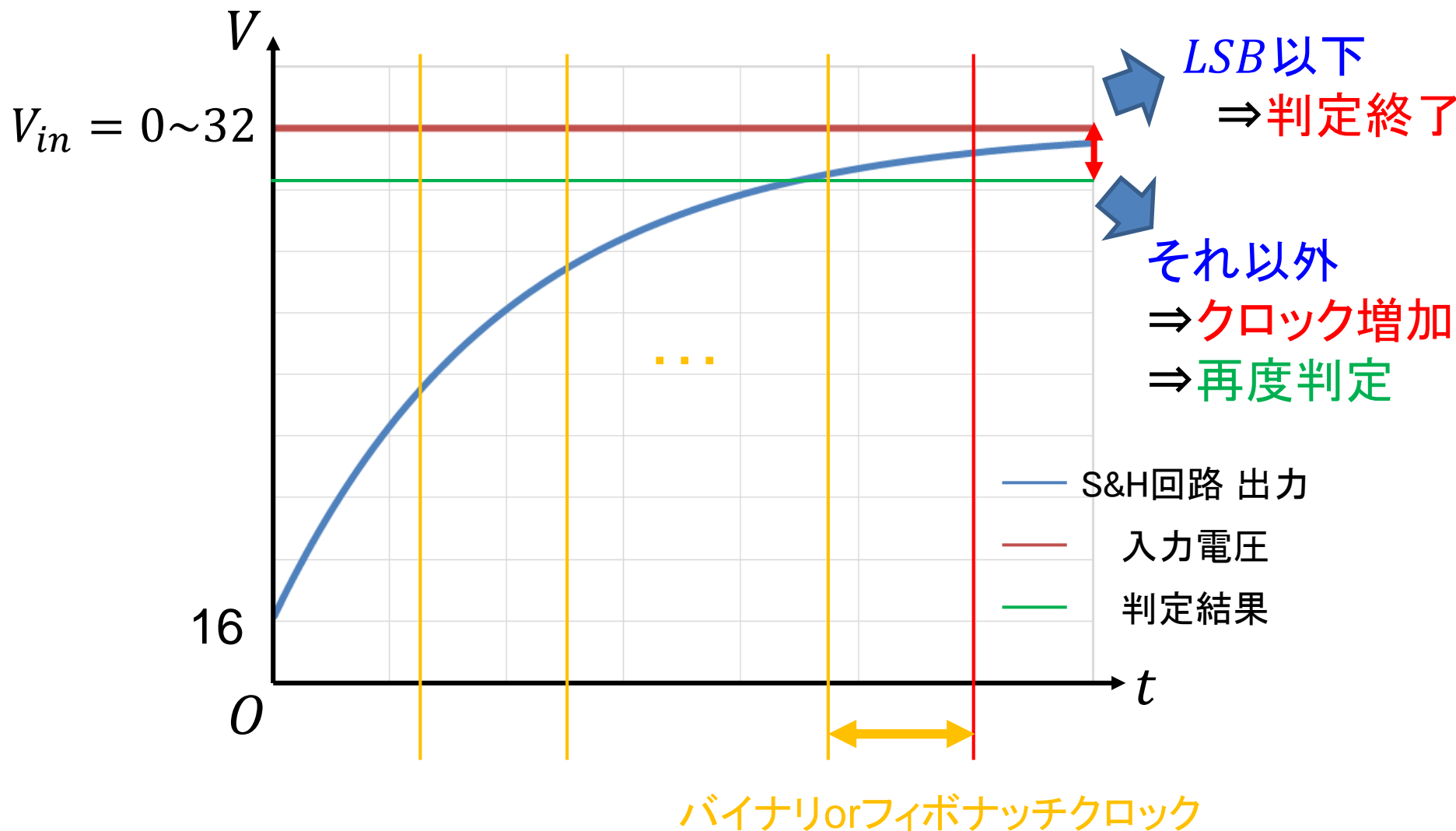
シミュレーション方法(1/3)

ワーストケースからクロック生成(例: 5bit)



シミュレーション方法(2/3)

判定・変更(バイナリandフィボナッチ)



シミュレーション方法(3/3)

判定誤りが発生した場合

バイナリ型(冗長性無) : 測定ミス

フィボナッチ型(冗長性有): 後段で補正

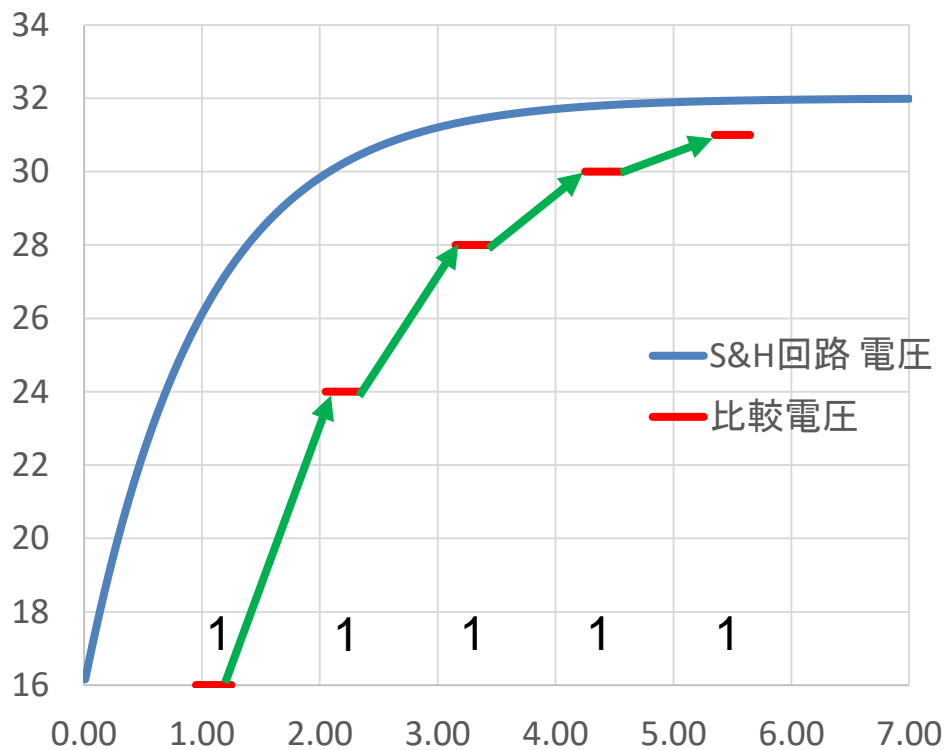


正常動作

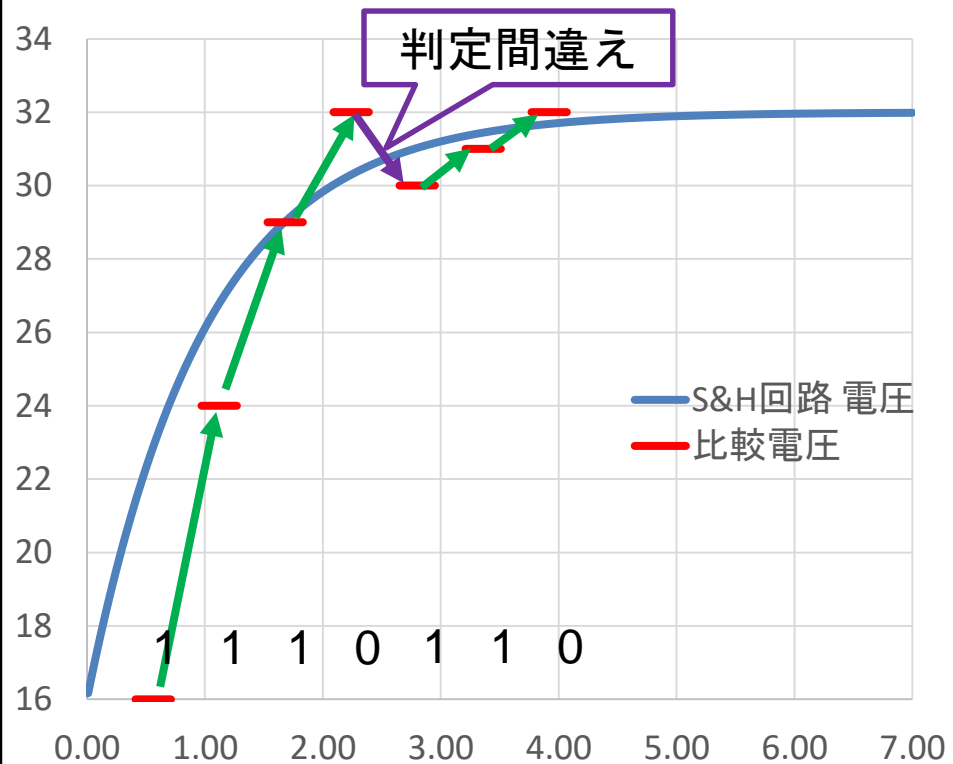
判定例 (1/3)

$V_{in} = 32$ のとき

バイナリ型



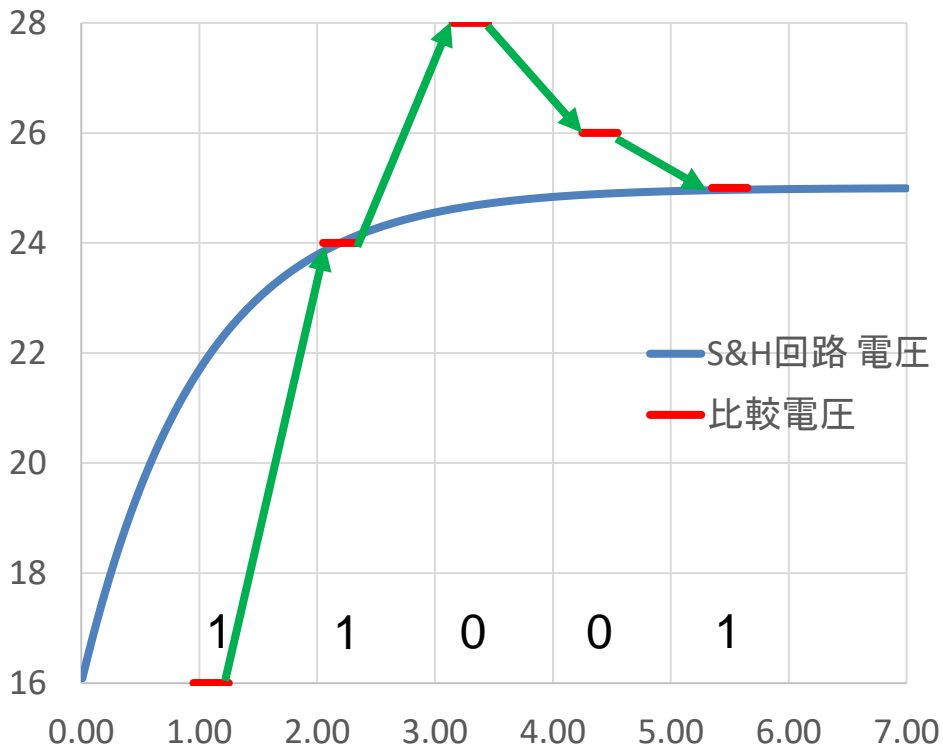
フィボナッチ型



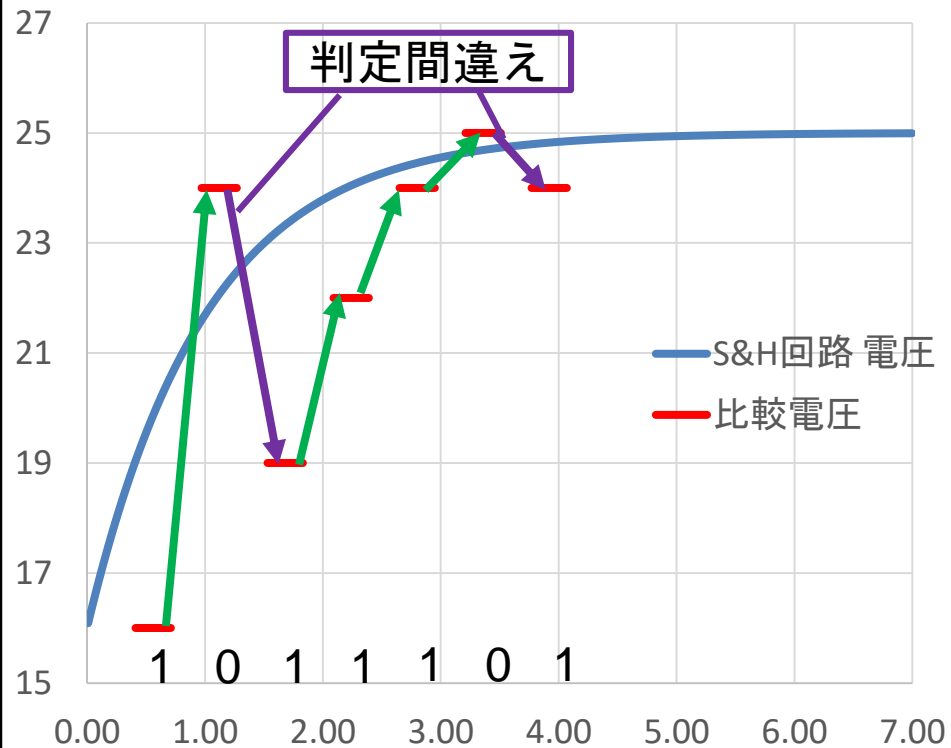
判定例 (2/3)

$V_{in} = 25$ のとき

バイナリ型



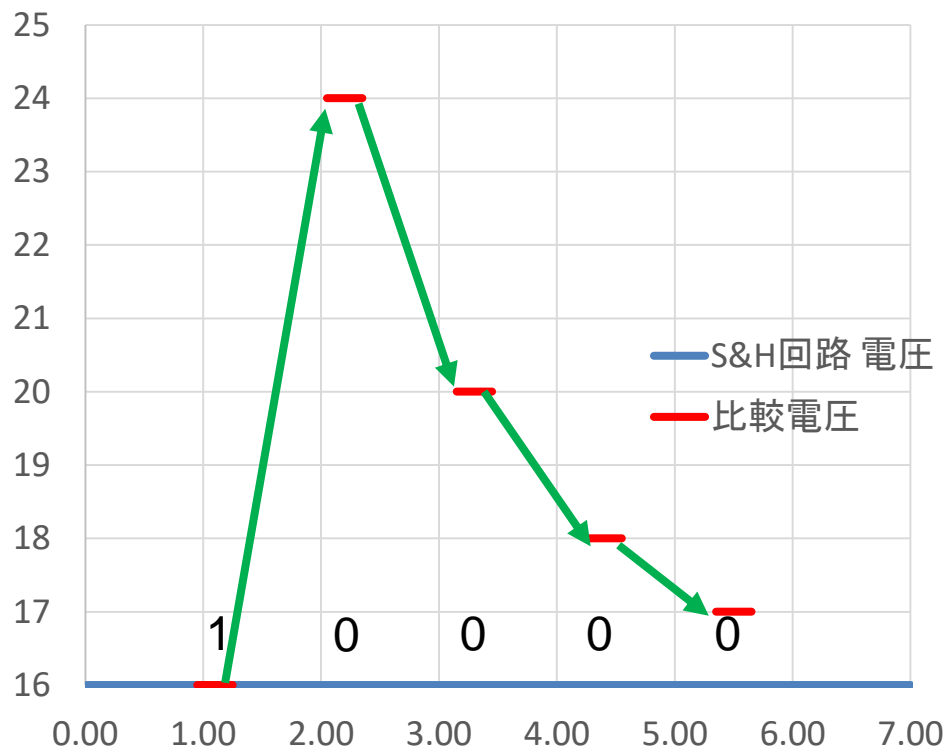
フィボナッチ型



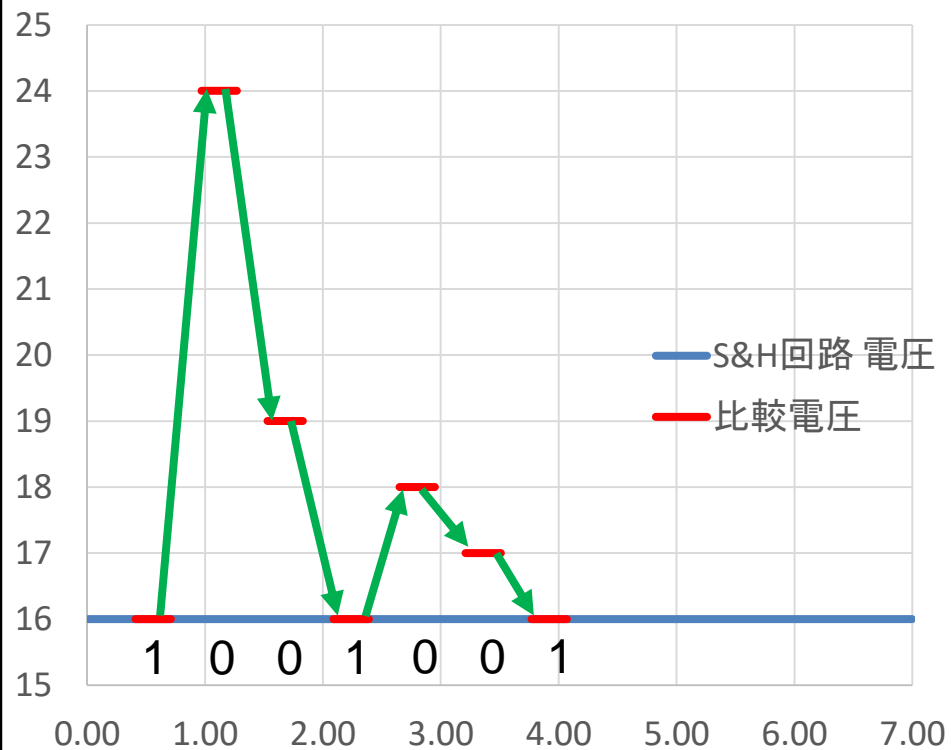
判定例 (3/3)

$V_{in} = 16$ のとき

バイナリ型

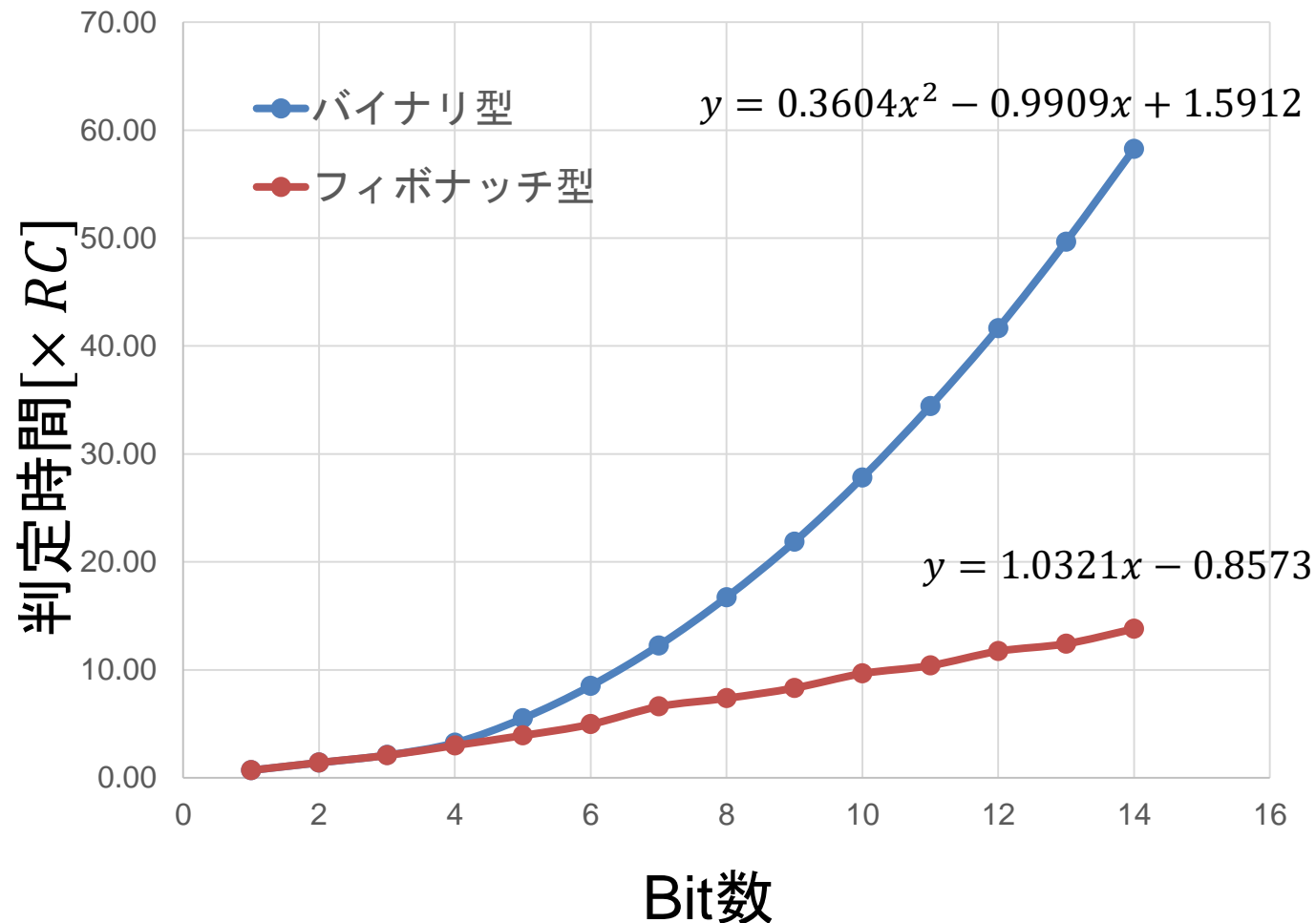


フィボナッチ型



シミュレーション結果

Bit数を変化させたときの測定時間



OUTLINE

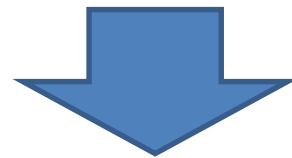
- 微小電流源の問題点
- バイナリ型逐次比較近似AD変換器
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を用いた冗長性の設計
- フィボナッチ数列重み付けSAR ADCの新発見
- まとめ

まとめ

SAR ADC使用 微小電流源測定

➡ Sample & Hold回路の遅延を考慮

- バイナリ型(冗長性:無) :完全整定
- フィボナッチ型(冗長性:有):不完全整定
➡ 各step 測定時間短縮



測定時間

バイナリ型SAR ADC > フィボナッチ型SAR ADC

Q&A

- Weightがフィボナッチでないところがあったが
 - 最初のWeightがフィボナッチでないのは初期電荷を考慮したためである
- 後半になるにつれてWeightの比率が大きくなっているが
 - 整数として用いるためには仕方ない
- Weightの比率の変化は測定に問題があるか
 - 特にない