

トリガ回路を用いた 積分型時間デジタイザ回路

佐々木優斗、小澤祐喜、小林春夫

群馬大学 理工学部 電子情報理工学科

小林研究室 学部4年

佐々木 優斗

t14304053@gunma-u.ac.jp

アウトライン

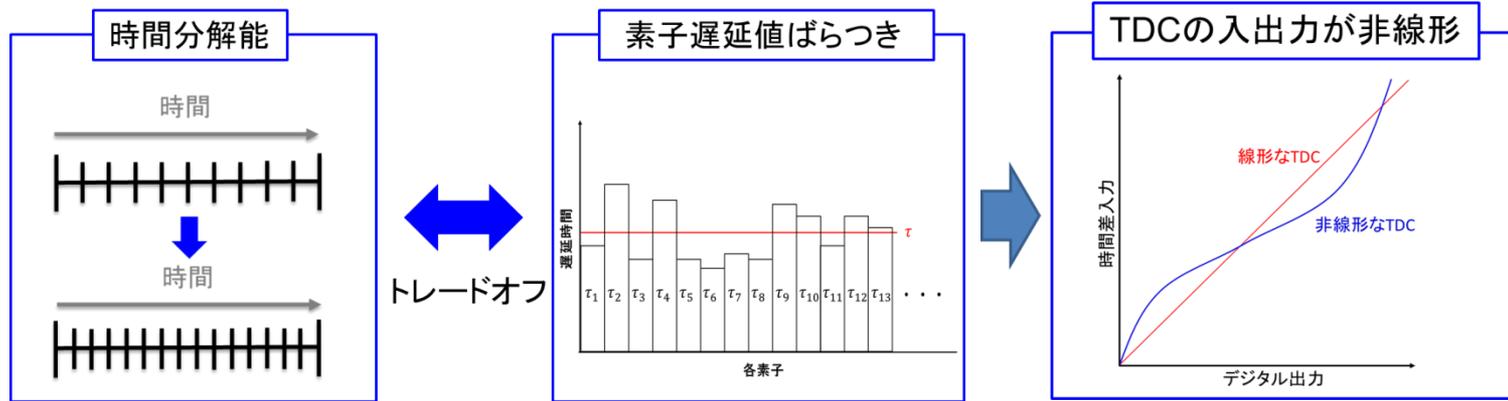
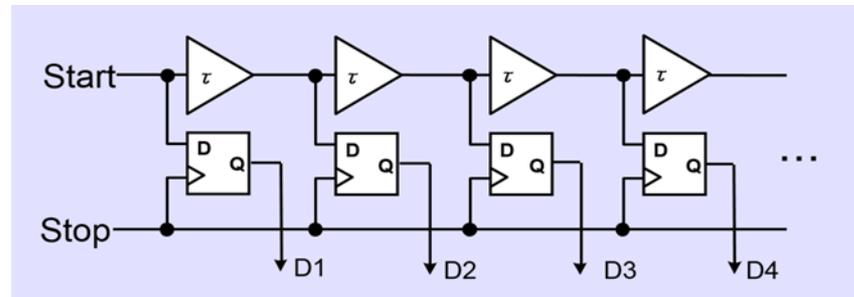
- 研究背景
- 従来 of 時間デジタイザ回路
- トリガ回路を用いた積分型時間デジタイザ回路
- シミュレーションによる検証
- まとめと課題

アウトライン

- 研究背景
- 従来 of 時間デジタイザ回路
- トリガ回路を用いた積分型時間デジタイザ回路
- シミュレーションによる検証
- まとめと課題

研究背景

基本フラッシュ型TDC



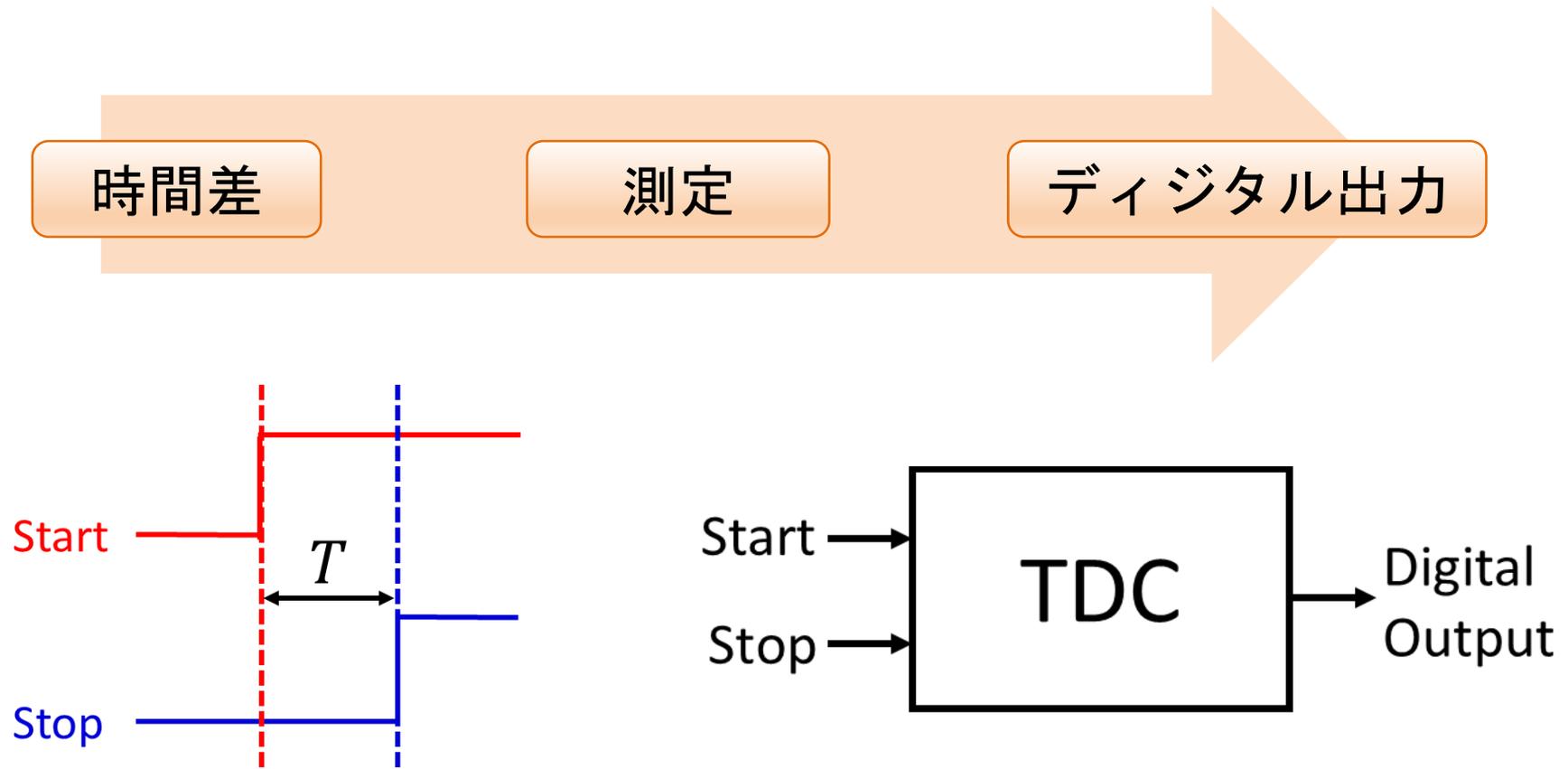
TDCの特性を線形に校正する技術が必要

校正なしで時間分解能の細かい線形な新しい手法によるTDC

アウトライン

- 研究背景
- 従来の時間デジタイザ回路
- トリガ回路を用いた積分型時間デジタイザ回路
- シミュレーションによる検証
- まとめと課題

時間デジタイザ回路の役割



時間デジタイザ回路 (Time-to-Digital Converter、TDC) ;
タイミング信号の時間差を測定しデジタル出力

具体的な応用例



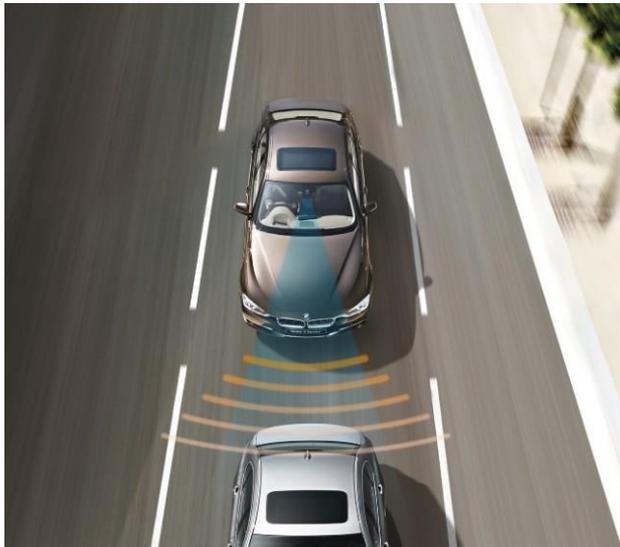
SIEMENS CO.,LTD.

放射線計測器

車間等の距離計測

イオン飛行時間分析

時間領域ADC 等

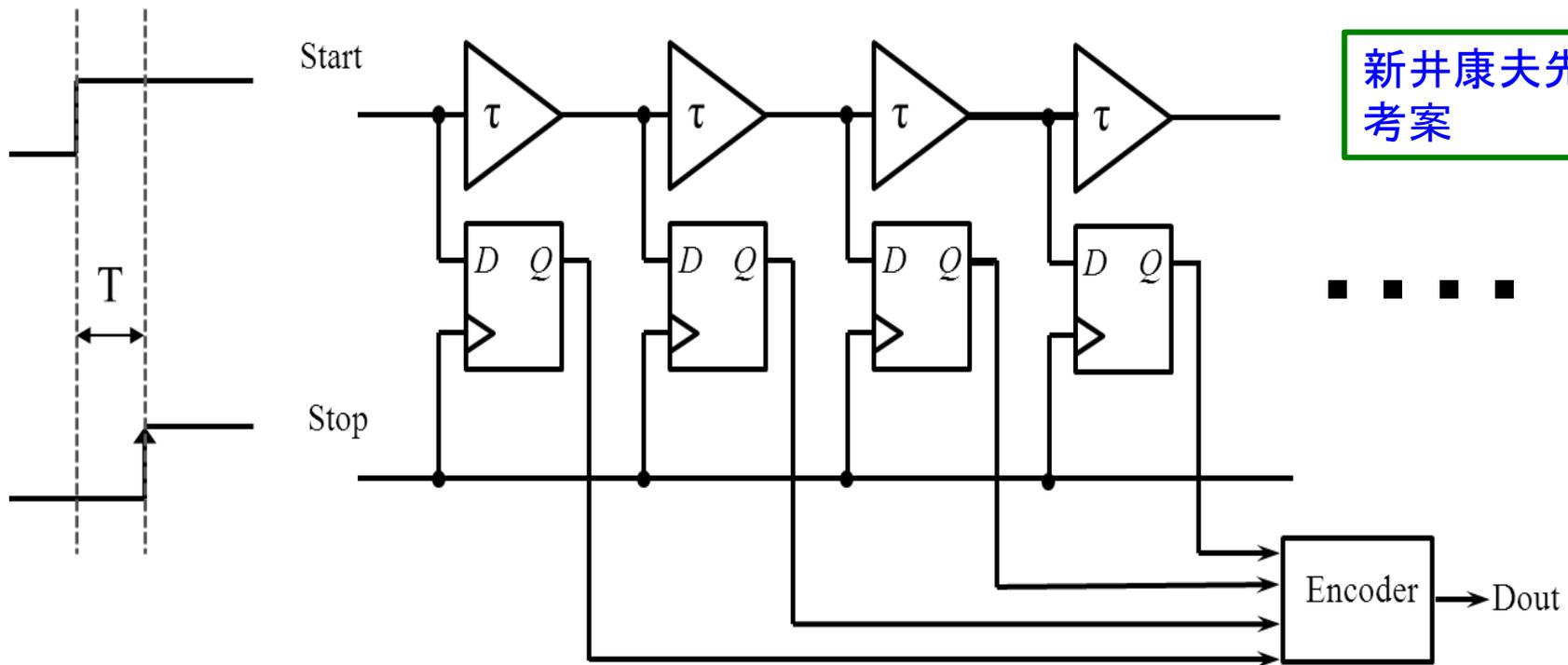


BMW AG CO.,LTD.



JAXA Digital Archives

フラッシュ型TDC

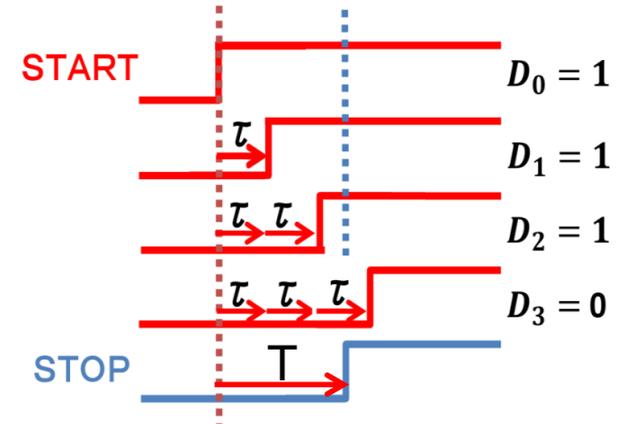
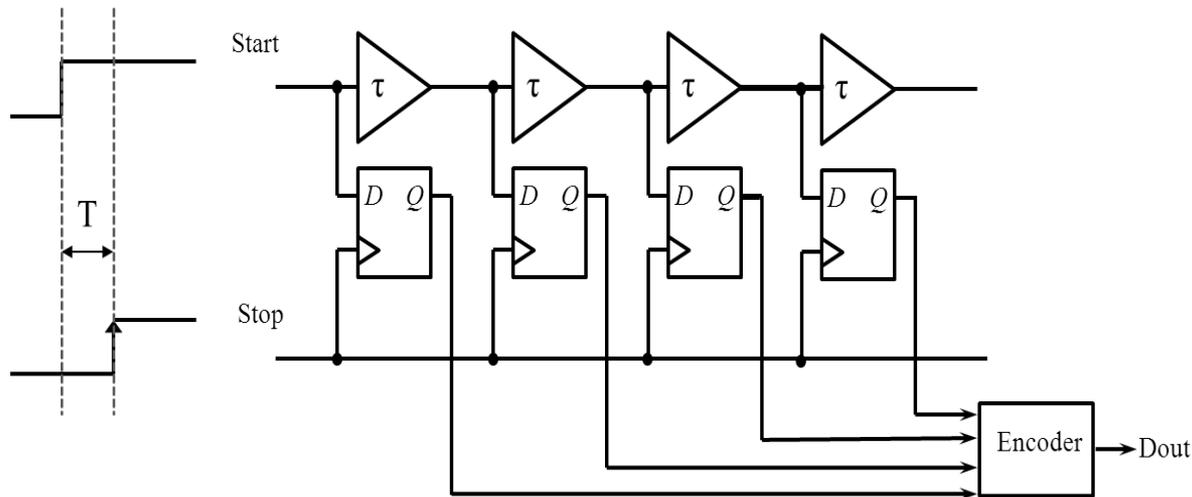


Start立ち上がり信号が入力され、遅延素子(τ)を伝搬している間に stop立ち上がり信号が入力



入力信号時間差(T)に比例してデジタル値(Dout)を出力

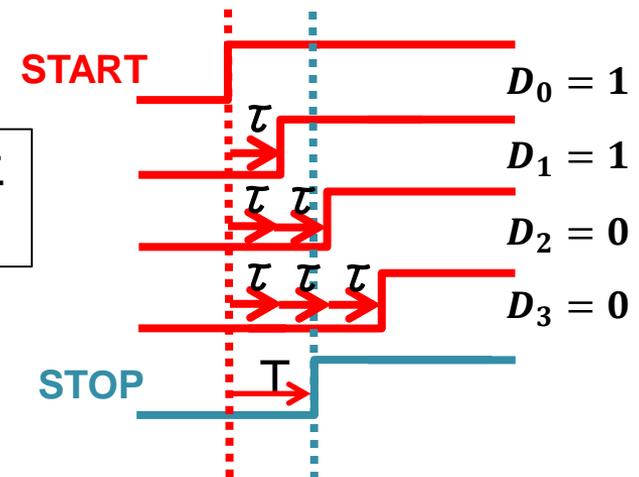
フラッシュ型TDCの動作



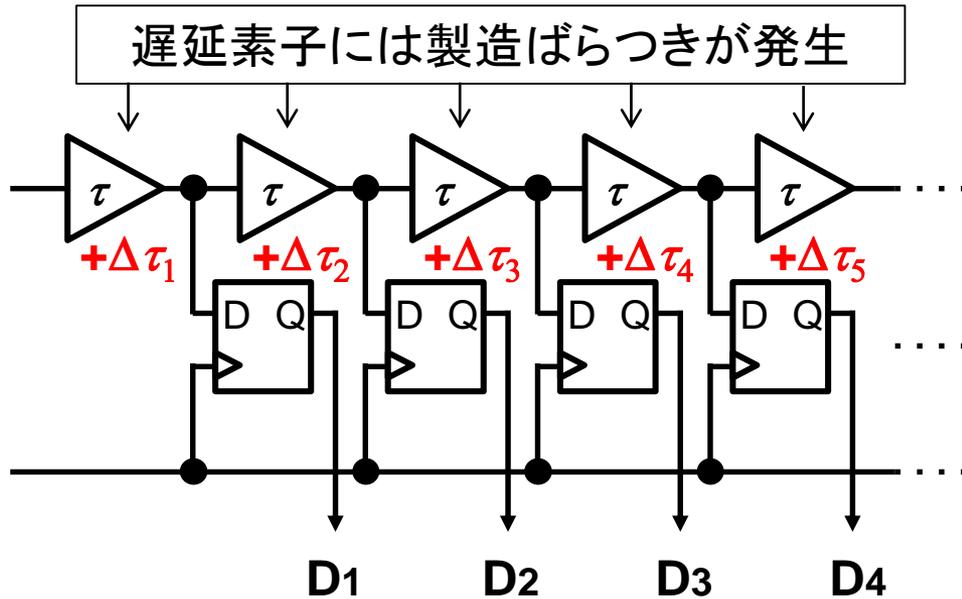
start信号が入力され、遅延素子(τ)を伝搬している間に
stop信号を入力



入力信号時間差(T)に比例して
デジタル値(D_{out})を出力



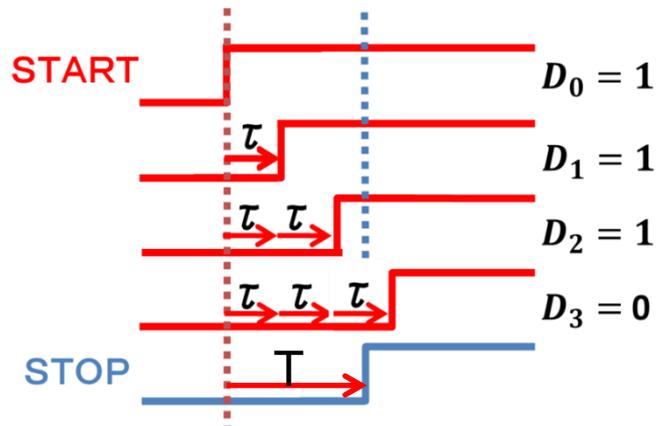
TDC回路内の遅延素子バラつき



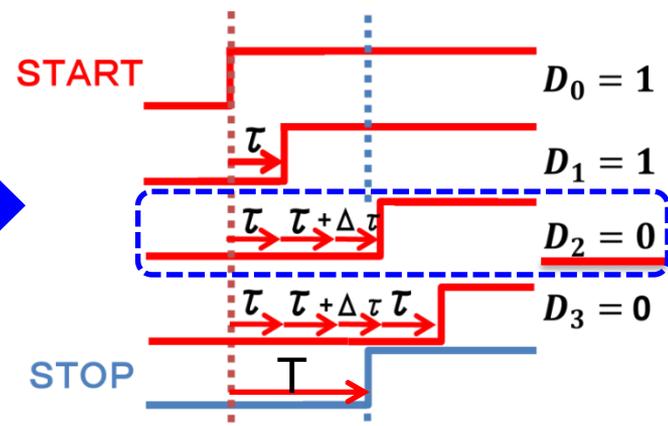
困ったわい!!



非線形性が生じる



(a)ばらつきなし



(b)ばらつきあり

アウトライン

- 研究背景
- 従来 of 時間デジタイザ回路
- トリガ回路を用いた積分型時間デジタイザ回路
- シミュレーションによる検証
- まとめと課題

従来のTDCとの比較

遅延素子

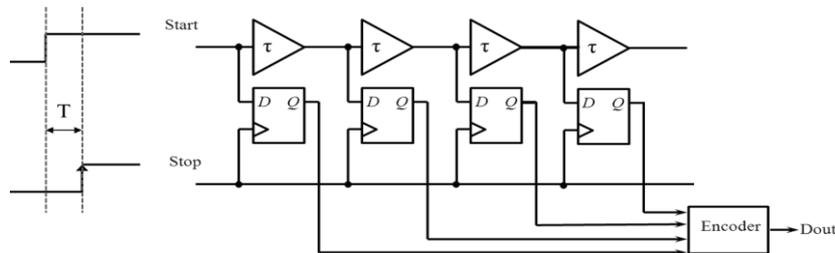
プロセス, 温度, 電源電圧変動

影響大

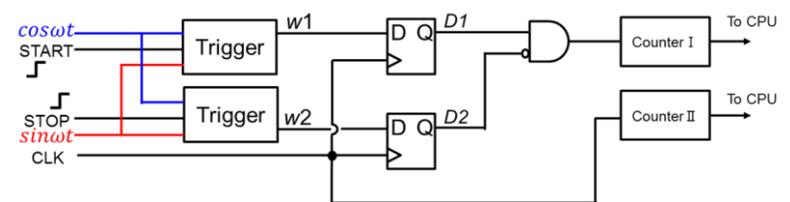
あり



なし



従来のTDC



提案TDC

積分型時間デジタイザ回路の特徴

長所

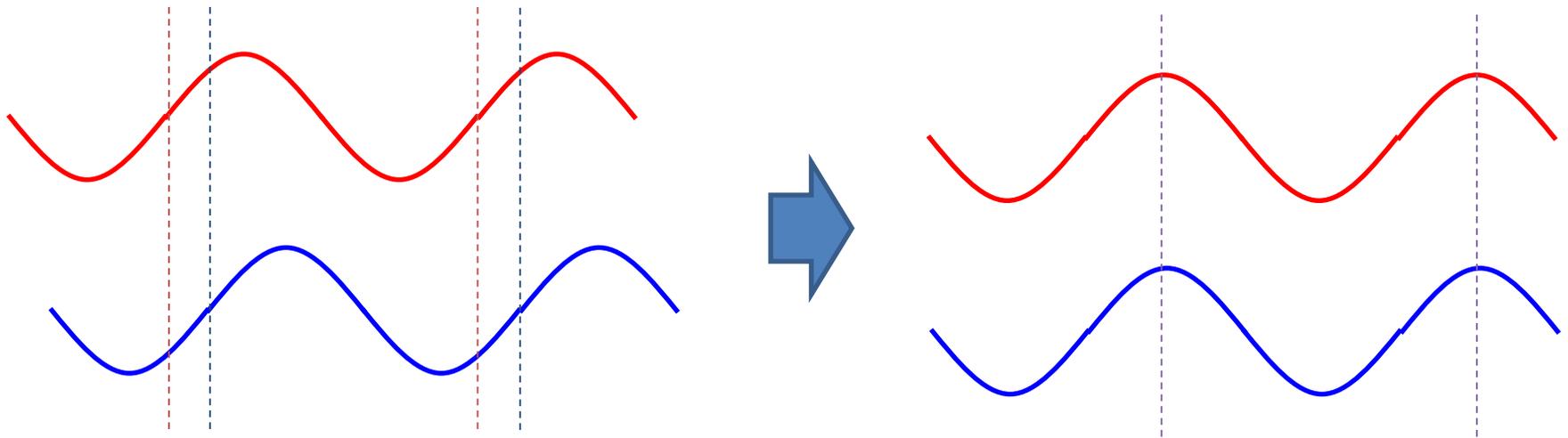
- 測定時間を長くすれば時間分解能をより細かくできる
- 遅延線をもちいないので、
TDC特性へのプロセス、温度、電源電圧変動の影響が小さい
- 線形性を自己校正なしで確保できる
- (発振回路の発振周波数を知れば)時間の絶対値が自己校正なしで測定できる

短所

- トリガ回路にアナログ回路が必要
- 2つの非同期発振回路が必要
- インジェクションロッキングに注意必要

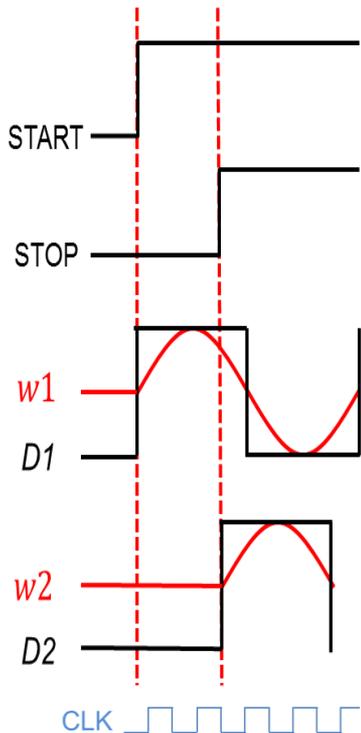
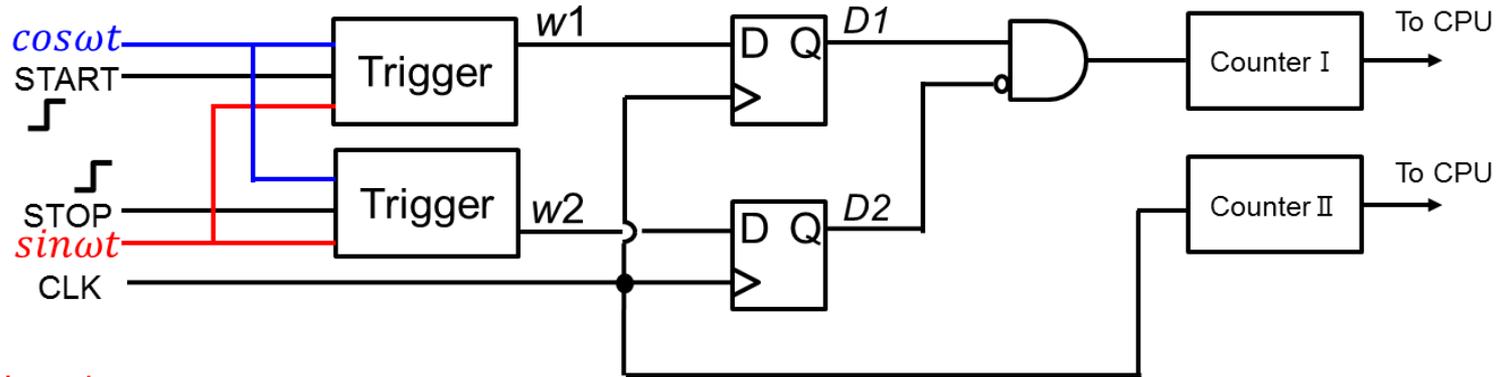
インジェクションロッキング

発振器が他の発振器の影響で
周波数や位相が同期する現象



例 : メトロノーム、ろうそくの炎、振り子時計

積分型時間デジタイザ回路の構成



Start・Stop立ち上がり信号を入力するとw1・w2が発振

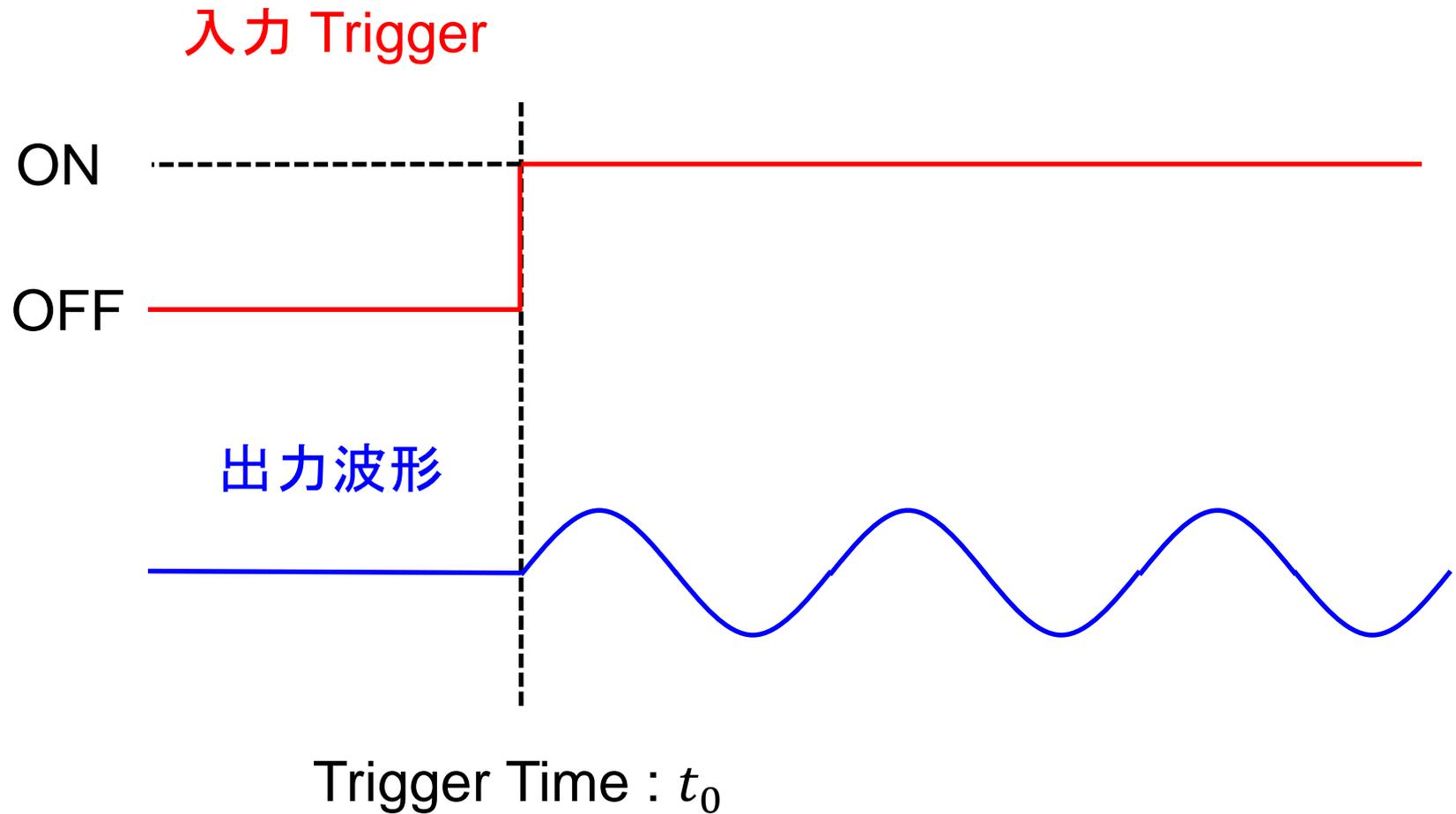


Start信号が入力されてからの総クロック数(Counter II)と、w1がHIGH、w2がLOWのときのクロック数(Counter I)をカウント

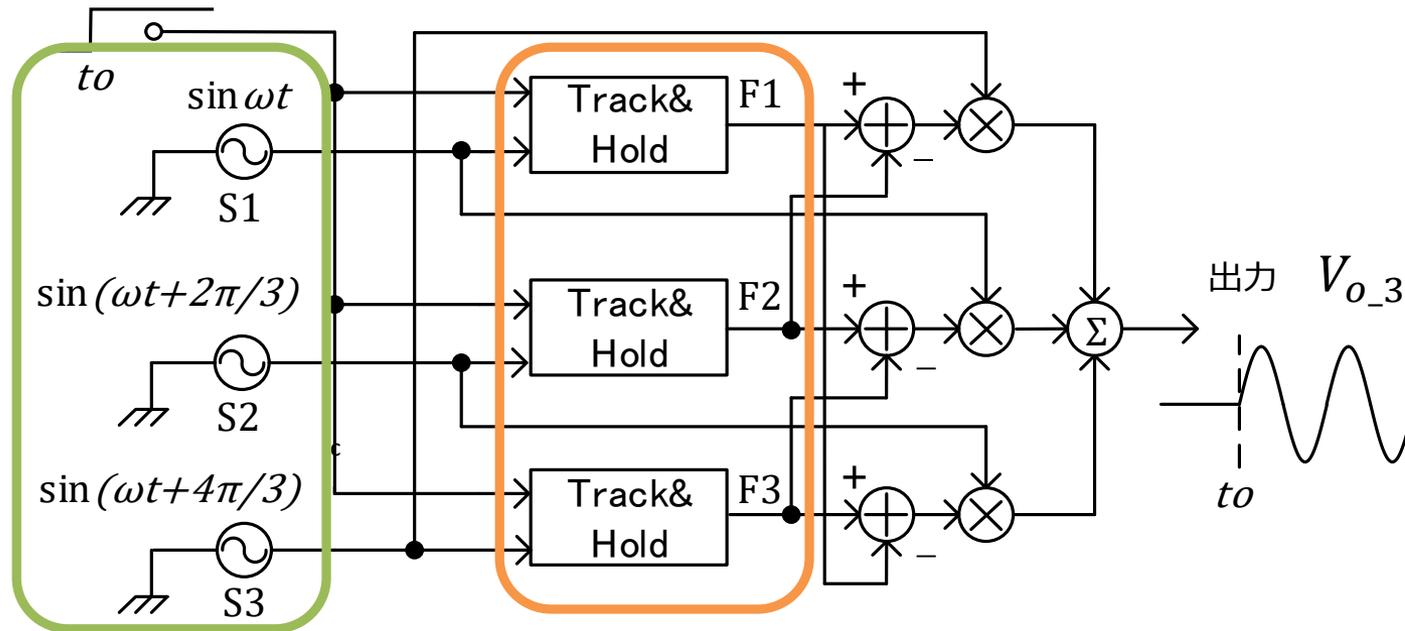


$$\text{入力時間差} = \frac{\text{Count I}}{\text{Count II}} \times (w1、w2の発振周期)$$

オシロスコープ・トリガ回路



3段構成トリガ回路



信号源

$$S_1 = \sin \omega t, S_2 = \sin \left(\omega t + \frac{2\pi}{3} \right), S_3 = \sin \left(\omega t + \frac{4\pi}{3} \right)$$

トリガ後信号

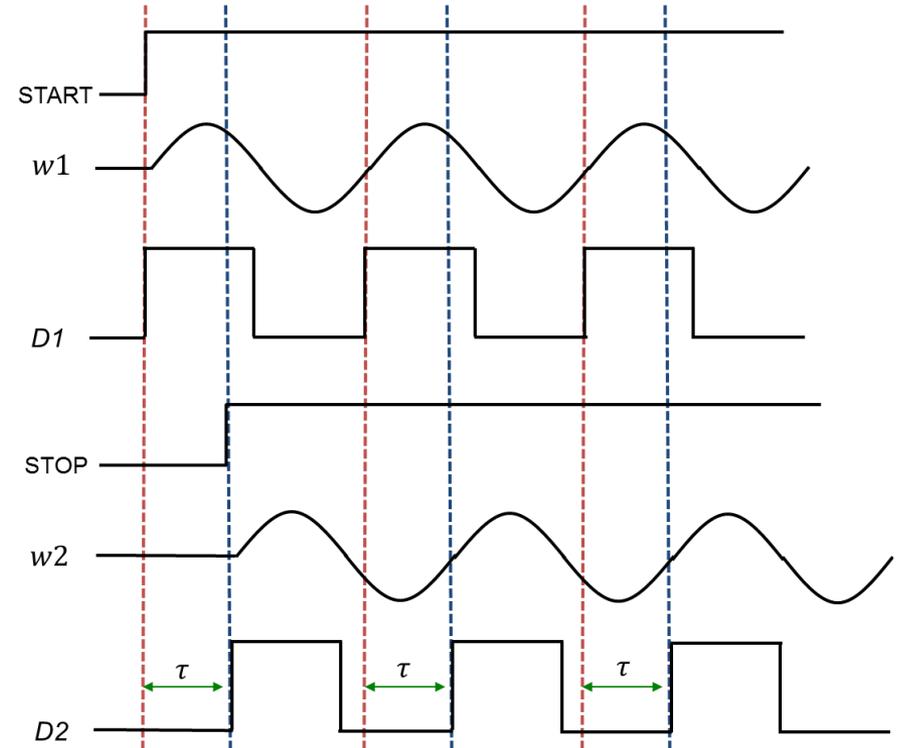
$$F_1 = \sin \omega t_0, F_2 = \sin \left(\omega t_0 + \frac{2\pi}{3} \right), F_3 = \sin \left(\omega t_0 + \frac{4\pi}{3} \right)$$

トリガ回路を用いた単発タイミング測定

Start、Stop信号を入力

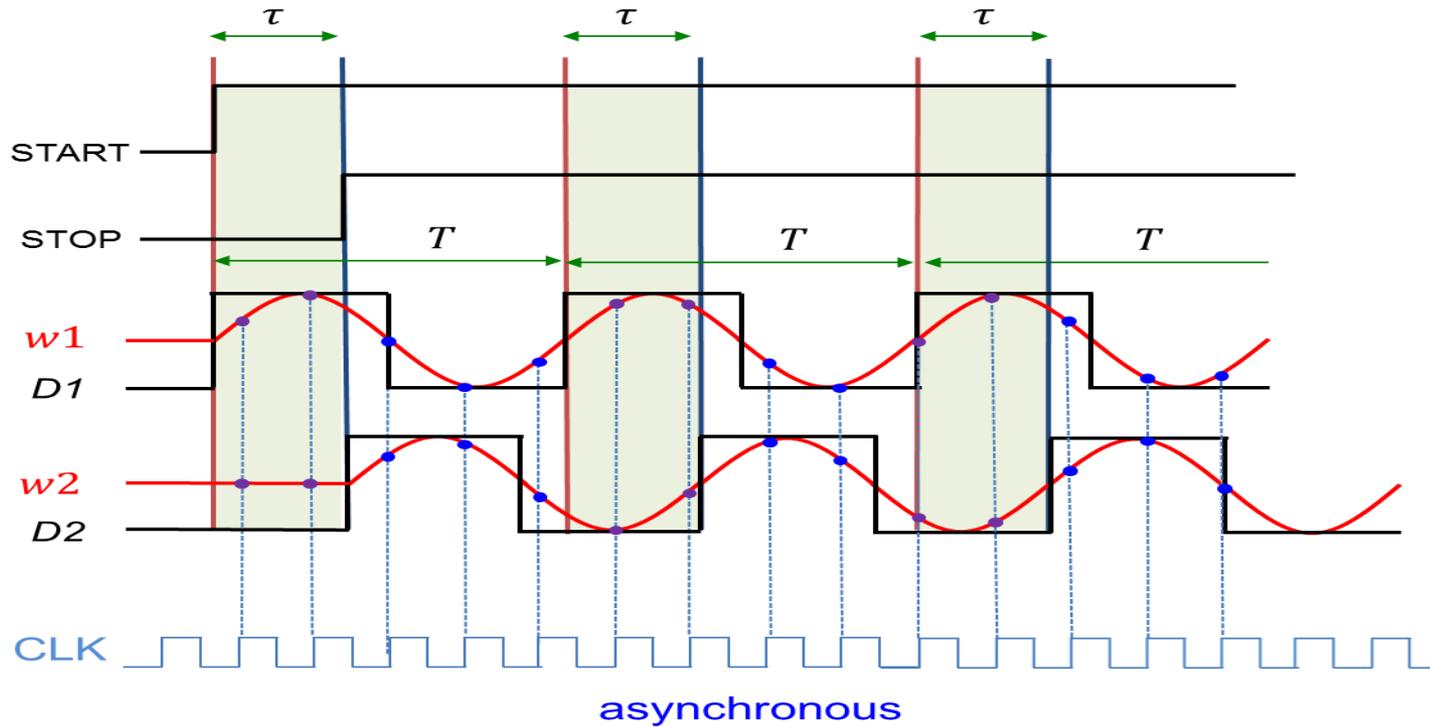


入力のタイミングから
位相0で発振を開始



二つのトリガ回路を用いることで**入力時間差の保持**が可能

積分型時間デジタイザ回路の原理

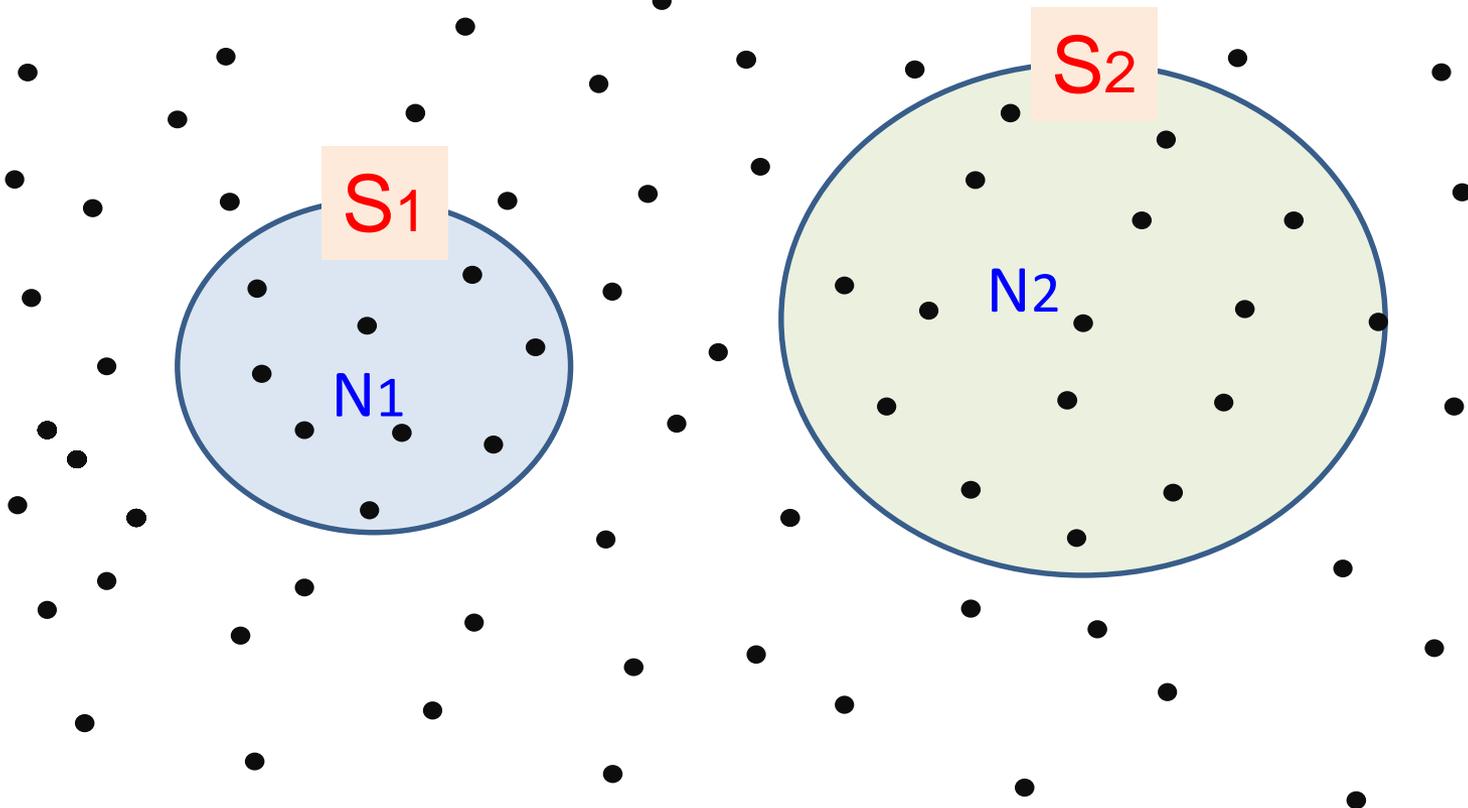


モンテカルロ法 : w1、w2と**非同期**なCLKを採用し、異なる点で多数サンプリング

$$\frac{\sum(\tau\text{のときのポイント数})}{\sum(T\text{のときのポイント数})} = \frac{\text{入力時間差 } \tau}{\text{正弦波の周期 } T}$$

Measurement with Histogram

Random dots (Monte Carlo Method)

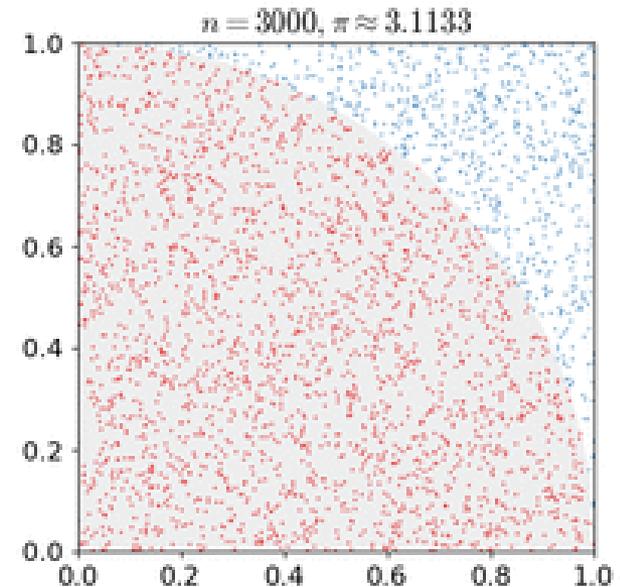


of dots ratio $\frac{N1}{N2}$ \longrightarrow Area ratio $\frac{S1}{S2}$

モンテカルロ法

- シミュレーションや数値計算を乱数を用いて行う手法の総称
中性子が物質中を動き回る様子を探るために
スタニスワフ・ウラムが考案
- ジョン・フォン・ノイマンにより命名。
- カジノで有名な国家モナコ公国の4つの地区の1つである
モンテカルロから名付けられた。
- ランダム法とも呼ばれる。

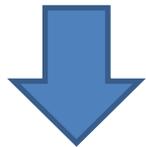
モンテカルロ法で円周率 π の近似値。
30,000点をランダムにプロット。
 π の推定量は0.07%以下の誤差内。



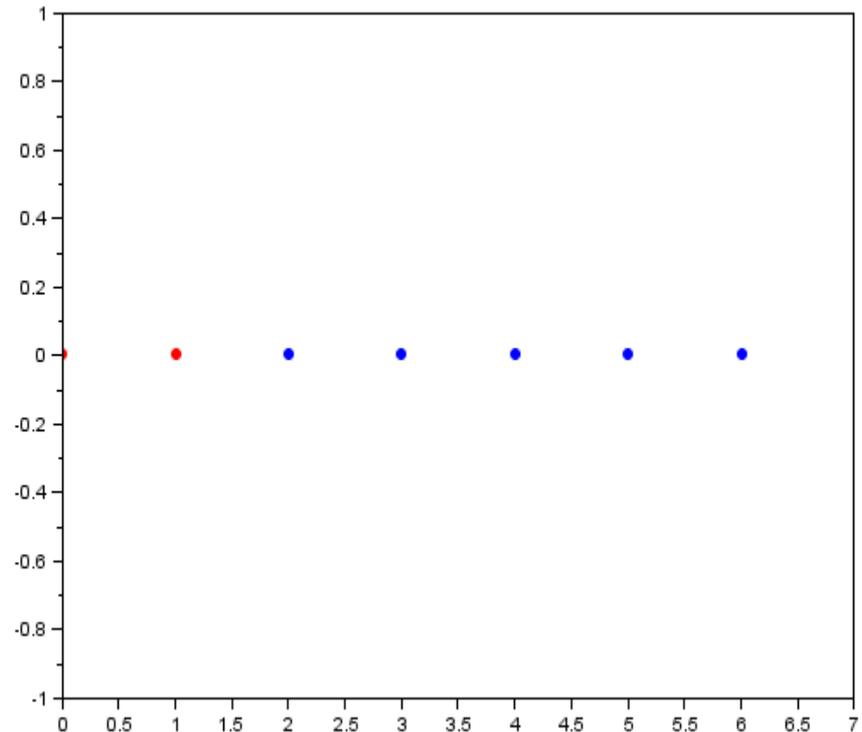
Wikipedia より

非同期的なCLKを用いたカウント

非同期的なCLK

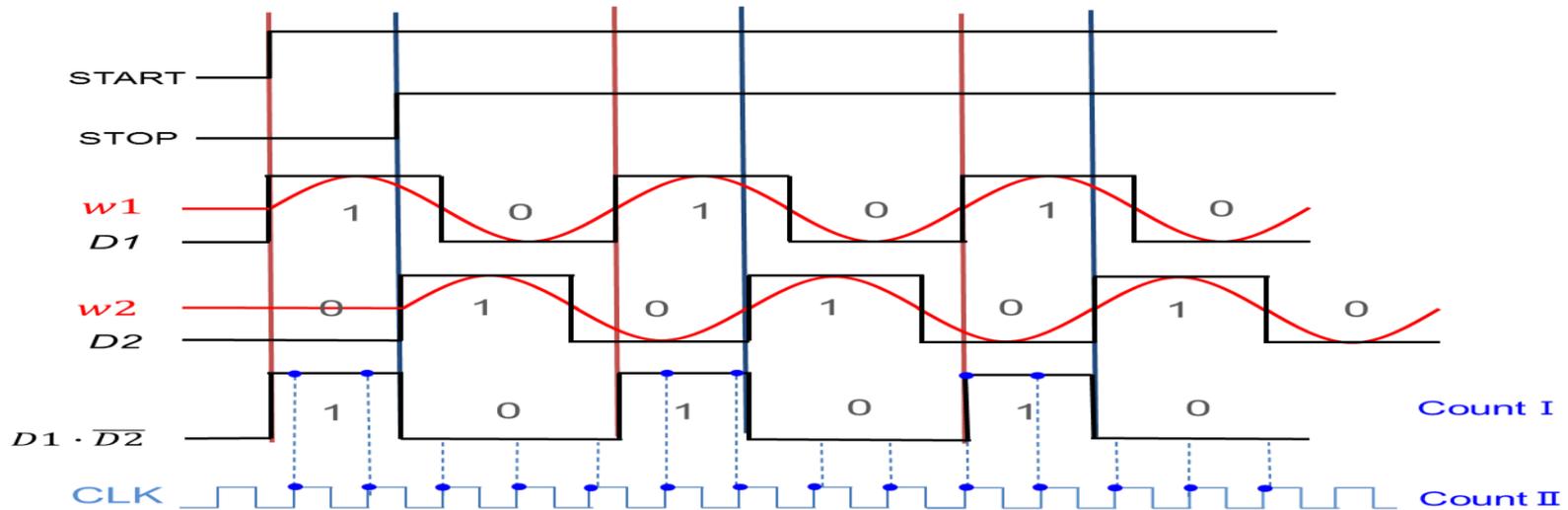


周期毎に位相が
少しずつずれたデータ

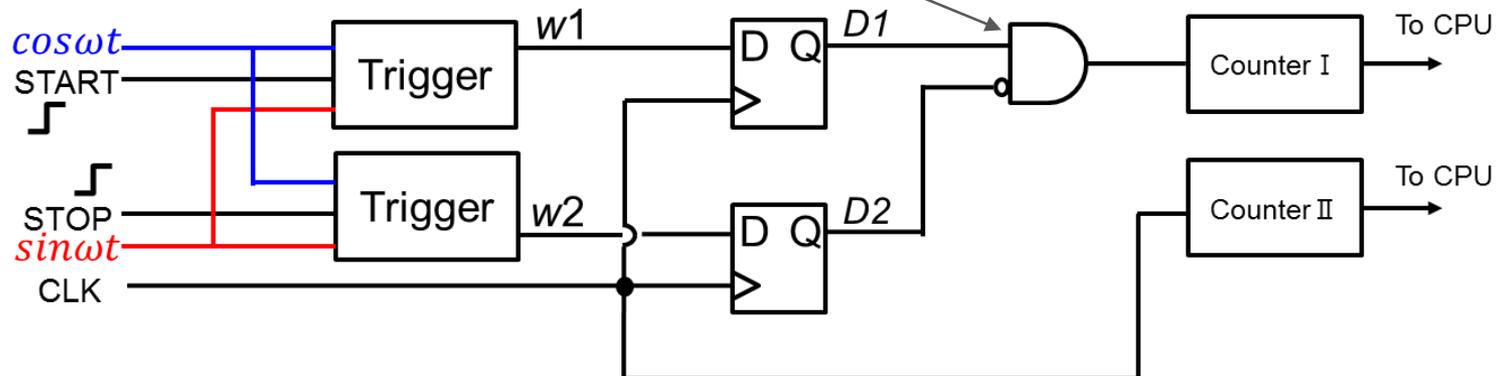


測定時間をかけるほど細かい時間分解能

タイミングチャート



Counter I : $D1 \cdot \overline{D2} = 1$ のときカウント



アウトライン

- 研究背景
- 従来 of 時間デジタイザ回路
- トリガ回路を用いた積分型時間デジタイザ回路
- シミュレーションによる検証
- まとめと課題

シミュレーション方法

正弦波 $w1$ 、 $w2$

CLK毎 $w1$ 、 $w2$ 取得 ($w1_{CLK}$ 、 $w2_{CLK}$)

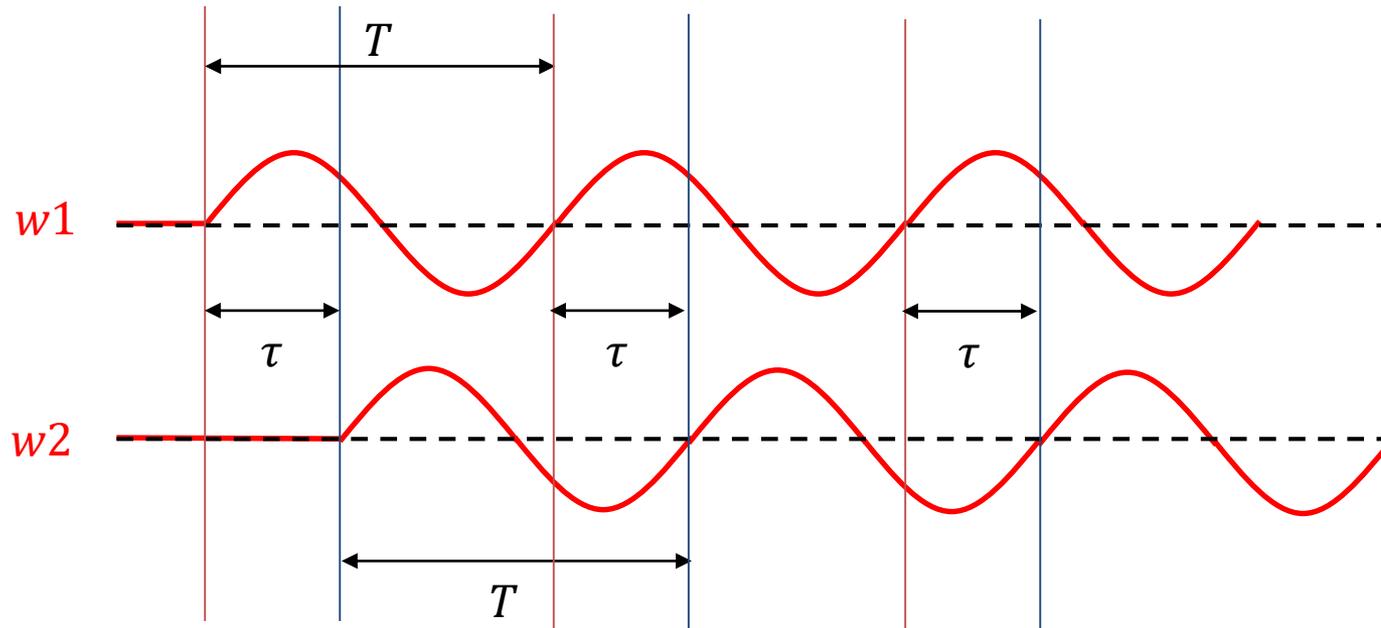
$w1_{CLK}$ 、 $w2_{CLK}$ 2値化 \rightarrow $D1_{CLK}$ 、 $D2_{CLK}$

論理演算 $D1_{CLK} \cdot \overline{D2_{CLK}}$

$D1_{CLK} \cdot \overline{D2_{CLK}} = 1$ データ数 (Count I)
総データ数 (Count II) 取得

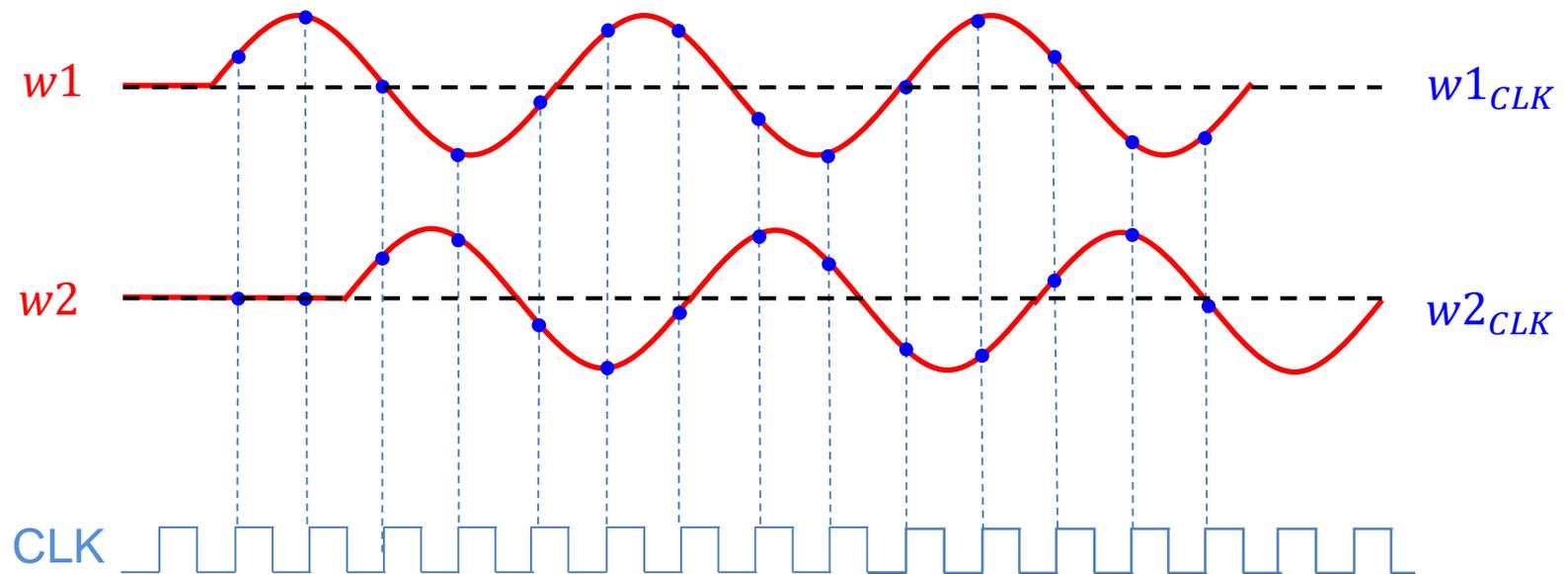
シミュレーション方法

① 正弦波 $w1$ 、 $w2$ (周期・時間差)を定義



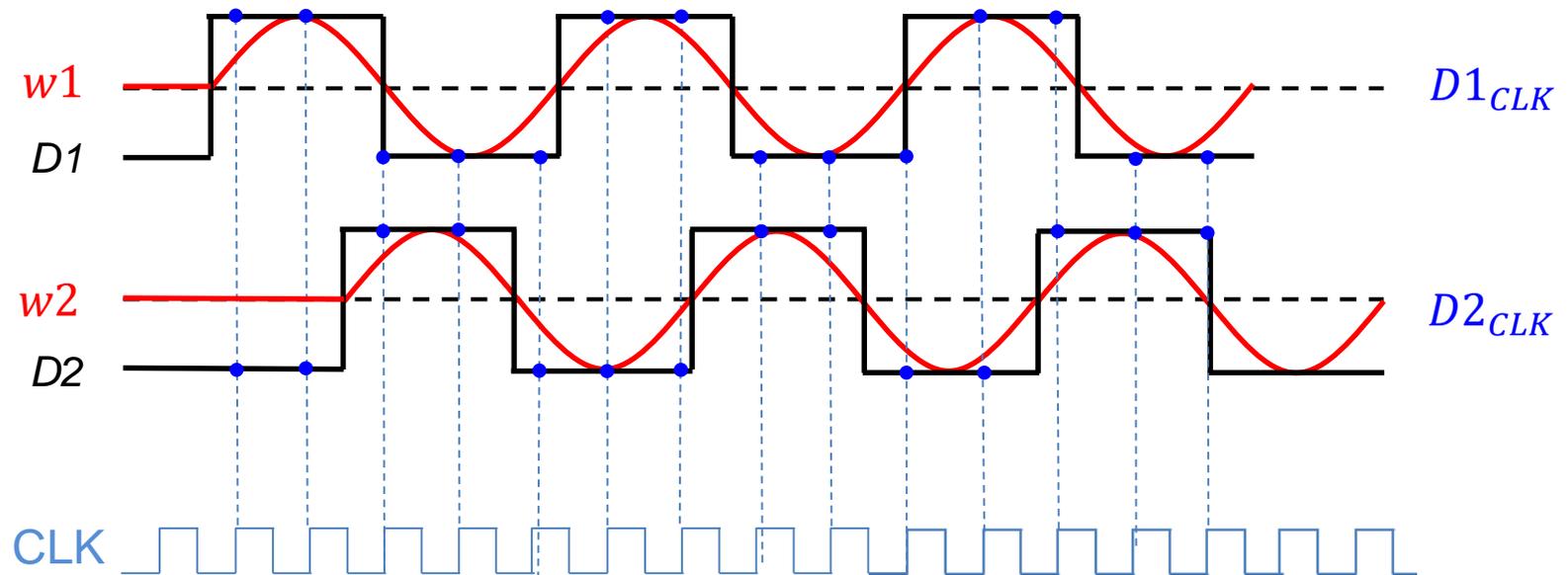
シミュレーション方法

② CLK毎に $w1$ 、 $w2$ の値を取得($w1_{CLK}$ 、 $w2_{CLK}$)



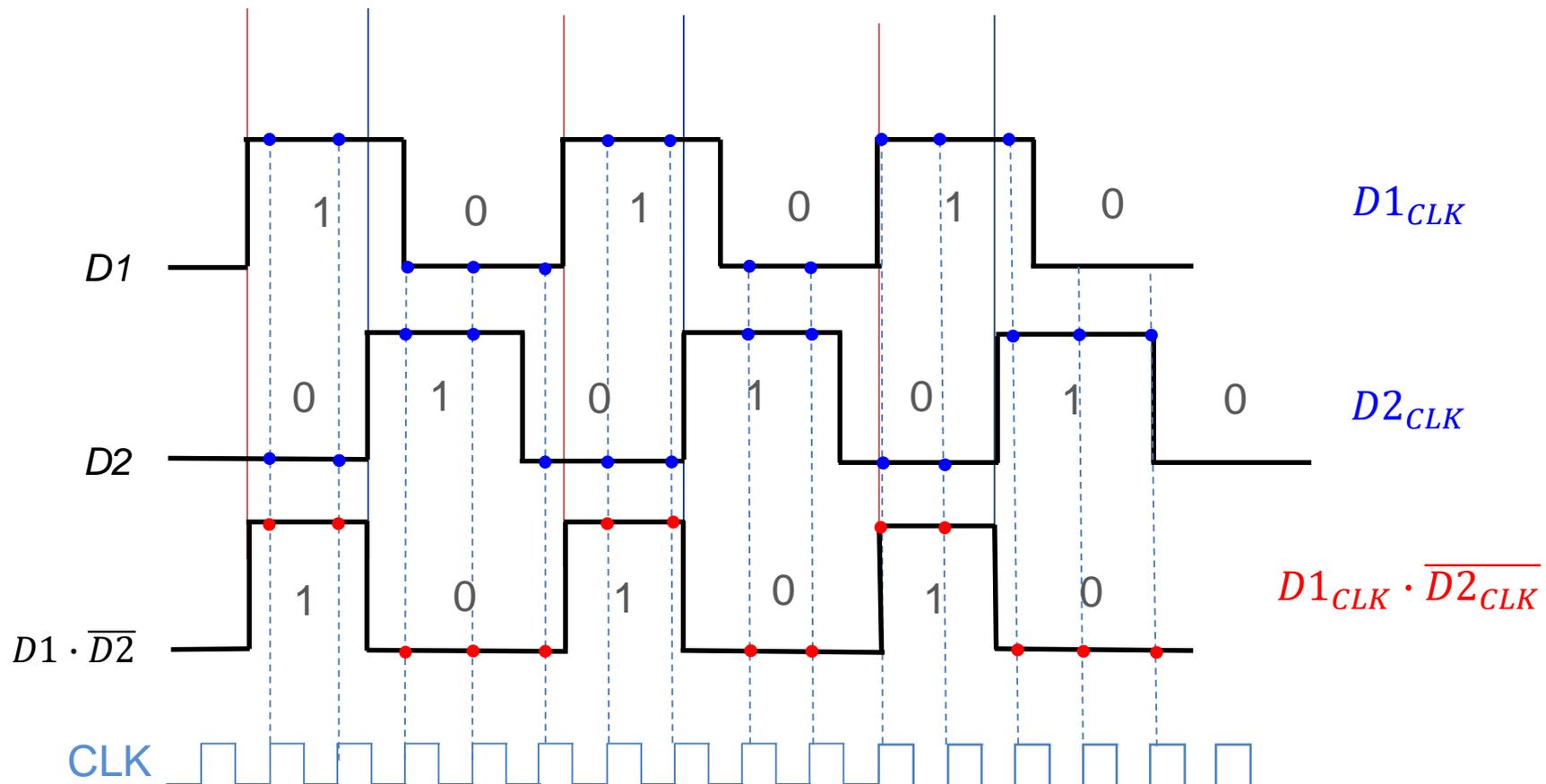
シミュレーション方法

- ③ $w1_{CLK}$ 、 $w2_{CLK}$ を $1 (w > 0)$ と $0 (0 \geq w)$ の2値化
 → $D1_{CLK}$ 、 $D2_{CLK}$



シミュレーション方法

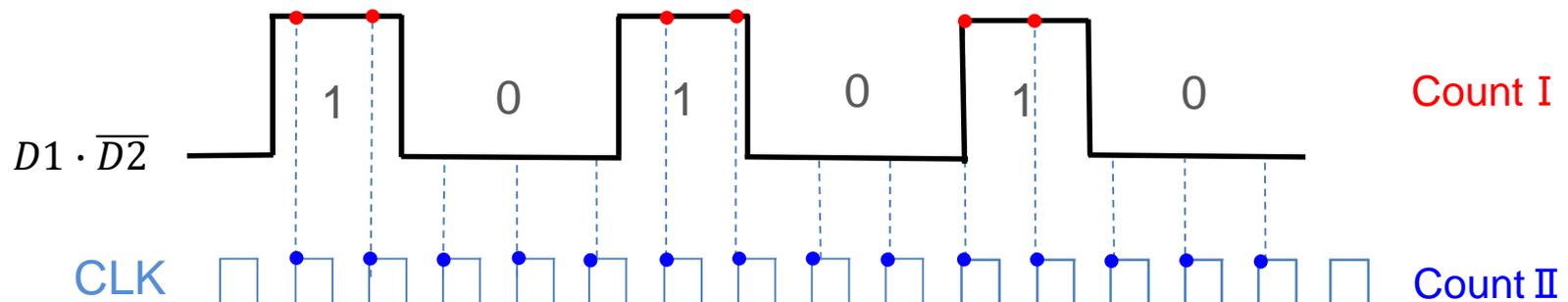
④ 論理演算 $D1_{CLK} \cdot \overline{D2_{CLK}}$



シミュレーション方法

- ⑤ $D1_{CLK} \cdot \overline{D2_{CLK}} = 1$ のデータ数 (Count I) と
総データ数 (Count II) を取得

$$\frac{\text{Count I}}{\text{Count II}} = \frac{\text{入力時間差 } \tau}{\text{正弦波の周期 } T}$$

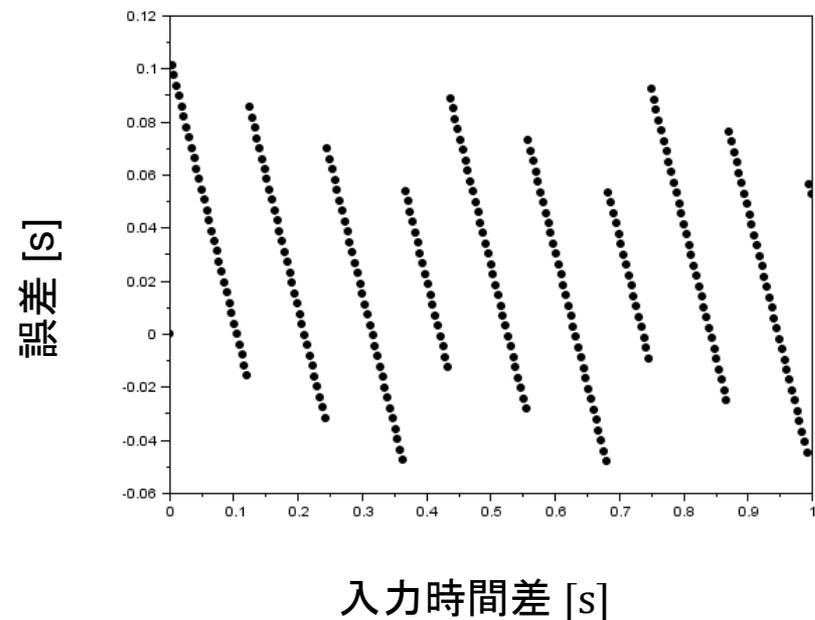
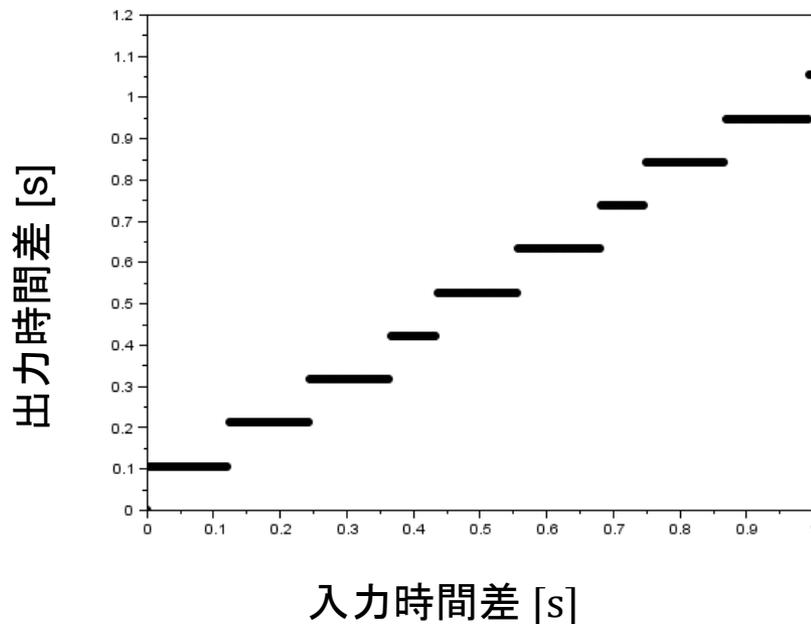


シミュレーション結果

シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 16 (周期) = 19 (点)

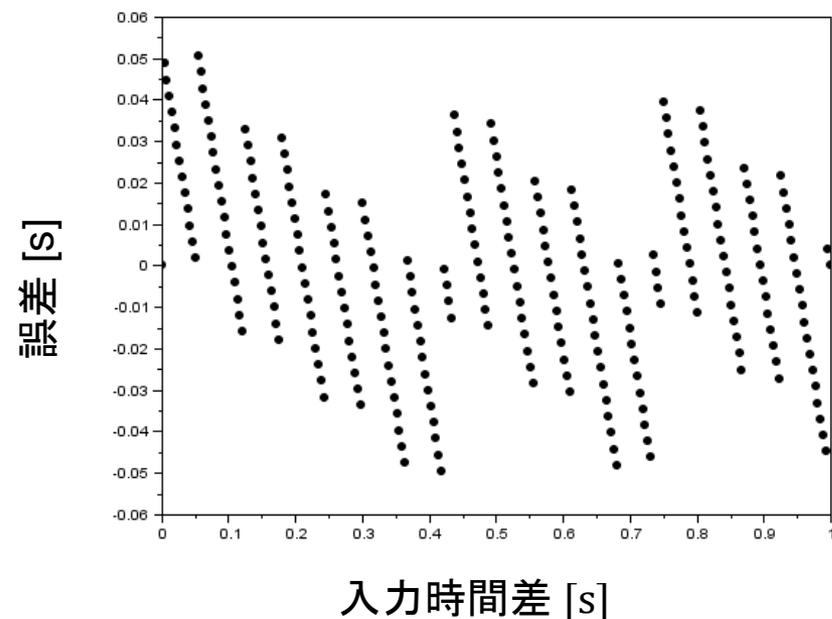
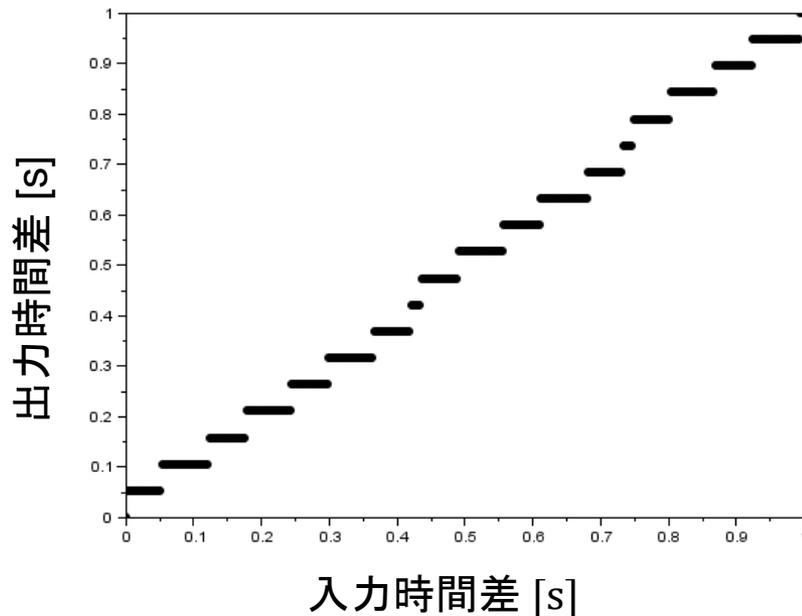


シミュレーション結果

シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 32 (周期) = 38 (点)

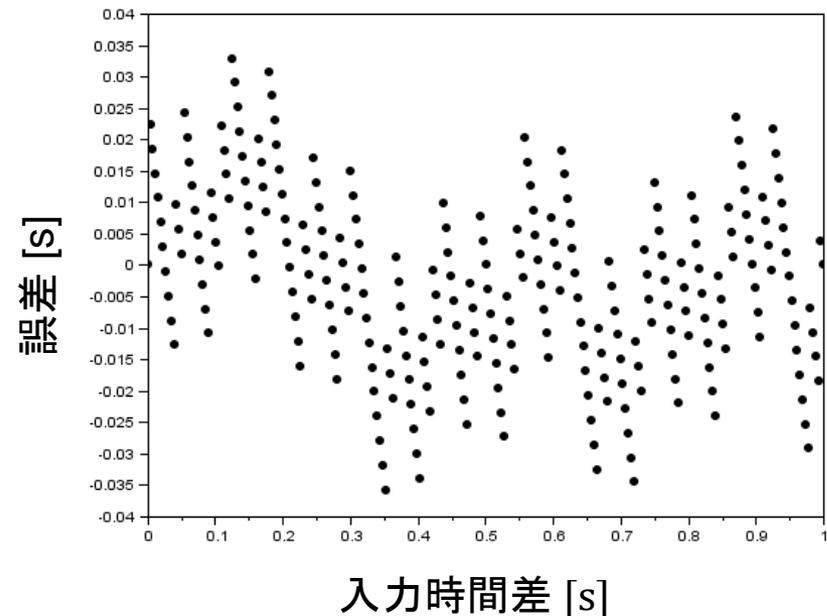
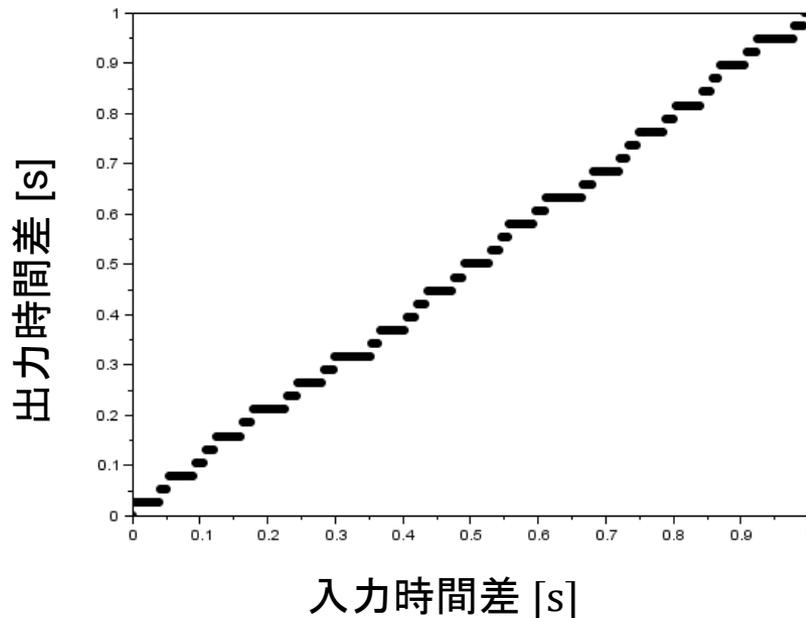


シミュレーション結果

シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 64 (周期) = 76 (点)

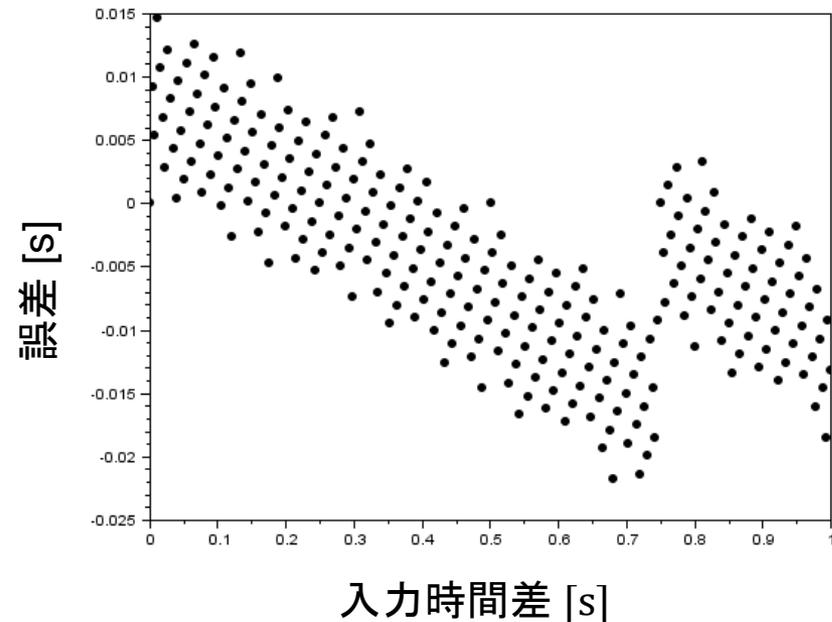
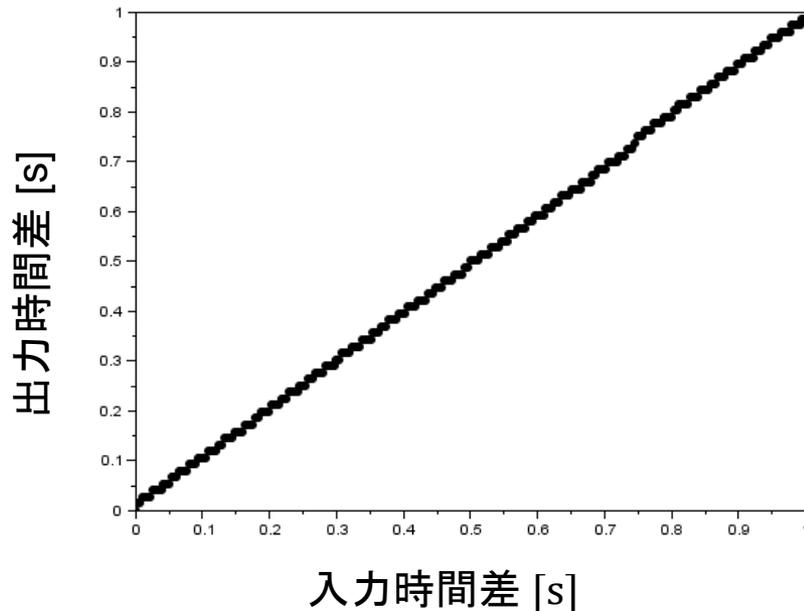


シミュレーション結果

シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 128 (周期) = 152 (点)

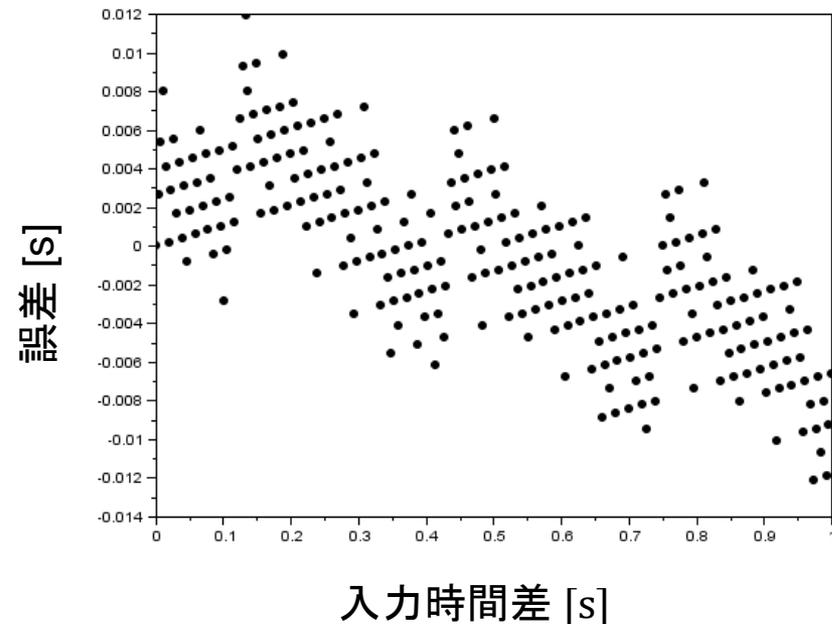
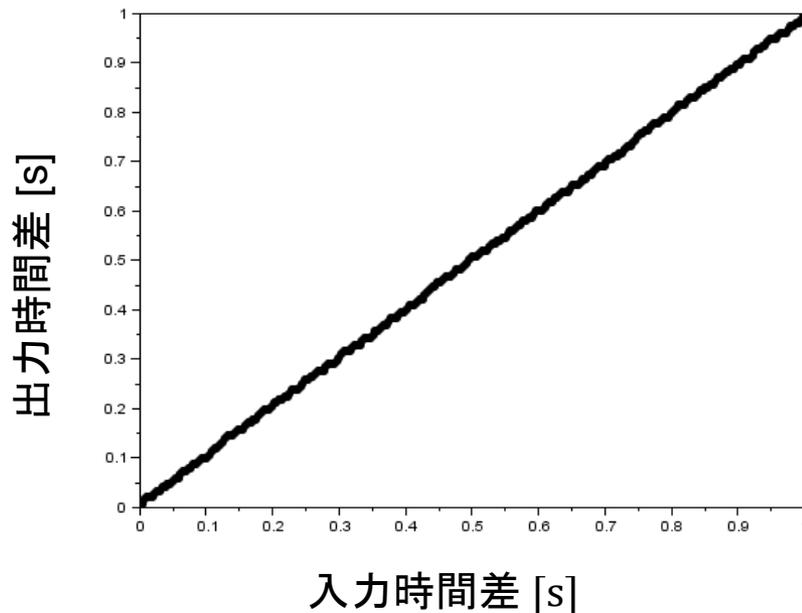


シミュレーション結果

シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 256 (周期) = 304 (点)

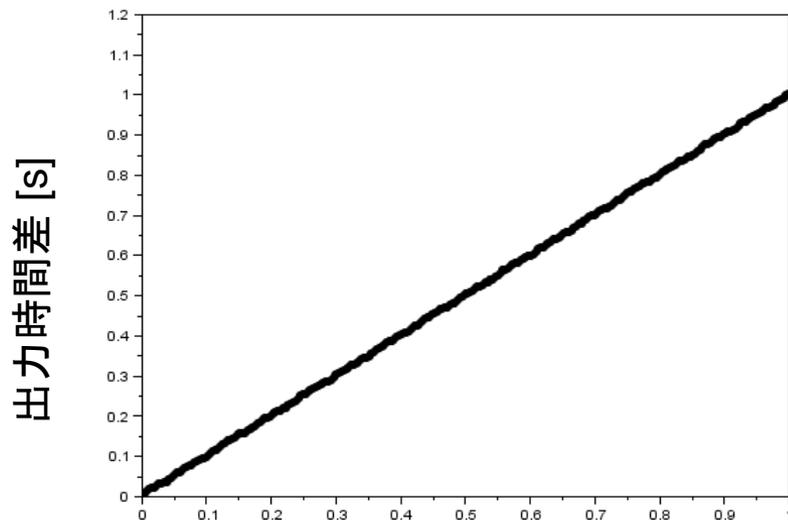


シミュレーション結果

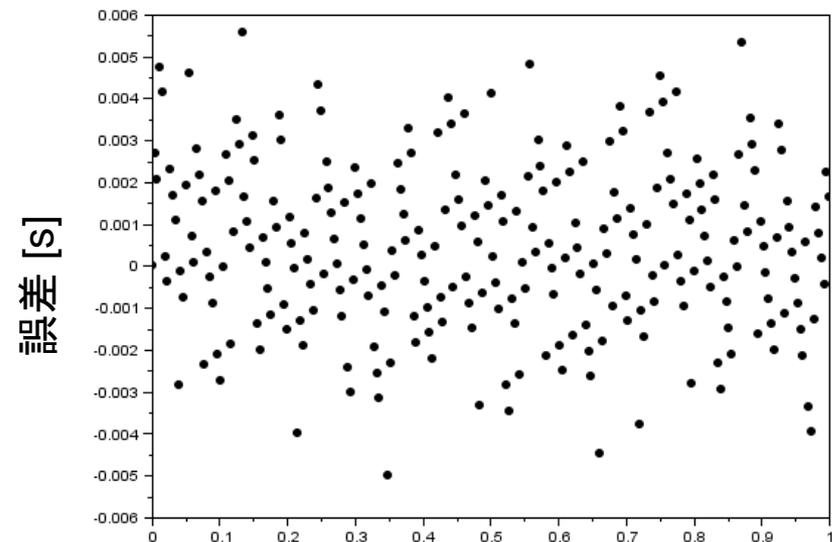
シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 512 (周期) = 607 (点)



入力時間差 [s]



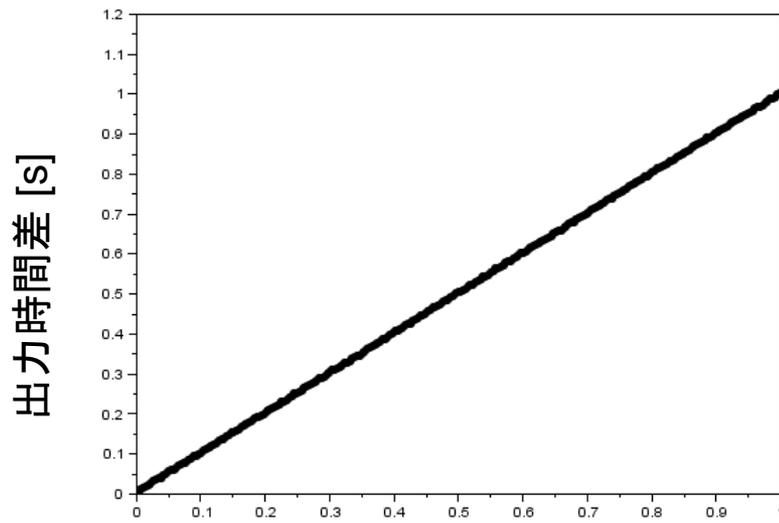
入力時間差 [s]

シミュレーション結果

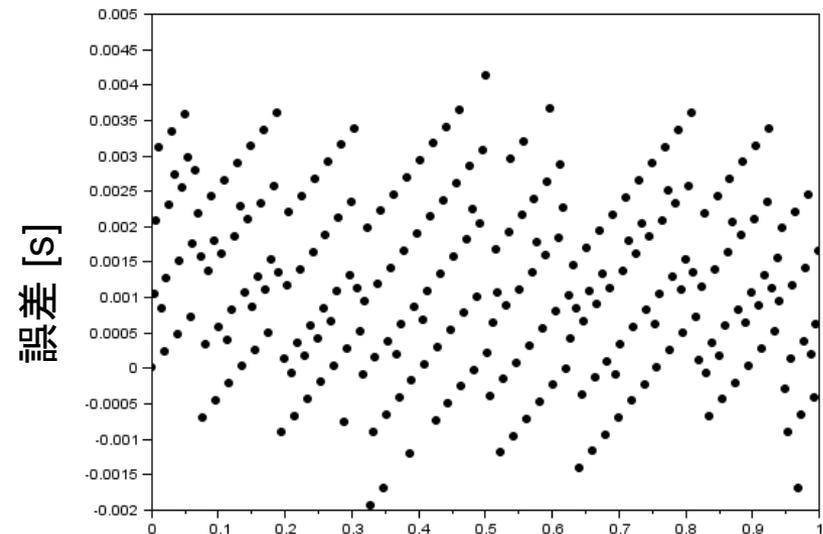
シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]

データ数 : 1~2 (点/周期) \times 1024 (周期) = 1214 (点)



入力時間差 [s]

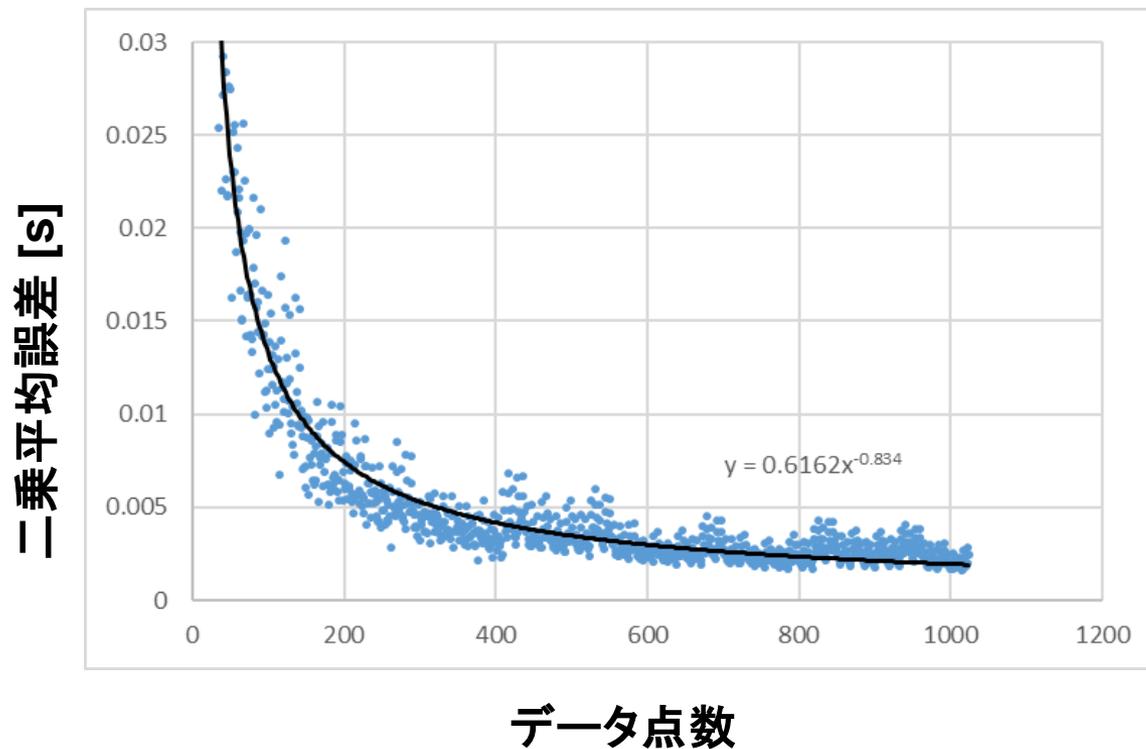


入力時間差 [s]

データ点数と二乗平均誤差

シミュレーション条件

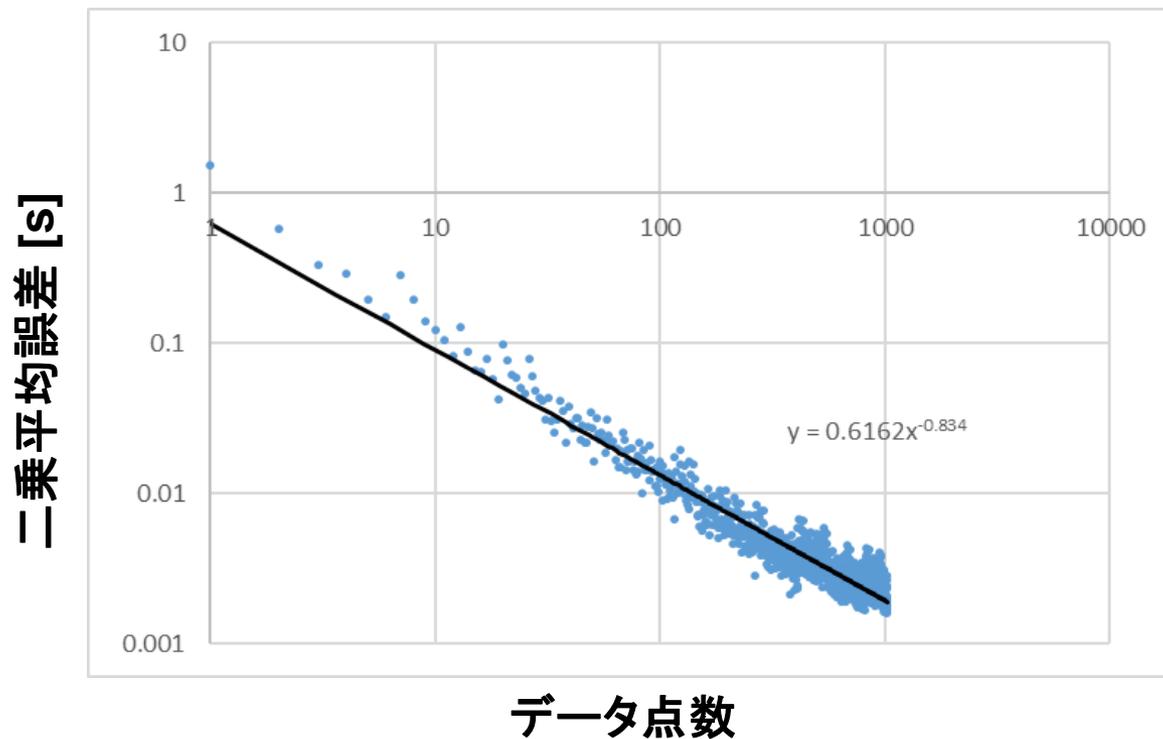
w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]



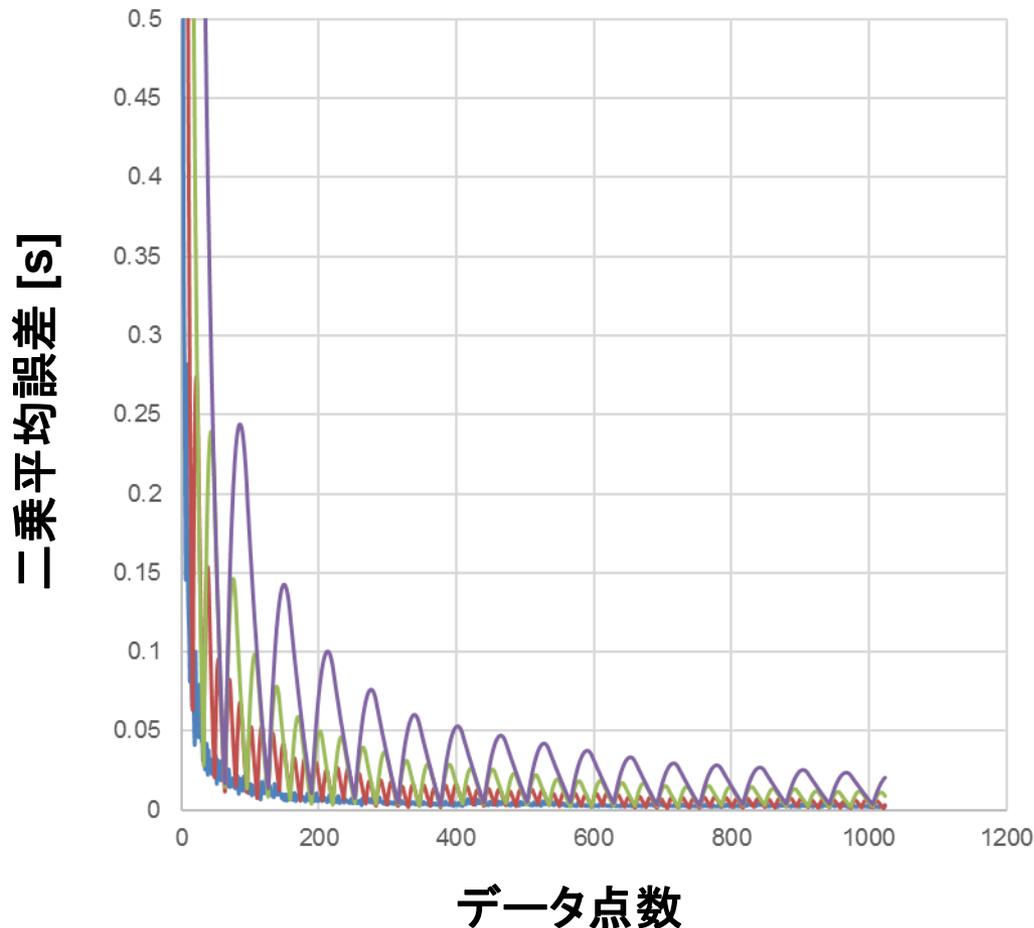
データ点数と二乗平均誤差

シミュレーション条件

w1、w2の周期 : 2 [s] CLKの周期 : $\frac{5.3}{\pi} = 1.6870424$ [s]



CLK周期の比較



シミュレーション条件

$$\frac{5.3}{\pi} = 1.6870424 \text{ [s]}$$

1~2 (点/周期)

$$\frac{0.4}{\pi} = 0.1273240 \text{ [s]}$$

15~16 (点/周期)

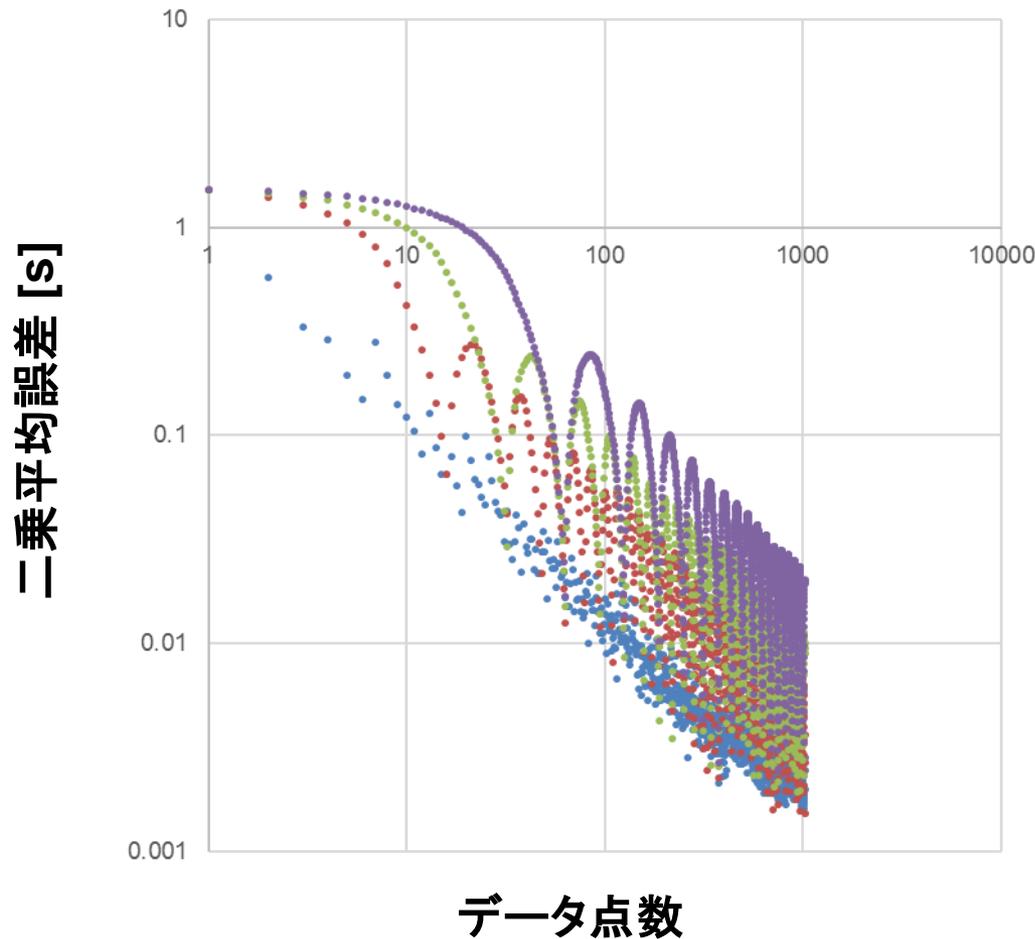
$$\frac{0.2}{\pi} = 0.0636620 \text{ [s]}$$

31~32 (点/周期)

$$\frac{0.1}{\pi} = 0.0318310 \text{ [s]}$$

62~63 (点/周期)

CLK周期の比較



シミュレーション条件

$$\frac{5.3}{\pi} = 1.6870424 \text{ [s]}$$

1~2 (点/周期)

$$\frac{0.4}{\pi} = 0.1273240 \text{ [s]}$$

15~16 (点/周期)

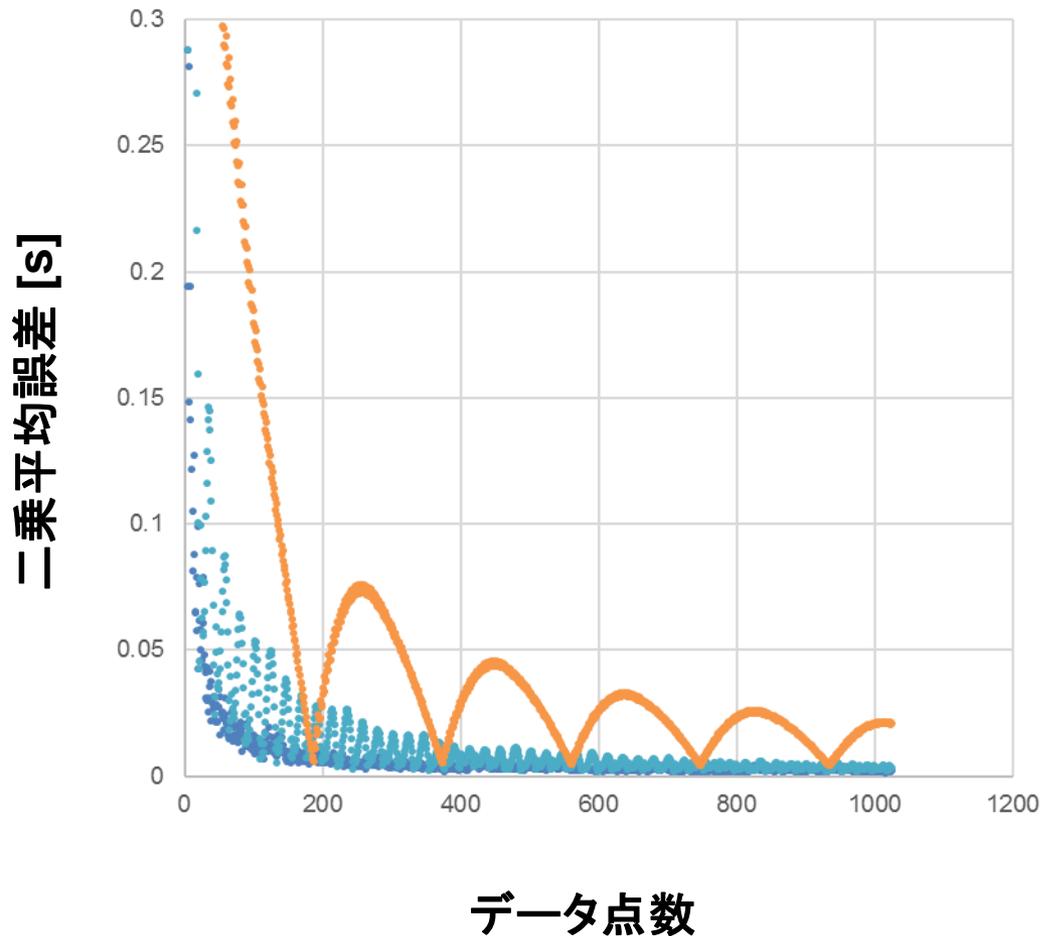
$$\frac{0.2}{\pi} = 0.0636620 \text{ [s]}$$

31~32 (点/周期)

$$\frac{0.1}{\pi} = 0.0318310 \text{ [s]}$$

62~63 (点/周期)

CLK周期の比較



シミュレーション条件

$$\frac{5.3}{\pi} = 1.6870424 \text{ [s]}$$

1~2 (点/周期)

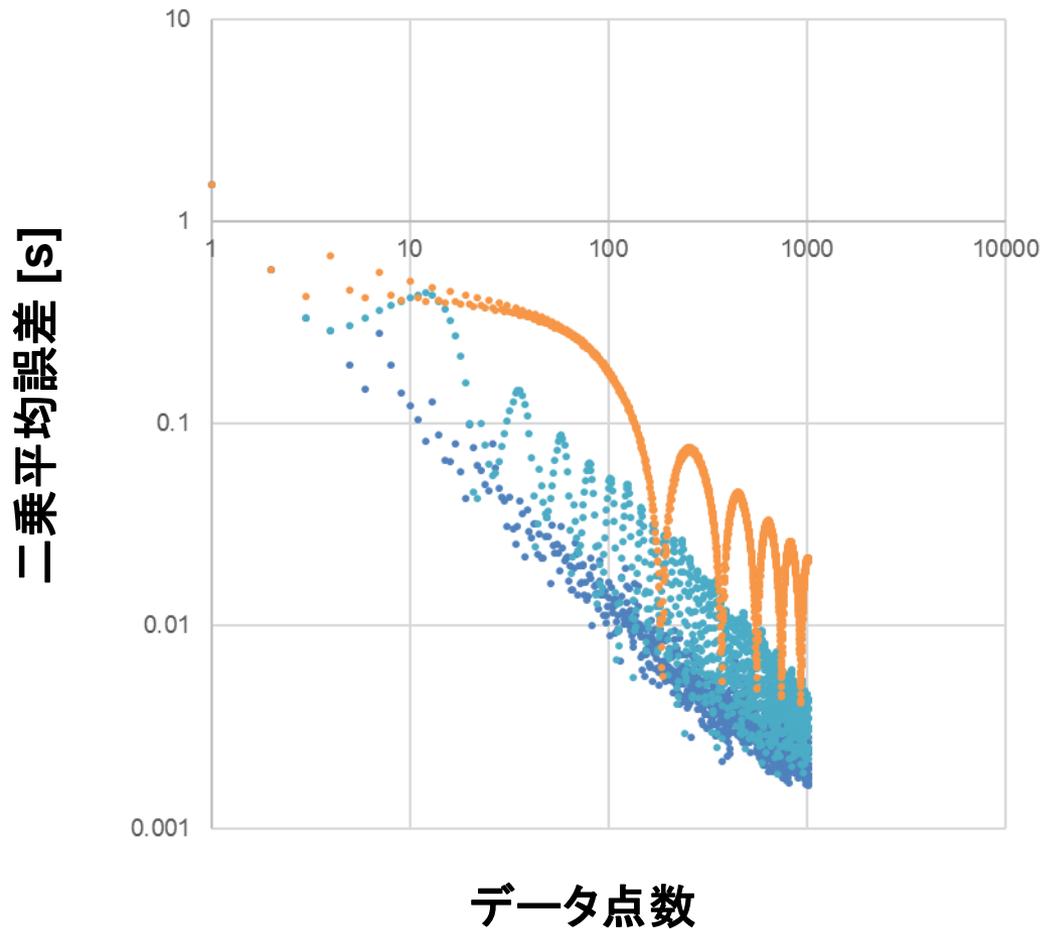
$$\frac{6}{\pi} = 1.9098593 \text{ [s]}$$

1~2 (点/周期)

$$\frac{4.2}{\pi} = 1.3369015 \text{ [s]}$$

1~2 (点/周期)

CLK周期の比較



シミュレーション条件

$$\frac{5.3}{\pi} = 1.6870424 \text{ [s]}$$

1~2 (点/周期)

$$\frac{6}{\pi} = 1.9098593 \text{ [s]}$$

1~2 (点/周期)

$$\frac{4.2}{\pi} = 1.3369015 \text{ [s]}$$

1~2 (点/周期)

アウトライン

- 研究背景
- 従来の時間デジタイザ回路
- トリガ回路を用いた積分型時間デジタイザ回路
- シミュレーションによる検証
- まとめと課題

まとめ

- トリガ回路により時間差を保持
- 非同期的なクロックでサンプリング
- データ数の比から時間差を推定
- データ数が多いほど時間分解能が向上

今後の課題

- 最適なクロックおよびデータ数と誤差の関係を求める数学的アプローチ
- 回路規模でのシミュレーションおよび実機検証

Final Statement

「時間」はミステリアス

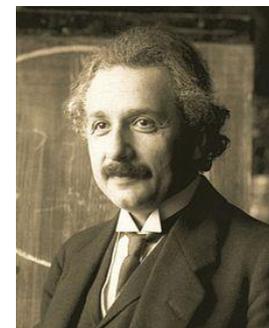
往古来今、之を**宙**と謂い
 四方上下、之を**宇**と謂う。
 淮南子

時間

空間



時空は一体
 時間は相対的である。
 アインシュタイン



虚数時間
 ホーキング博士

