

トリガ回路を用いた積分型時間デジタイザ回路 Integration-type TDC Employing Trigger Circuit

群馬大学
Gunma University
1:t14304053@gunma-u.ac.jp

○佐々木 優斗¹, 小澤 祐喜, 小林 春夫²
Yuto Sasaki, Yuki Ozawa, Haruo Kobayashi
2: koba@gunma-u.ac.jp

概要: トリガ回路を用いた積分型時間デジタイザ回路を提案する. この新しい手法による時間デジタイザ回路は, トリガにより発振を開始する周期が既知の 2 個の発振回路と, 非同期な周期のクロックを採用している (図 1). 2 つの発振波形のデータをクロック毎に多数取得し, それぞれの HIGH, LOW を考慮してカウントして総データ数との比をとると, モンテカルロ法[1]により長い則て時間をかけるほど (入力データ数が多いほど) 細かい時間分解能でトリガの入力時間差を推定することが可能である(図 2). 本研究では, シミュレーションによりアルゴリズムを検証し, データ数を増加させることにより高精度に時間を測定できることを確認した.

参考文献:

- [1] C. Li, J. Wang, H. Kobayashi, R. Shiota, "Timing Measurement BOST Architecture with Full Digital Circuit and Self-Calibration Using Characteristics Variation Positively for Fine Time Resolution", 21th IEEE International Mixed-Signal Testing Workshop, Catalunya, Spain (July 2016).

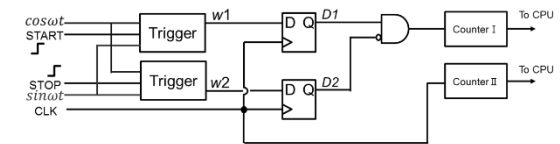


図1. 積分型時間デジタイザ回路

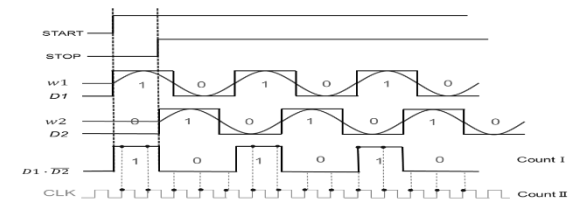


図2. タイミングチャート