

# 低スイッチング損失、広 SOA かつ低特性オン抵抗の 40 V LDMOS トランジスタ

松田 順一\* 小島 潤也 築地 伸和 神山 雅貴 小林 春夫 (群馬大学)

## A Low Switching Loss 40 V LDMOS Transistor with Wide SOA and Low Specific On-Resistance

Jun-ichi Matsuda\*, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiyama, Haruo Kobayashi  
(Gunma University)

This paper describes a 0.18  $\mu\text{m}$  CMOS compatible low switching loss 40V LDMOS transistor with wide SOA and low specific on-resistance for automotive applications. A conventional device having a dual RESURF structure was improved with a grounded field plate to reduce the Miller capacitance. After optimizing impurity profiles in the device, simulations verified that the proposed device has a low figure of merit (gate charge  $\times$  on-resistance)  $\text{FOM} = 48.2 \text{ m}\Omega \cdot \text{nC}$  which is about one-third that of the conventional device, a state-of-the-art level characteristic of specific on-resistance  $R_{\text{onA}} = 40.9 \text{ m}\Omega \cdot \text{mm}^2$  at breakdown voltage  $\text{BV}_{\text{DS}} = 62 \text{ V}$ , and no drain current expansion for a drain voltage range  $V_{\text{DS}} \leq 40 \text{ V}$  at the maximum gate voltage rating  $V_{\text{GS}} = 4 \text{ V}$ , leading to a wide SOA.

キーワード：横方向二重拡散 MOS, スwitching 損失, 安全動作領域, 信頼性, ホットキャリア, 電流増大 (LDMOS, Switching Loss, SOA, Reliability, Hot Carrier, Current Expansion)

### 1. はじめに

LDMOS (Lateral Double Diffused MOS) トランジスタはスイッチング電源の素子として民生用だけではなく、車載用にも広く用いられている。車載用には、一層の広 SOA (Safe Operating Area) 及び高信頼性が要求される。広 SOA を得るには、高ゲート電圧及び高ドレイン電圧で発生するドレイン電流増大 (Current Expansion: CE)<sup>(1)</sup> を抑える必要がある。また、高信頼性を得るには、ドレイン側のゲート端近傍で発生するインパクトイオン化を抑えてホットキャリア耐性を上げる必要がある。また、低消費電力化してデバイスの発熱を抑制するために低特性オン抵抗及び低スイッチング損失も求められる。それらに対応するため、30~50 V 動作デュアル RESURF (Reduced Surface Field) 構造の LDMOS が提案された<sup>(2)</sup>。しかしながら、この構造ではスイッチング損失が大きく、その損失を含めたデバイス性能を表す FOM (Figure of Merit) を十分に低減できていない、改善する必要があった<sup>(3)</sup>。

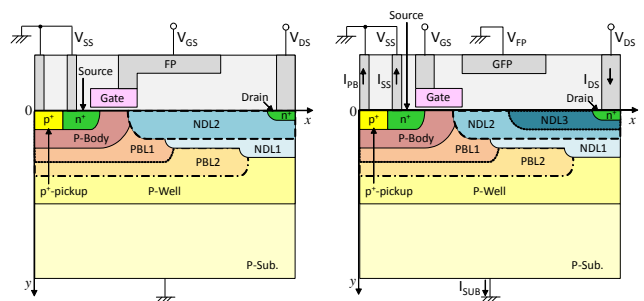
今回、上記 30~50 V 動作デュアル RESURF LDMOS 構造を基にスイッチング損失を低減するように改善し、その特性をシミュレーションで確認した。2. で従来型と今回の提案型の構造を紹介し、3. でその提案型の電流・電圧特性、特性オン抵抗、ブレイクダウン電圧、そして FOM を示し、更

に 4. で SOA 及びホットキャリア耐性を考察する。

### 2. 従来型と提案型 LDMOS トランジスタ

#### (2-1) 従来型 LDMOS トランジスタ

0.35  $\mu\text{m}$  CMOS プロセスをベースにした従来型 LDMOS トランジスタの断面構造を図 1(a) に示す<sup>(2)(3)</sup>。ドリフト領域は、二つの p 型埋め込み層 (PBL1 と PBL2) で囲まれたデュアル RESURF 構造になっている。PBL1 はゲート側ドリ



(a) 従来型 LDMOS トランジスタ (b) 提案型 LDMOS トランジスタ

図 1 従来型と提案型 LDMOS トランジスタの断面構造

Fig. 1. Cross-sections of the conventional and the proposed LDMOS transistors.

フト端周りの RESURF を強化しており、その領域の電界を一層弱める効果がある。PBL2 はドリフト領域全体の RESURF に有効に寄与する。PBL2 がドレイン領域下部で除去してあるのは、ドレイン-基板 (ソース) 間ブレークダウンの低下を防ぐためである。ドリフト領域は、二つの n 型層 (深い NDL1 と浅い NDL2) からなっており、NDL2 がドリフト表面層の不純物濃度を高めるため、CE を抑えて広 SOA 化する<sup>(4)</sup>。フィールド・プレート (Field Plate: FP) は RESURF を補助するが、ゲートに接続されており、ミラー容量を大きくし、スイッチング損失を増大させている。

### 〈2・2〉 提案型 LDMOS トランジスタ

提案型 LDMOS トランジスタでは、0.18  $\mu\text{m}$  CMOS プロセスをベースにして従来型を改善した。その断面構造を図 1(b) に示す。提案型の x 方向 (ソースドレイン方向) セルピッチは従来型よりチャンネル長分 (0.17  $\mu\text{m}$ ) だけ縮まり、3.555  $\mu\text{m}$  である。ドリフト領域及びゲート端からの FP の長さは、それぞれ従来型と同じである。提案型では、ミラー容量を低減するため、FP を接地した GFP (Grounded Field Plate) 構造を採用した。GFP 構造では、オン時にドリフト領域に誘起される電子密度が従来の FP 構造に比べて低下し、オン抵抗が増大する。したがって、この増大を抑え、むしろ低減させるためにゲート端周りを除いた浅いドリフト領域に三つ目の n 型層 (NDL3) を導入した。NDL3 は CE 抑制にも有効である。

### 〈2・3〉 シミュレーション

アドバンスソフト社の 3 次元デバイス・シミュレータ Advance/DESSERT (サンプル版)<sup>(5)</sup> を用いて、デバイス幅を全て 0.3  $\mu\text{m}$  とした実質 2 次元構造でシミュレーションを行った。したがって、シミュレーションでのデバイス 1 セル分の面積は、3.555  $\mu\text{m} \times 0.3 \mu\text{m} = 1.0665 \mu\text{m}^2$  となる。不純物濃度プロファイルの形成は関数入力による。

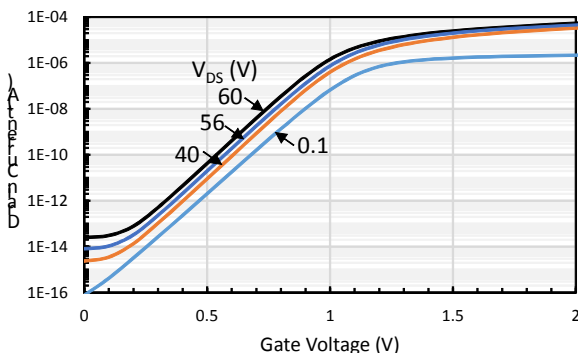


図 2 提案型 LDMOS トランジスタの  $I_{\text{DS}}-V_{\text{GS}}$  特性の  $V_{\text{DS}}$  依存性 (1 セル)

Fig. 2. The  $V_{\text{DS}}$  dependence of  $I_{\text{DS}}-V_{\text{GS}}$  characteristics for the proposed LDMOS transistor (one cell).

## 3. シミュレーション結果

### 〈3・1〉 $I_{\text{DS}}-V_{\text{GS}}$ 特性

図 2 に提案型 LDMOS トランジスタ (1 セル分) の弱反転領域のドレイン電流  $I_{\text{DS}}$  - ゲート電圧  $V_{\text{GS}}$  特性のドレイン電圧  $V_{\text{DS}}$  依存性を示す。しきい値電圧  $V_{\text{T}}$  (at  $I_{\text{DS}} = 0.1 \mu\text{A}$ ) は、 $V_{\text{DS}} = 0.1 \text{ V}$  で 1.026 V (外挿しきい値電圧は 1.05 V) であり、 $V_{\text{DS}} = 60 \text{ V}$  で 0.800 V まで低下するが、 $I_{\text{DS}}$  は十分に低く抑えられており、 $V_{\text{DS}} \leq 60 \text{ V}$  の領域までリーク電流の問題はない。これは、提案型のデュアル RESURF 構造が有効に寄与しているためである。

### 〈3・2〉 $I_{\text{DS}}-V_{\text{DS}}$ 特性

図 3 に提案型 LDMOS トランジスタ (1 セル分) の  $I_{\text{DS}}-V_{\text{DS}}$  特性の  $V_{\text{GS}}$  依存性を示す。 $V_{\text{GS}}$  の最大定格電圧 4V では、 $V_{\text{DS}} \leq 40 \text{ V}$  の領域で CE の発生はない。また、 $V_{\text{GS}}$  の動作電圧 3.3V では、 $V_{\text{DS}}$  が 45V 程度まで CE の発生はなく、

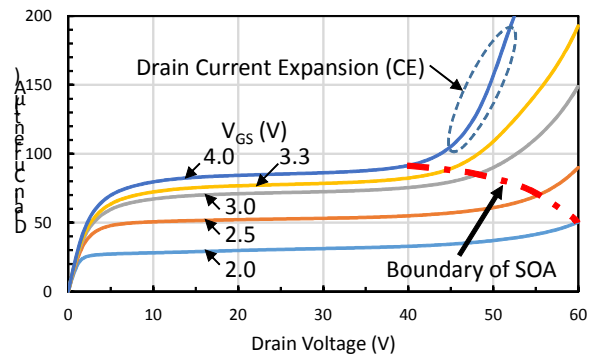


図 3 提案型 LDMOS トランジスタの  $I_{\text{DS}}-V_{\text{DS}}$  特性の  $V_{\text{GS}}$  依存性 (1 セル)

Fig. 3. The  $V_{\text{GS}}$  dependence of  $I_{\text{DS}}-V_{\text{DS}}$  characteristics for the proposed LDMOS transistor (one cell).

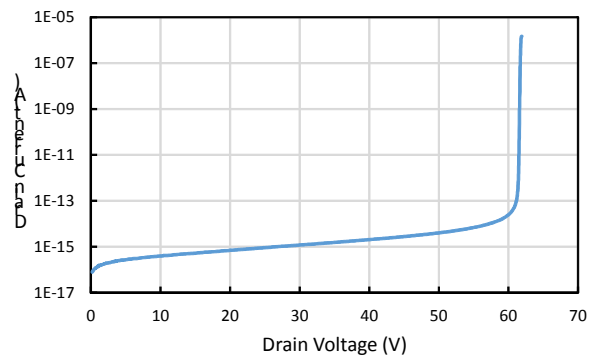


図 4 提案型 LDMOS トランジスタのブレークダウン特性 ( $V_{\text{GS}} = 0 \text{ V}$ ) (1 セル)

Fig. 4. A breakdown characteristic at  $V_{\text{GS}} = 0 \text{ V}$  for the proposed LDMOS transistor (one cell).

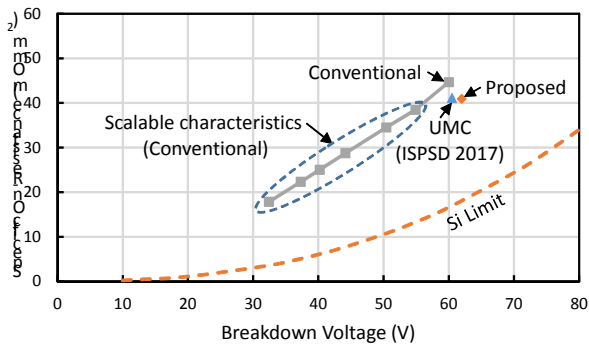


図5 特性オン抵抗対ブレイクダウン電圧特性  
Fig. 5. Characteristics for specific on-resistance vs. breakdown voltage.

$V_{DS}$ の動作電圧 40 V に対し、十分な SOA があるものと考ええる。また、この特性の  $V_{GS} = 3.3$  V における線形動作領域から計算した特性オン抵抗  $R_{onA}$  は、 $40.9 \text{ m}\Omega \cdot \text{mm}^2$  である。この値は、従来型 LDMOS トランジスタの値 ( $44.8 \text{ m}\Omega \cdot \text{mm}^2$ )<sup>③</sup>より約 10%低くなっている。

### 〈3・3〉 ブレイクダウン特性

図 4 に提案型 LDMOS トランジスタ (1 セル分) のブレイクダウン特性 (at  $V_{GS} = 0$  V) を示す。これからドレイン-基板 (ソース) 間のブレイクダウン電圧  $BV_{DS}$  は 62 V である。また、ブレイクダウン時の電界強度の高い領域は、PBL1 と PBL2 の端 (ドリフト層と接触する箇所) の基板内部にあり、この領域でブレイクダウンが発生する。したがって、ブレイクダウン時のインパクトイオン化により発生するキャリアが MOSFET の特性へ影響を与える可能性は低いものと考ええる。更に、ブレイクダウン時の真性 MOSFET のドレイン電圧  $V_{DS,INT}$  (ドレイン側ゲート端の表面電位) は 1.27 V であり、これからゲート酸化膜に掛か

る電界強度は 1.6 MV/cm 程度になる。ゲート酸化膜の破壊電界強度が 10MV/cm 以上であることから、この電界強度は十分に低く、ブレイクダウン時にゲート酸化膜へ損傷を与えることはないと考ええる。

### 〈3・4〉 特性オン抵抗対ブレイクダウン電圧特性

図 5 に提案型 LDMOS トランジスタの  $R_{onA} - BV_{DS}$  特性を従来型 LDMOS トランジスタ<sup>③</sup>及び最近発表された先端レベルの UMC 社のデータ<sup>⑥</sup>と比較して示す。提案型 LDMOS トランジスタの特性は UMC 社のものと同レベルにあり、先端レベルにあると言える。

### 〈3・5〉 スイッチング損失を含む FOM

図 6 に提案型 LDMOS トランジスタ (1 セル分) のターンオン期間における  $V_{GS}$  とゲート電流  $I_G$  の時間変化を示す。ここでは、デバイス 1 セルに対し、ゲートへ入力抵抗 500 k $\Omega$  を、ドレインへ負荷抵抗 5 M $\Omega$  をそれぞれ接続し、ドレインへの供給電圧を 40V に設定した状態で、ゲート端子へ 0 V から 3.3 V のステップ電圧を印加した。図 6 の  $I_G$  の時間変化を積分したゲート電荷  $Q_G$  を単位面積当りに換算したゲート電荷  $Q_G/A$  は、 $1.18 \text{ nC/mm}^2$  となる。この値と  $R_{onA}$  の値からスイッチング損失を含めたデバイスの性能を表す FOM ( $= R_{onA} \times Q_G/A$ )は、 $48.2 \text{ m}\Omega \cdot \text{nC}$  となる。この値は、従来型 LDMOS トランジスタの値 ( $141 \text{ m}\Omega \cdot \text{nC}$ )<sup>③</sup>より 1/3 程度低くなっている。この低下は、主にミラー容量の低減とゲートへの供給電圧が 5V から 3.3V に低下したことによる。

## 4. 考察

### 〈4・1〉 CE 抑制による広 SOA

CE が強く発生している提案型 LDMOS トランジスタのゲート最大定格電圧  $V_{GS} = 4$  V における  $I_{DS}$  の成分を調べる。図 1 に示すようにソース側の電流を  $n^+$  ソースを流れる電子電流  $I_{SS}$  と p-ボディを流れる正孔電流  $I_{PB}$  に分ける。  $I_{PB}$  と

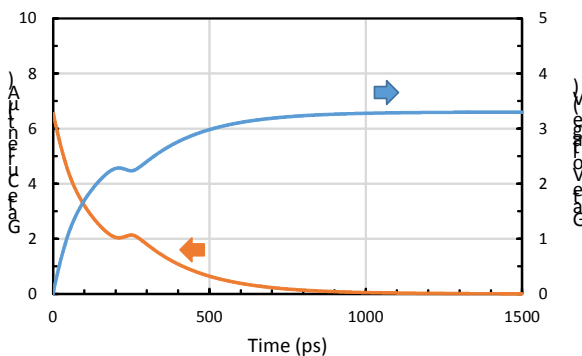


図6 提案型 LDMOS トランジスタのターンオン期間のゲート電圧とゲート電流の時間変化 (1 セル)  
Fig. 6. Time variations of the gate voltage and the gate current during turn-on for the proposed LDMOS transistor (one cell).

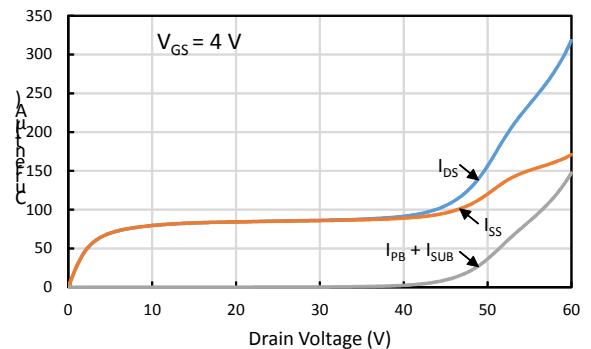


図7 提案型 LDMOS トランジスタのドレイン電流成分 ( $V_{GS} = 4$  V) (1 セル)  
Fig. 7. Drain current components of the proposed LDMOS transistor biased at  $V_{GS} = 4$  V (one cell).

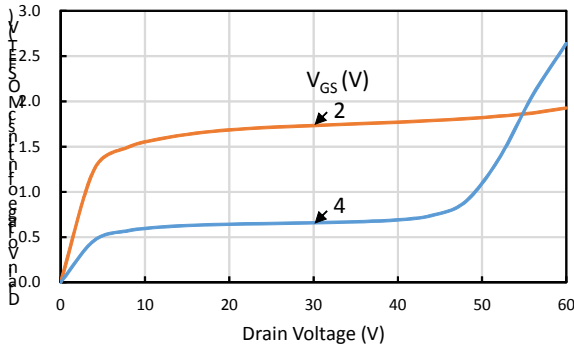


図8 提案型 LDMOS トランジスタのドレイン電圧に対する真性 MOSFET のドレイン電圧依存性  
Fig. 8. The dependence of the drain voltage for the intrinsic MOSFET on the drain voltage for the proposed LDMOS transistor.

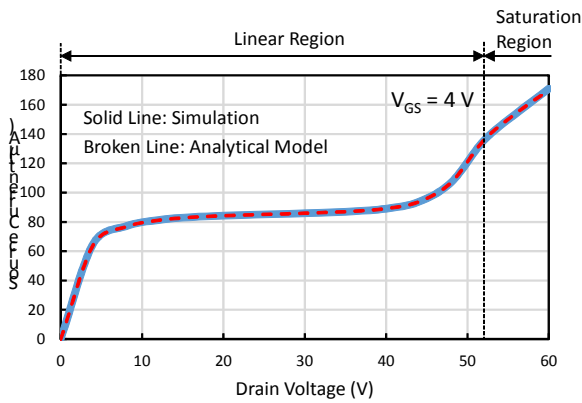


図9 提案型 LDMOS トランジスタのソース電流のドレイン電圧依存性 ( $V_{GS}=4V$ )  
Fig. 9. The drain voltage dependence of the source current for the proposed LDMOS transistor biased at  $V_{GS}=4V$ .

基板端子に流れる正孔電流  $I_{SUB}$  は、 $I_{SS}$  により基板中で発生するインパクトイオン化に起因する。 $I_{DS}$  は、 $I_{SS}$ 、 $I_{PB}$ 、及び  $I_{SUB}$  の総和からなる。図7にこれらの電流成分(1セル分)の  $V_{DS}$  依存性を示す。但し、正孔電流成分は、まとめて  $I_{PB} + I_{SUB}$  で表してある。 $V_{DS} \leq 40V$  の領域では、 $I_{DS}$  と  $I_{SS}$  はほぼ一致し、 $V_{DS}$  の増大と共に僅かに上昇する飽和特性を示しているが、 $V_{DS} > 40V$  の領域では、 $I_{DS}$  が  $I_{SS}$  より急激に上昇し CE 現象を起こしている。この  $I_{DS}$  の上昇は、 $I_{PB} + I_{SUB}$  の上昇が  $I_{SS}$  に加わった結果であり、正孔電流の増大に起因している。また、 $I_{SS}$  は  $V_{DS} \approx 52V$  まで上昇後、再度飽和する傾向を示している。CE 現象を解明するには  $I_{SS}$  増大の原因を調べる必要がある。

先ず、 $V_{DS} \leq 52V$  の領域における  $I_{SS}$  の増大の原因を調

べる。図8に提案型 LDMOS トランジスタのドレイン電圧  $V_{DS}$  に対する真性 MOSFET のドレイン電圧  $V_{DS,INT}$  依存性を示す。 $V_{GS}=4V$  の場合、 $V_{DS,INT}$  は  $V_{DS} \leq 40V$  の領域で  $V_{DS}$  の増大と共に飽和する傾向にあるが、 $V_{DS} > 40V$  の領域で上昇に転じる。この  $V_{DS,INT}$  の上昇は、インパクトイオン化によりドリフト領域内のキャリア数が増加し、その領域の抵抗が低下することに起因する。この  $V_{DS,INT}$  を用いて以下の MOSFET の線形動作領域の電流式<sup>(7)</sup>で  $I_{SS}$  を見積もる。

$$I_{SS} = K_p \left[ (V_{GS} - V_T) V_{DS,INT} - \frac{\alpha}{2} V_{DS,INT}^2 \right] \dots\dots (1)$$

ここで  $K_p$  は比例係数であり以下で表される。

$$K_p = \mu C_{ox} \frac{W}{L} \dots\dots\dots (2)$$

ここで、 $\mu$  は移動度、 $C_{ox}$  は単位面積当たりのゲート酸化膜容量、 $W$  はチャネル幅、 $L$  はチャネル長である。また、 $\alpha$  は以下で表される。

$$\alpha = 1 + \frac{\gamma}{2\sqrt{\phi_0}} \dots\dots\dots (3)$$

ここで、 $\gamma$  は以下で表される基板バイアス係数である。

$$\gamma = \frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}} \dots\dots\dots (4)$$

ここで、 $q$  は素電荷量、 $\epsilon_s$  はシリコンの誘電率、 $N_A$  は p-ボディの不純物濃度である。また、 $\phi_0$  は以下で表される。

$$\phi_0 = 2\phi_F + 6\Delta_{th} \dots\dots\dots (5)$$

ここで、 $\phi_F$  は p-ボディのフェルミ電位、 $\Delta_{th}$  は熱電圧である。(1) 式に、図8から得られる  $V_{DS}=20V$  での  $V_{DS,INT}$ 、図7から得られる  $V_{DS}=20V$  での  $I_{SS}$ 、そして  $V_T$  に外挿しきい値電圧  $1.05V$  を代入して  $K_p$  を求める。 $K_p$  をこの値に固定し、 $I_{SS}$  の  $V_{DS,INT}$  依存性を図8から  $V_{DS}$  依存性に換算して  $0V \leq V_{DS} \leq 52V$  の範囲で求め図9に破線で表す。ここで、 $C_{ox} = 2.83 \times 10^{-7} F/cm^2$ 、 $N_A = 4 \times 10^{17} cm^{-3}$  として計算した。このようにして求めた  $I_{SS}$  はシミュレーションで得られた  $I_{SS}$  とよく一致している。このことから、この範囲の  $I_{SS}$  の増大は、線形領域で動作している真性 MOSFET の  $V_{DS,INT}$  の上昇に起因していると言える。

$V_{DS} > 52V$  の領域における  $I_{SS}$  の増大の原因を調べる。ピンチオフによる飽和電圧  $V_P$  は (1) 式で  $dI_{SS}/dV_{DS,INT} = 0$  から以下で表される。

$$V_P = \frac{(V_{GS} - V_T)}{\alpha} \dots\dots\dots (6)$$

これを求めると、 $V_P = 1.8V$  になる。 $V_{DS,INT} = V_P$  のところの  $V_{DS}$  は図7から  $54V$  であり、この  $V_{DS}$  の箇所では  $I_{SS}$  は既に飽和領域に入っている(図7参照)。したがって、この領域の飽和特性は、 $V_{DS} \approx 52V$  でのキャリアの速度飽和に起因し、 $V_{DS} > 52V$  では  $\mu$  は一定と見なせるものと考え

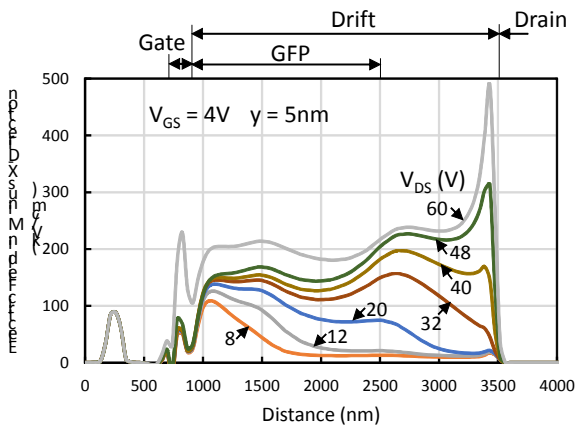


図 10 提案型 LDMOS トランジスタの表面に沿った x 方向電界プロファイルのドレイン電圧依存性 ( $V_{GS}=4V$ )

Fig. 10. The drain voltage dependence of the electric field profiles in the x-direction along the surface for the proposed LDMOS transistor biased at  $V_{GS}=4V$ .

られる。(1)式において  $V_{DS,INT}=52V$  とし、図 2 から  $V_{DS}$  に依存した  $V_T$  の低下を考慮し、L にチャンネル長変調効果を取り込んで計算すると、 $I_{SS}$  は図 9 の破線 ( $V_{DS} > 52V$ ) になる。これはシミュレーションで得られた  $I_{SS}$  とよく一致しており、この領域はキャリアの速度飽和に起因する真性 MOSFET の飽和特性を表していると言える。

上記  $I_{SS}$  の特性を基に CE の抑制による広 SOA を確保する方法を考察する。CE の発生は、ドリフト領域を流れる電

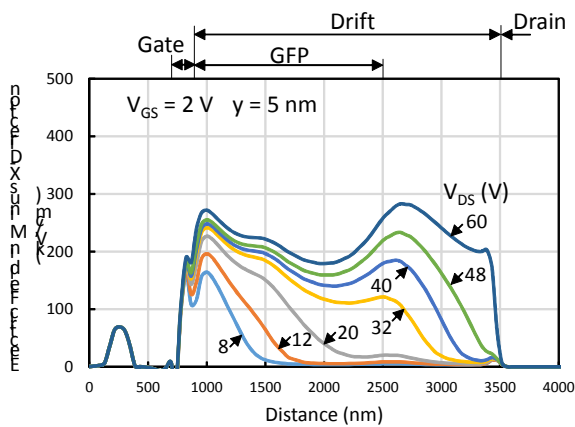


図 11 提案型 LDMOS トランジスタの表面に沿った x 方向電界プロファイルのドレイン電圧依存性 ( $V_{GS}=2V$ )

Fig. 11. The drain voltage dependence of the electric field profiles in the x-direction along the surface for the proposed LDMOS transistor biased at  $V_{GS}=2V$ .

子電流密度が上昇し、電子密度がドリフト領域の中性状態の電子密度（不純物濃度）を超えると、Kirk 効果<sup>(8)</sup>により電界強度の強い箇所がゲート側ドリフト端からドレイン側ドリフト端へ移動し<sup>(9)</sup>、ドレイン周りでインパクトイオン化が顕著になることに起因する<sup>(1)</sup>。図 10 に提案型 LDMOS トランジスタの表面に沿った x 方向電界  $E_x$  プロファイルの  $V_{DS}$  依存性を示す。ゲート側ドリフト端では、 $E_x$  は  $V_{DS} < 20V$  の領域で  $V_{DS}$  と共に増大しているが、 $20V \leq V_{DS} \leq 48V$  の領域でその増大は抑制されている。これは、PBL1 による強化された RESURF に起因する。一方、ドレイン側ドリフト端では、Kirk 効果により  $V_{DS}=40V$  で、 $E_x$  のピークが表れ始め、そのピークは  $V_{DS}$  の増大と共に急激に上昇し、CE を引き起こす。この CE が発生するところの  $V_{DS}$  を高くして SOA 領域を広げるには、 $V_{GS}$  及び  $V_{DS}$  の高い領域で電子電流である  $I_{SS}$  を上昇させない、即ち上記解析から  $I_{SS}$  は  $V_{DS,INT}$  に依存するため、 $V_{DS}$  の増大に伴う  $V_{DS,INT}$  の上昇を抑制することが重要である。PBL1 は前記の如くゲート側ドリフト端周りの RESURF を強化しており、これがその抑制に有効であると考えられる。また、SOA 領域の拡張には、ドリフト領域の不純物濃度を高くして  $I_{SS}$  による電子密度がそれを超えるしきい値を高くすることも重要である。これには NDL3 の導入が有効であると考えられるが、不純物濃度の増加と  $BV_{DS}$  低下のトレードオフを考慮して不純物濃度を最適化する必要がある。

#### 〈4・2〉 ホットキャリア耐性

LDMOS ではホットキャリアによる特性劣化は、 $V_{GS}$  を低く ( $V_{GS}$  の最大動作電圧の 1/2 程度) 設定した状態で真性 MOSFET を飽和動作させている場合に DAHC (Drain Avalanche Hot Carriers) により大きくなる傾向にある。したがって、 $V_{GS}=2V$  における真性 MOSFET の動作状態を調べる。 $V_{GS}=2V$  における真性 MOSFET の  $V_P (=V_{DS,INT})$  は (6) 式から  $0.6V$  である。図 8 には  $V_{GS}=2V$  の場合の

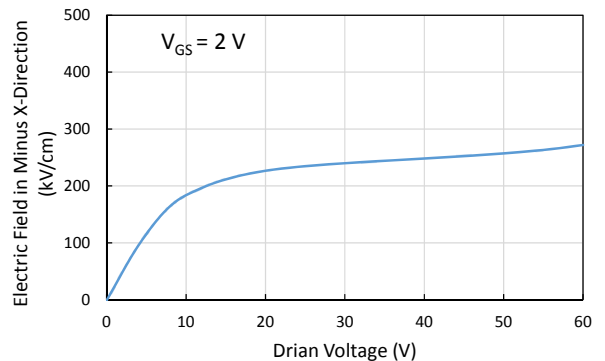


図 12 図 11 の  $x=1000nm$  における x 方向電界のドレイン電圧依存性

Fig. 12. The drain voltage dependence of the electric field in the x-direction at  $x=1000nm$  in Fig. 11.

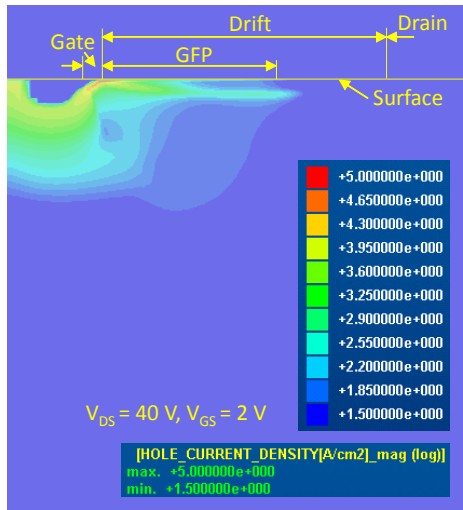


図 13 提案型 LDMOS トランジスタの正孔電流密度分布 ( $V_{DS}=40\text{ V}$ ,  $V_{GS}=2\text{ V}$ )

Fig. 13. The distribution of the hole current density for the proposed LDMOS transistor biased at  $V_{DS}=40\text{ V}$  and  $V_{GS}=2\text{ V}$ .

$V_{DS,INT}-V_{DS}$  特性も示してある。これから、 $V_{DS,INT}=0.6\text{ V}$  における  $V_{DS}$  は  $1.9\text{ V}$  である。図 3 によると、 $V_{GS}=2\text{ V}$  では  $V_{DS} \approx 2\text{ V}$  が飽和電圧と見なせる。したがって、 $V_{GS}=2\text{ V}$  における  $I_{DS}$  の飽和特性は、真性 MOSFET のピンチオフに起因していると言え、ゲート側ドリフト端周りの高電界が真性 MOSFET のホットキャリア耐性に影響を与える。

図 11 に提案型 LDMOS トランジスタの  $V_{GS}=2\text{ V}$  における表面に沿った  $E_x$  プロファイルの  $V_{DS}$  依存性を示す。 $E_x$  はゲート側ドリフト端近傍 ( $x \approx 1000\text{ nm}$ ) でピークを持ち  $V_{DS}$  の増大と共に上昇するが、これは飽和する傾向にある (図 12 を参照)。これは、ゲート側ドリフト端周りの電界が PBL1 により強化された RESURF で緩和されたためである。PBL1 のないドリフト構造では、ゲート側ドリフト端周りで大きな電界のピークを持つ<sup>(3)</sup>。したがって、PBL1 を持つデュアル RESURF 構造では、ゲート側ドリフト端周りの  $E_x$  を高  $V_{DS}$  でも低減でき、インパクトイオン化を抑えて真性 MOSFET の高ホットキャリア耐性を得る可能性がある。

また、図 11 では、 $x=2500\sim 2700\text{ nm}$  の範囲に  $E_x$  はピークを持ち、 $V_{DS}$  の増大と共に上昇している。このピークは、GFP 端及び PBL2 端の電界集中に起因する。この箇所の  $E_x$  上昇により発生するインパクトイオン化がデバイス特性にどのように影響するか推測する。図 13 に  $V_{DS}=40\text{ V}$  かつ  $V_{GS}=2\text{ V}$  においてインパクトイオン化により発生した正孔電流密度分布を示す。正孔電流密度は GFP 端周りの表面から離れた基板 (ドリフト層) の内部で高くなっているため、そこで発生する高エネルギー・キャリアが表面に損傷を与えデバイス特性に影響を及ぼす可能性は低く、この領域で  $E_x$  が高くなることは問題ないと考える。

## 5. まとめ

提案型  $40\text{ V}$  動作 LDMOS トランジスタは、車載用途向けに適した特性を持つことをシミュレーションにより確認できた。フィールド・プレートを接地することによりスイッチング損失を含む FOM を低減 (従来比約 1/3) でき、ドリフト層の不純物濃度を高めて最適化したデュアル RESURF 構造により広 SOA が得られた。また高ホットキャリア耐性を得る可能性があることも示した。更に、特性オン抵抗の低減化も図れ、先端レベルの特性オン抵抗対ブレークダウン電圧の特性を得た。

## 謝辞

本研究で用いたデバイス・シミュレータは、アドバンスソフト社から借用させて頂いているものであり、アドバンスソフト社に深謝申し上げる。なお、このシミュレータは、国立研究開発法人科学技術振興機構の助成を受けて (A-STEP プログラム) アドバンスソフト社で開発されたものである。

## 文 献

- (1) S. Poli, S. Reggiani, R. K. Sharma, M. Denison, E. Gnani, A. Gnudi, and G. Baccarani: "Optimization and Analysis of the Dual n/p-LDMOS Device", IEEE Trans. Electron Devices, Vol. 59, No. 3, pp. 745-753 (2012).
- (2) 松田順一, 神山雅貴, 築地伸和, 小林春夫: 「高信頼性 Nch-LDMOS の提案」, 電気学会研究会資料, 電子デバイス 半導体電力変換 合同研究会, EDD-15-066, SPC-15-148, pp. 11-16 (2015).
- (3) J. Kojima, J. Matsuda, M. Kamiyama, N. Tsukiji, and H. Kobayashi: "Optimization and Analysis of High Reliability 30-50V Dual RESURF LDMOS", in Proc. ICSICT, Hangzhou, China, S25-3 (2016).
- (4) P. L. Hower, J. Lin, and S. Merchant: "Snapback and Safe Operating Area of LDMOS Transistors", Technical Digest of International Electron Devices Meeting, IEDM99, pp. 193-196 (1999).
- (5) 山口憲, 原田昌紀, 桑原匠史, 大倉康幸: 「デバイスシミュレーション」, アドバンスシミュレーション (アドバンスソフト株式会社), Vol. 21, pp. 39-69 (2015).
- (6) H.-L. Liu, Z.-W. Zhou, S.-T. Huang, S.-W. Lin, K.-F. Lin, C.-T. Lee, and C.-C. Wang: "A Novel High-Voltage LDMOS with Shielding Contact Structure for HCI SOA Enhancement", 29th International Symposium on International Power Semiconductor Devices & IC's (ISPSD), pp.311-314 (2017).
- (7) Y. Tsvetkov and C. McAndrew: "Chapter 4 in Operation and Modeling of the MOS Transistor Third Edition", Oxford University Press, New York (2011).
- (8) C. T. Kirk: "A Theory of Transistor Cutoff Frequency (ft) Falloff and High Current Densities", IRE Transactions on Electron Devices, Vol. 9, No. 2, pp.164-174 (1962).
- (9) H. C. Poon, H. K. Gummel, and D. L. Scharfetter: "High Injection in Epitaxial Transistors", IEEE Transactions on Electron Devices, Vol.16, No.5 pp.455-457 (1969).