

低スイッチング損失、広SOAかつ低特性 オン抵抗の40 V LDMOSTランジスタ

松田順一、小島潤也、築地伸和、神山雅貴、小林春夫
群馬大学

場所：鹿児島大学 稲盛会館

開催日：2016年11月21日(火)

概要

- はじめに
- 従来型と提案型のLDMOSTランジスタ構造
- シミュレーション結果
 - $I_{DS} - V_{GS}$ 特性、 $I_{DS} - V_{DS}$ 特性、特性オン抵抗、ブレイクダウン特性
 - スイッチング特性を含むデバイス性能(FOM)
- 解析
 - ドレイン電流増大の成分(広SOAの要因)
 - ホットキャリア耐性
- まとめ

はじめに

目的 車載向けに(1)低スイッチング損失、(2)広SOA、(3)高信頼性(高ホットキャリア耐性)、かつ(4)低特性オン抵抗を持つ40V LDMOSTランジスタを開発

■従来:デュアルRESURFDリフト構造(フィールド・プレートをゲートに接続)⇒0.35 μ m CMOSプロセスベース

利点 {
・高 V_{GS} かつ高 V_{DS} で発生するドレイン電流増大(Current Expansion:CE)抑制 ⇒ 広SOA
・ホットキャリア耐性向上
・特性オン抵抗低減

欠点 ・スイッチング損失大

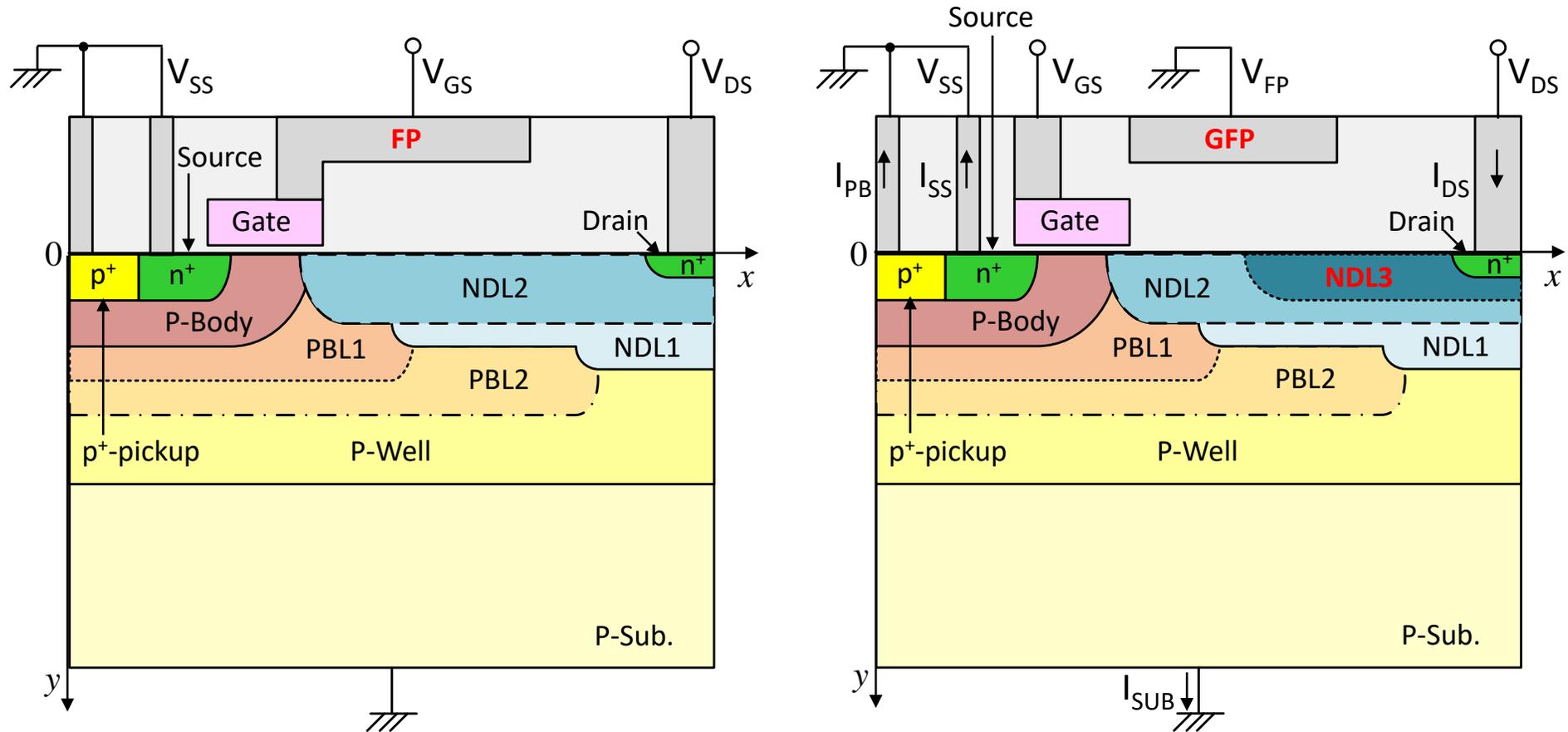
■提案:デュアルRESURFDリフト構造(フィールド・プレートを接地)⇒0.18 μ m CMOSプロセスベース

従来の利点を保持し、欠点を改善(ミラー容量の低減)

■シミュレーションにより検討

アドバンスソフト社 3D デバイスシミュレータ Advance/DESSERT(サンプル版)を使用

従来型と提案型LDMOSトランジスタ断面



(a) 従来型 LDMOS トランジスタ

(b) 提案型 LDMOS トランジスタ

提案型LDMOSTランジスタ構造

■p型埋込層(デュアルRESURF構造)

- ・PBL1⇒ゲート側ドリフト端のRESURF強化(高ホットキャリア耐性)、CE抑制
- ・PBL2⇒ドリフト層全体のRESURFに有効
- ・ドレイン下のPBL2開口⇒ブレークダウン電圧低下防止

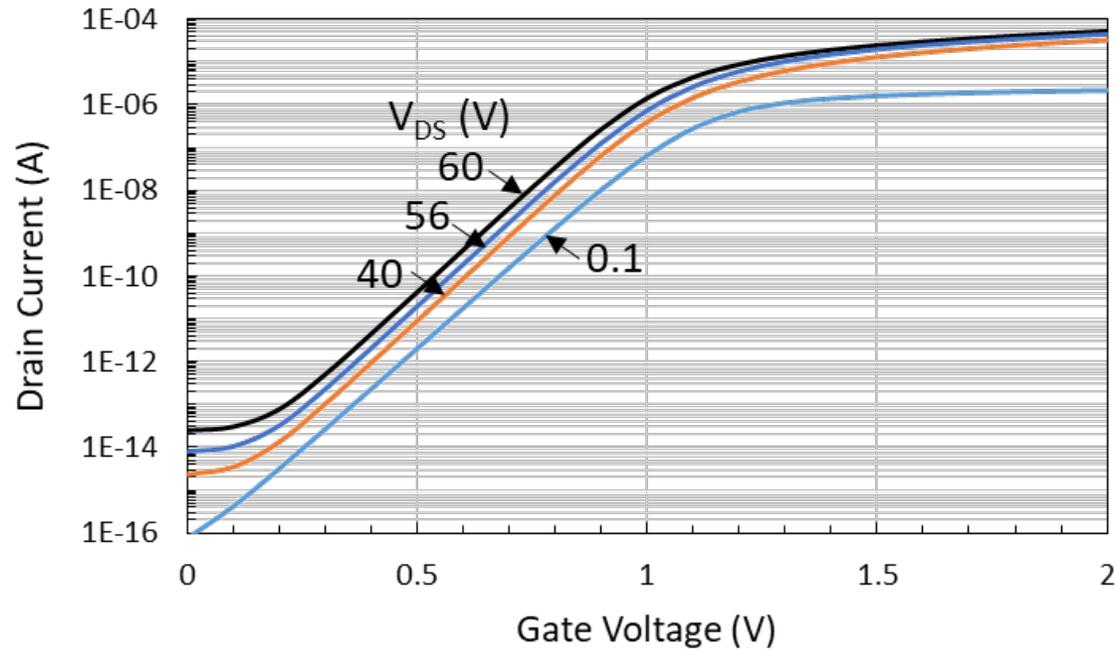
■n型ドリフト層(3層構造)

- ・NBL1(深い領域)⇒ドリフトの基本層
- ・NBL2(浅い領域)⇒CE抑制、特性オン抵抗低下
- ・**NBL3(浅い領域:ゲート側ドリフト端領域除く)**⇒**CE抑制を強化(広SOA)、特性オン抵抗より低下**

■フィールド・プレート

- ・**接地**⇒**ミラー容量低減(スイッチング損失低減)**、RESURF補助

$I_{DS}-V_{GS}$ 特性



$I_{DS}-V_{GS}$ 特性 (1セル分)

1セル面積 $\Rightarrow 3.555 \mu\text{m} \times 0.3 \mu\text{m} = 1.0665 \mu\text{m}^2$

■ しきい値電圧

外挿 V_t (at $V_{DS} = 0.1 \text{ V}$) = 1.05 V

V_t (at $I_{DS} = 0.1 \mu\text{A}$ and $V_{DS} = 0.1 \text{ V}$) = 1.026 V

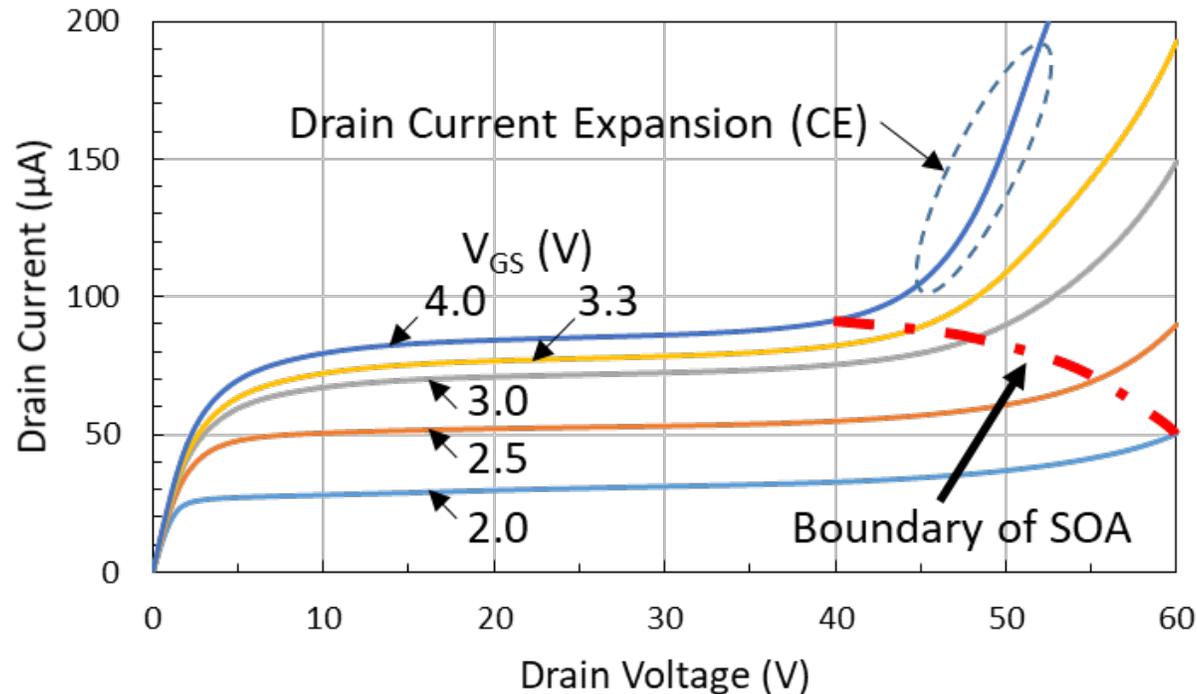
■ V_{DS} 増加によるしきい値電圧低下 (at $I_{DS} = 0.1 \mu\text{A}$)

ΔV_t ($V_{DS} = 0.1 \text{ V} \rightarrow 40 \text{ V}$) = 0.104 V

ΔV_t ($V_{DS} = 0.1 \text{ V} \rightarrow 60 \text{ V}$) = 0.226 V

$\Rightarrow V_{DS} = 60 \text{ V}$ でもリーク電流を低く抑制

$I_{DS}-V_{DS}$ 特性



$I_{DS}-V_{DS}$ 特性(1セル分)

■ 電流増大(CE)のない領域(SOA領域)

$$V_{DS} \leq 40\text{V} \text{ at } V_{GS} = 4\text{V} (V_{GS} \text{最大定格電圧})$$

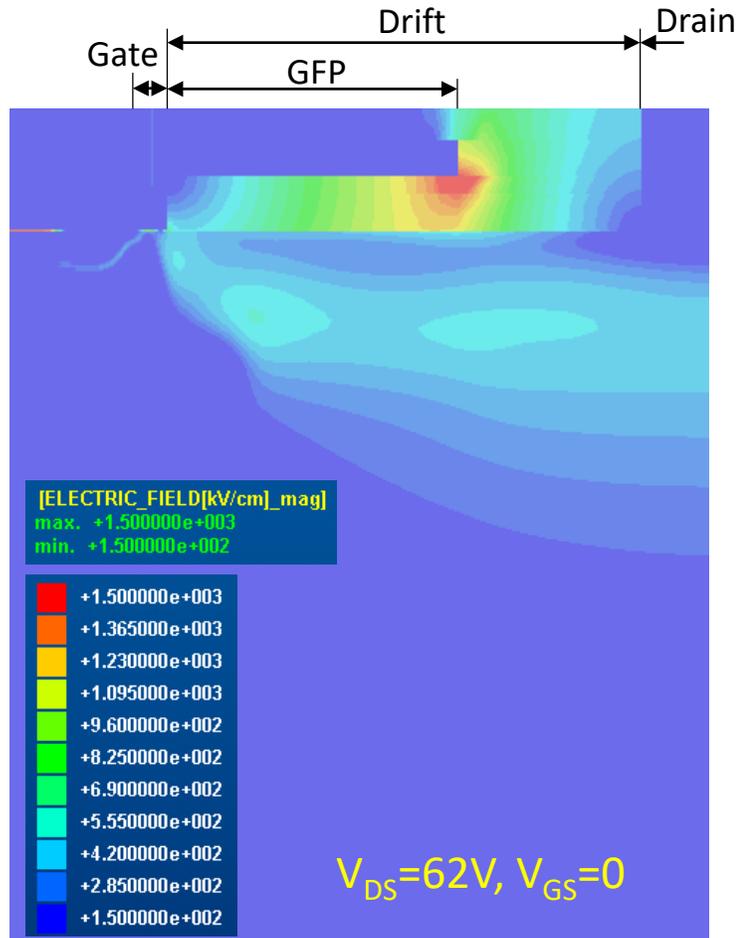
$$V_{DS} \leq 45\text{V} \text{ at } V_{GS} = 3.3\text{V} (V_{GS} \text{動作電圧})$$

⇒ **40V動作に対し広SOA確保**

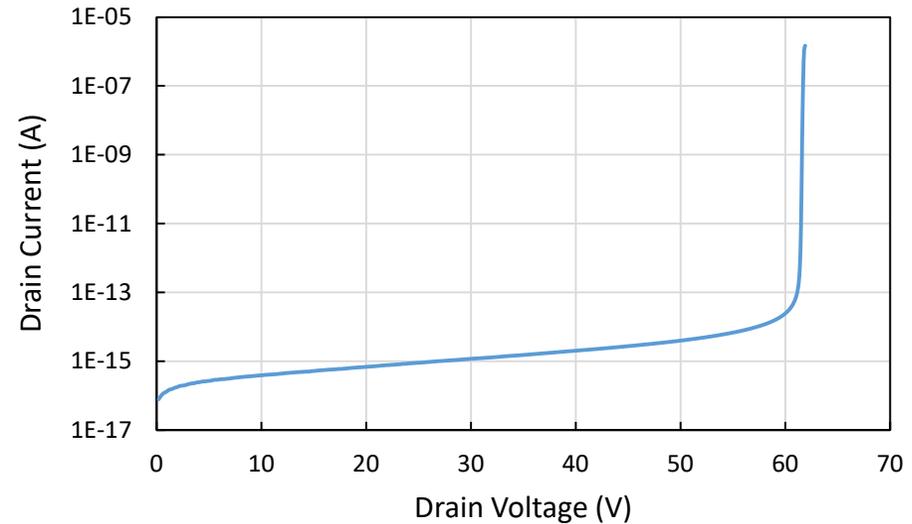
■ 特性オン抵抗

$$R_{on}A = 40.9 \text{ m}\Omega \cdot \text{mm}^2 \text{ at } V_{GS} = 3.3\text{V}$$

ブレークダウン特性



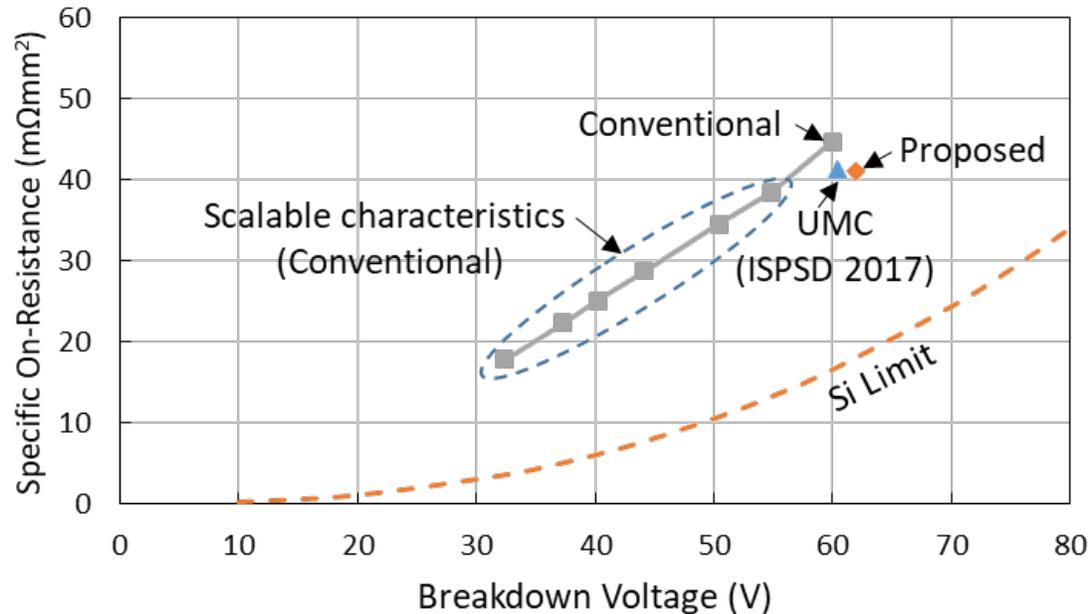
ブレークダウン時の電界分布



$I_{DS}-V_{DS}$ 特性 ($V_{GS}=0V$) (1セル分)

- ブレークダウン電圧 62V
⇒ 40V動作に対し十分な余裕
- ブレークダウン箇所(高電界領域)はバルク
⇒ ESDに対し耐性あり

特性オン抵抗対ブレークダウン電圧特性

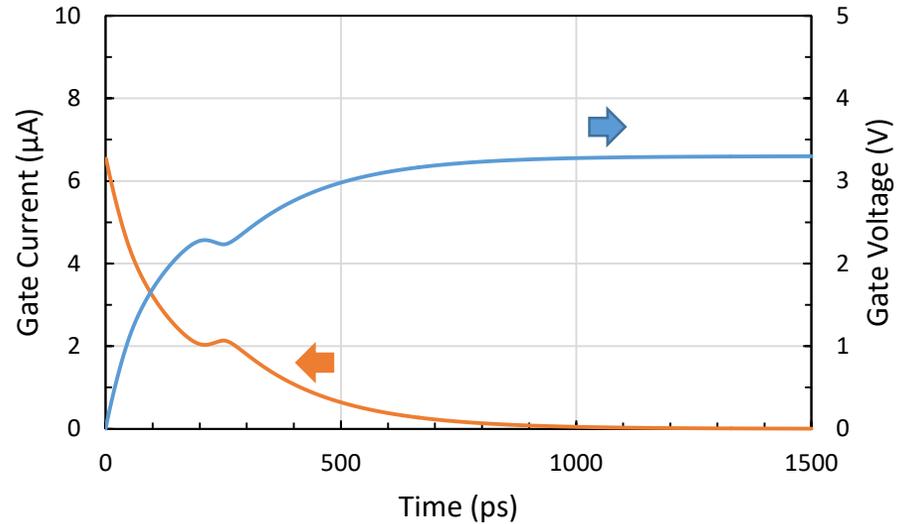


■ 提案型LDMOSTランジスタの $R_{on}A - BV_{DS}$ 特性
⇒ **UMC社 (ISPSD 2017で発表) と同等レベル**
(先端レベル)

(但し、提案型LDMOSTランジスタのシミュレーションでは配線抵抗とコンタクト抵抗は考慮されていない)

特性オン抵抗 $R_{on}A$ 対ブレークダウン電圧 BV_{DS} 特性

ターンオン特性

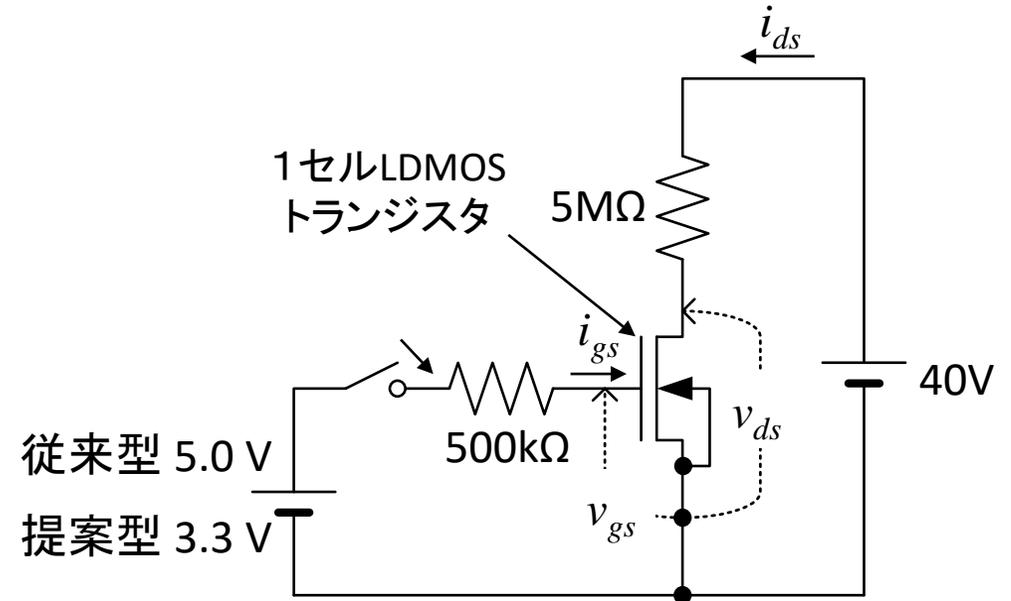


ゲートの電圧と電流のターンオン特性

■ 単位面積当たりのゲート電荷 $Q_g/A = 1.22 \text{ nC/mm}^2$

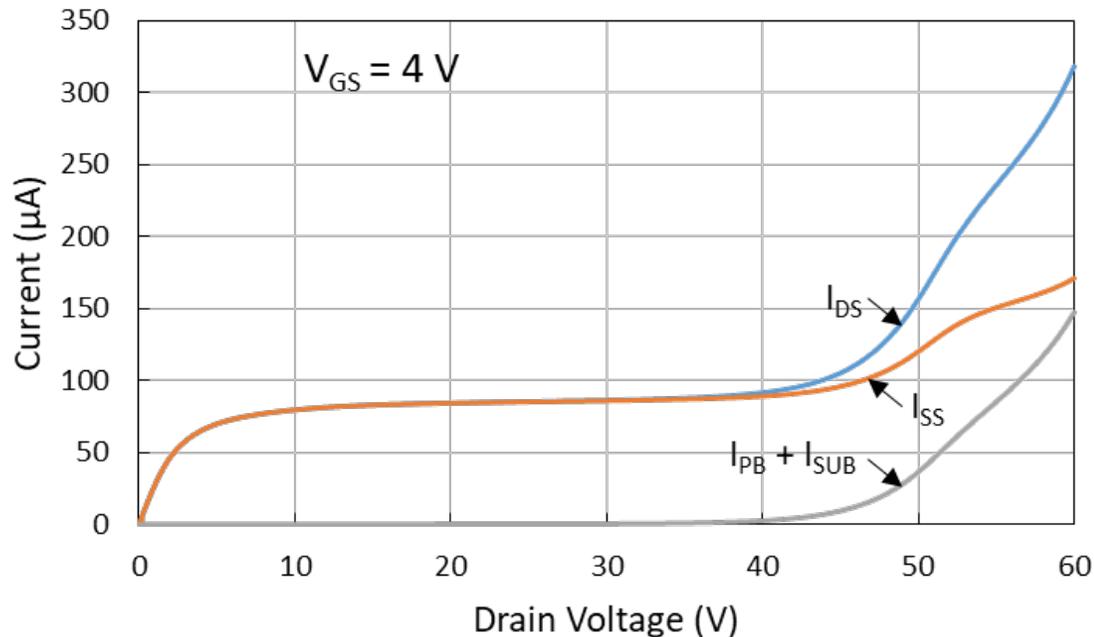
■ FOM(= $R_{on} \cdot A \cdot Q_g/A$) = $48.2 \text{ m}\Omega \cdot \text{nC}$

⇒ 従来型デュアルRESURF LDMOSTランジスタのFOM(=141 mΩ·nC)のおよそ1/3



ターンオン解析に用いた回路

ドレイン電流増大の成分 (SOAの解析)



ドレイン電流の成分 (1セル分)

ゲート最大定格電圧 $V_{GS} = 4\text{ V}$ (CEが顕著)

■ $V_{DS} < 40\text{ V} \Rightarrow I_{DS} \doteq I_{SS}$

■ $V_{DS} \geq 40\text{ V}$

$\Rightarrow I_{SS}$ の上昇がインパクトイオン化により
 $I_{PB} + I_{SUB}$ を増大させ、 I_{DS} を急上昇 (CE発生)

$$\therefore I_{DS} = I_{SS} + I_{PB} + I_{SUB}$$

$\Rightarrow I_{SS}$: $V_{DS} \geq 52\text{ V}$ で飽和傾向有り

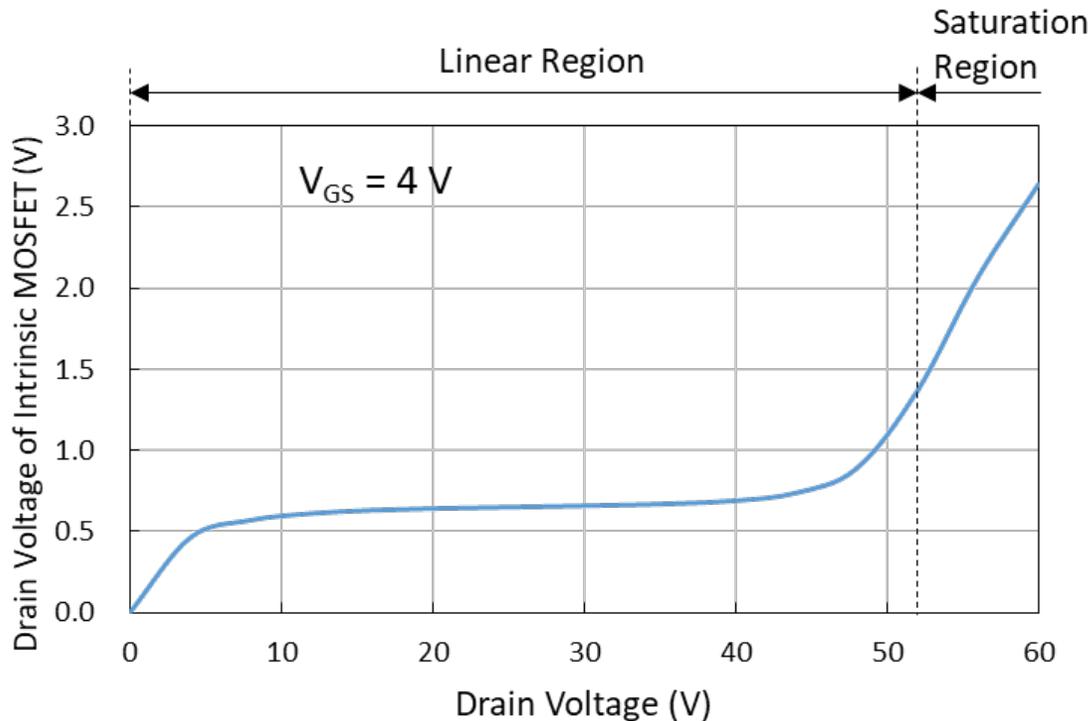
I_{DS} : ドレイン電流 (電子電流 + 正孔電流)

I_{SS} : ソース電流 (電子電流)

I_{PB} : p-ボディ電流 (正孔電流)

I_{SUB} : 基板電流 (正孔電流)

ソース電流のモデル化



$V_{DS,INT}$ の V_{DS} 依存性
 $V_{DS,INT}$: 真性MOSFETのドレイン電圧
 (ドレイン側ゲート端の表面電位)

真性MOSFETソース電流のモデル式

■線形領域 $V_{DS} \leq 52V$

$$I_{SS} = K_p \left[(V_{GS} - V_T) V_{DS,INT} - \frac{\alpha}{2} V_{DS,INT}^2 \right]$$

$$\alpha = 1 + \frac{\gamma}{2\sqrt{2\phi_F + 6\Delta_{th}}}$$

γ : 基板バイアス係数

$$V_T = 1.05V$$

$$K_p = 5.41 \times 10^{-5} \text{ A/V}^2 \text{ at } V_{DS} = 20V$$

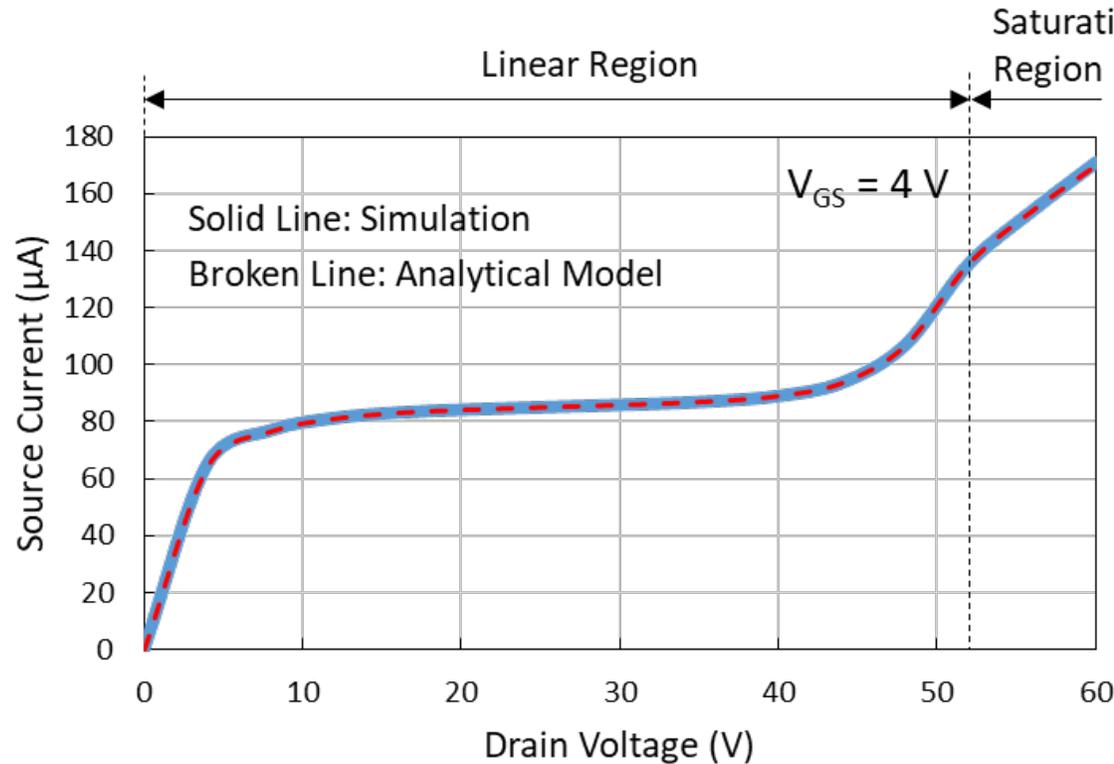
$$\alpha = 1.63$$

■飽和動作領域(電子の速度飽和に依存) $V_{DS} > 52V$

- ・飽和電圧 $V_{DS,INT}$ at $V_{DS} = 52V$ に設定
- ・移動度一定
- ・DIBL ($V_{DS,INT}$ 増加に伴う V_T 低下) 考慮
- ・チャンネル長変調考慮

cf. ピンチオフ電圧 $V_p (=V_{DS,INT}) = 1.8V \Rightarrow V_{DS} = 54V$ $V_p = \frac{V_{GS} - V_T}{\alpha}$
 (ピンチオフによる飽和ではない)

ソース電流の比較 (シミュレーションと解析モデル)

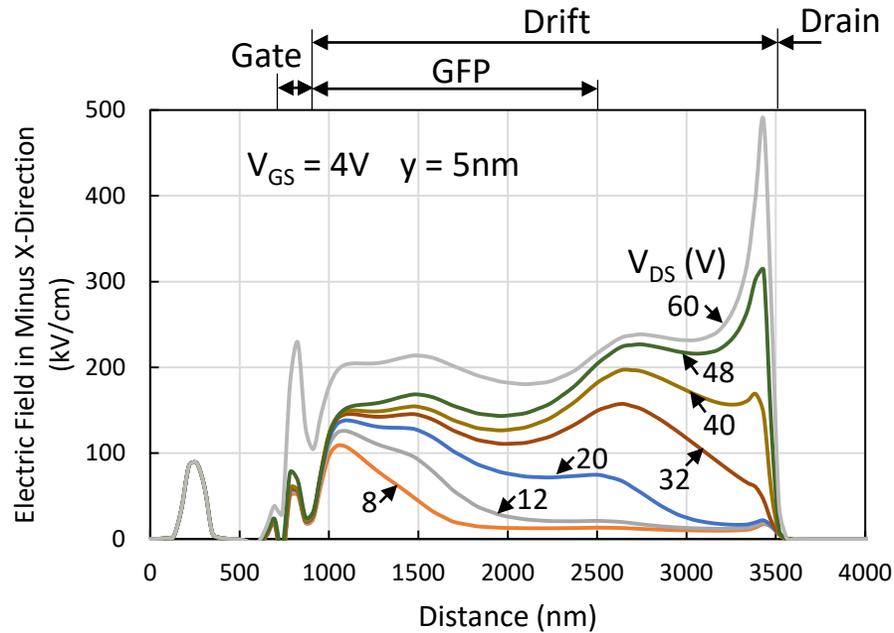


■ 線型動作及び飽和動作の全領域でシミュレーションと解析モデルがよく一致

■ V_{DS} の増大に伴う I_{SS} の上昇は $V_{DS,INT}$ に起因

ソース電流をシミュレーションと解析モデルで比較

界面に沿ったx方向電界プロファイルの V_{DS} 依存性 ($V_{GS}=4V$)



表面に沿った E_x プロファイルの V_{DS} 依存性

■ドレイン側ドリフト端近傍の電界

- ⇒ V_{DS} 増大に伴う電界のピーク発生 (Kirk効果) ($V_{DS} \geq 40V$)
- ⇒ インパクトイオン化による正孔電流増大 (CE発生)

■ゲート側ドリフト端近傍の電界

- ⇒ V_{DS} 増大に伴う電界上昇の抑制 ($20V \leq V_{DS} \leq 48V$)
- ⇒ PBL1によるRESURFの強化に起因

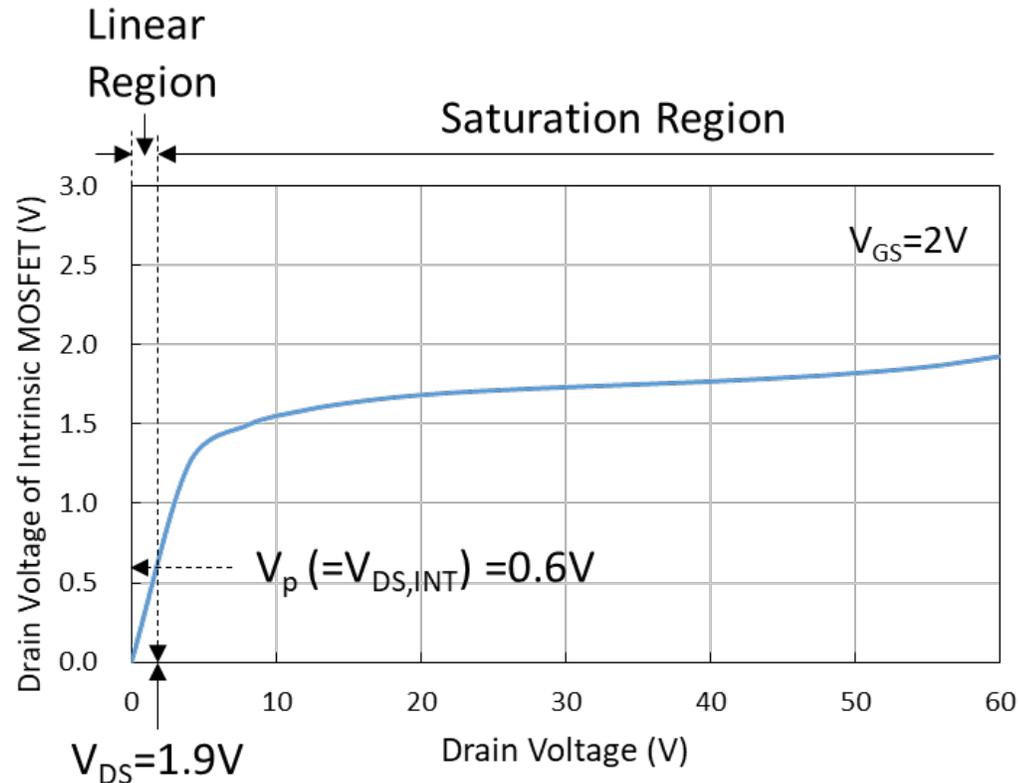
■CE抑制 (CEが発生するところの V_{DS} を上げてSOAを拡大)

- ⇒ V_{DS} 増大に伴う I_{SS} (即ち $V_{DS,INT}$) の上昇を抑制 (PBL1効果あり)
- ⇒ ドリフト領域のドーピング密度増加 (NDL3効果あり)

cf. CE抑制 → V_T を上げて I_{SS} を低減

- ・ゲート駆動能力低下によるオン抵抗増大
- ・ $V_{DS,int}$ の抑制には効果なし

$V_{DS,INT}$ の V_{DS} 依存性 ($V_{GS}=2V$) (ホットキャリア耐性推測)



$V_{DS,INT}$ の V_{DS} 依存性

■ $V_{GS}=2V$ の場合の真性MOSFETのピンチオフ電圧 V_p
 $\Rightarrow V_p (=V_{DS,INT}) = 0.6V \Rightarrow V_{DS} = 1.9V$

■ $V_{GS}=2V$ の場合の $I_{SS}(=I_{DS})$ の飽和電圧 $V_{DS} \doteq 2V$

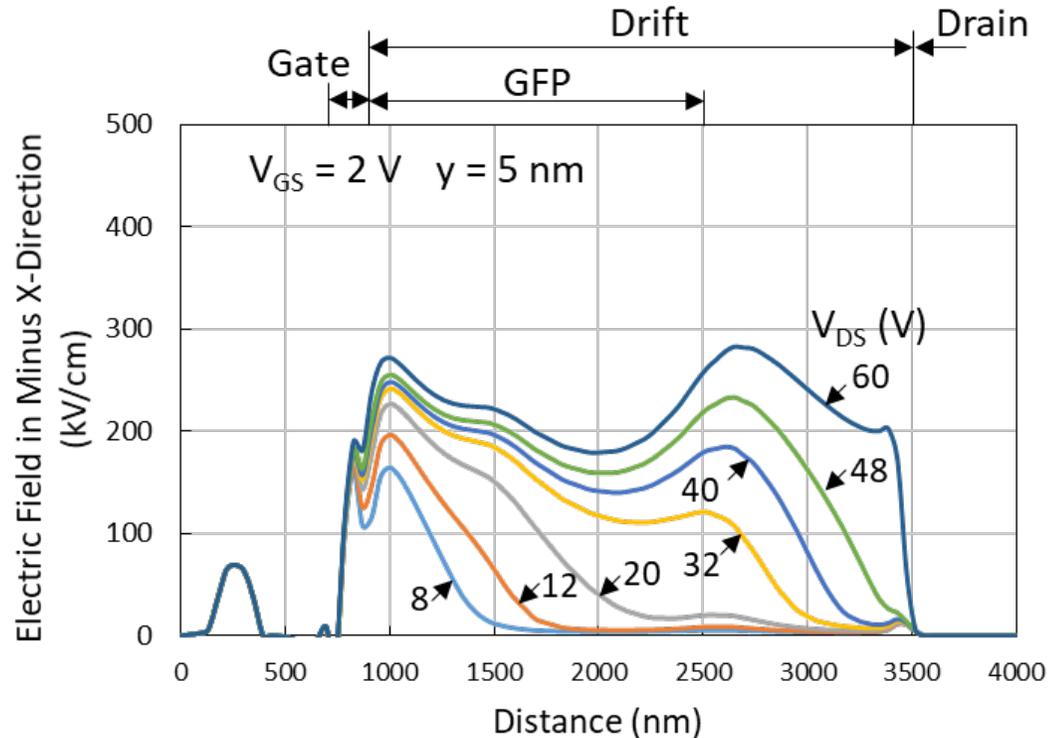
■ $V_{GS}=2V$ における I_{DS} の飽和特性

\Rightarrow 真性MOSFETのピンチオフに起因

・真性MOSFETのドレイン近傍で
インパクトイオン化を起こす

・ホットキャリアによる特性劣化大の可能性あり

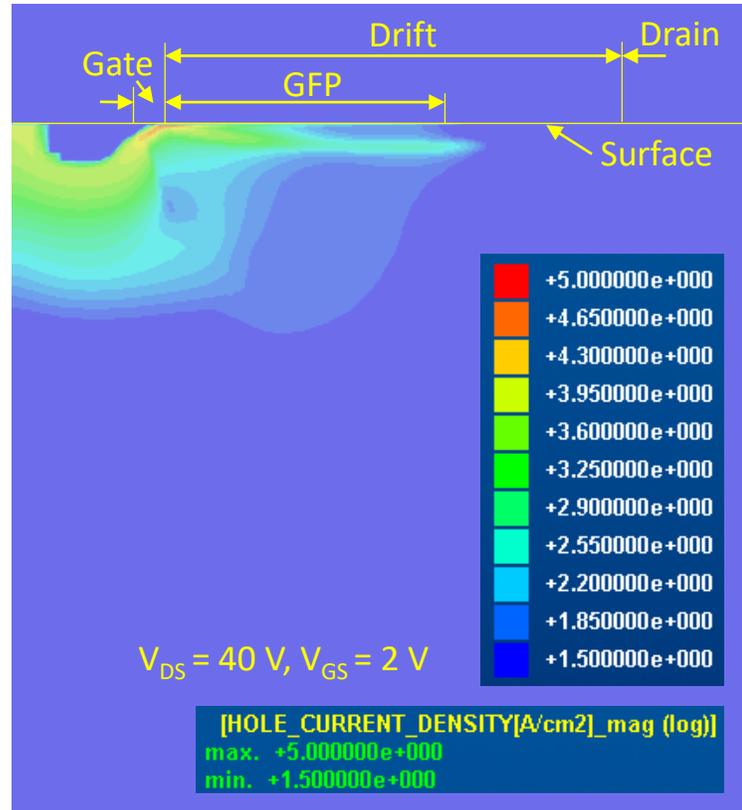
界面に沿ったx方向電界プロファイルの V_{DS} 依存性 ($V_{GS}=2V$)



表面に沿った E_x プロファイルの V_{DS} 依存性

- ゲート側ドリフト端近傍の電界
 - ⇒ ピークを持ち上昇する傾向
 - ⇒ $V_{DS} \geq 20V$ で上昇の割合低下 (飽和する傾向)
 - ⇒ 高 V_{DS} でも高ホットキャリア耐性を得る可能性有り
 - ⇒ PBL1によるRESURFの強化に起因
- $2500 \leq x \leq 2700nm$ の領域の電界
 - ⇒ ピークを持ち上昇する傾向
 - ⇒ GFP端及びPBL2端における電界集中に起因

正孔電流密度分布 ($V_{DS}=40V, V_{GS}=2V$)



■ GFP端周りの正孔電流密度分布

⇒ 界面から離れた基板(ドリフト層)内で高い
(基板内でインパクトイオン化発生)

⇒ **インパクトイオン化による高エネルギー・キャリア
が表面へ影響する可能性は低い**

インパクトイオン化による正孔電流密度分布
($V_{DS}=40V, V_{GS}=2V$)

まとめ

- 提案型40V LDMOSTトランジスタ(0.18 μ m CMOSプロセスベース)は車載用途に適した特性を持つ
- スイッチング損失を含むデバイス性能を表すFOM
 - 従来比約1 / 3(従来型:0.35 μ m CMOSプロセスベースのデュアルRESURF LDMOSTトランジスタ)
- 広SOA確保
 - ゲート最大定格電圧(4V)において $V_{DS} \leq 40V$ で電流増大(CE)の発生なし
- 高ホットキャリア耐性を確保できる可能性あり
- 特性オン抵抗対ブレークダウン電圧特性は先端レベルにある

謝辞

本研究で用いたデバイス・シミュレータをお貸し頂いたアドバンスソフト社に深謝申し上げます。

なお、このシミュレータは、国立研究開発法人科学技術振興機構の助成を受けて(A-STEPプログラム)アドバンスソフト社で開発されたものです。

ご清聴ありがとうございました