

## 第 66 回「システム LSI 合同ゼミ」開催のお知らせ

発表時間制限のない自由な研究討論の場として、標記合同ゼミを下記のように企画いたしました。この合同ゼミは、不定期に開催される非公式の公開研究発表会で、1 研究室や 1 研究部署で行われている研究発表を複数の研究機関合同で行い、幅広く忌憚のない意見交換を行おうとするものです。ご興味のおありの方は是非お誘い合わせの上ご参加ください。

なお、本合同ゼミは年 3 回程度の割で、今後も引続き開催していく予定です。皆様からもご発表頂けるようでしたら、これほど嬉しいことはございません。ご遠慮無くご相談いただきたく、お待ち申し上げます。

金子峰雄（北陸先端科学技術大学院大学）、  
藤吉邦洋（東京農工大学）、  
高島康裕（北九州市立大学）、  
小平行秀、富岡洋一（会津大学）、  
山田昭彦（コンピュータシステム&メディア研究所）、  
梶谷洋司（設計アルゴリズム研究所）、  
北澤仁志（CKR）、  
貴家仁志（首都大学）、  
高橋篤司、岡田健一、原祐子（東京工業大学）、  
戸川望、史又華（早稲田大学）、  
築山修治（中央大学）  
白石洋一、小林春夫（群馬大学）

### 記

日時：2017 年 6 月 24 日(土) 午後 1 時半から午後 7 時頃まで(予定)

場所：中央大学理工学部、後楽園キャンパス 3 号館 10 階 31008 会議室

※ 以下の URL をご参照下さい。

[http://www.chuo-u.ac.jp/chuo-u/access/access\\_korakuen\\_j.html](http://www.chuo-u.ac.jp/chuo-u/access/access_korakuen_j.html)

ポスター懇談会：午後 5 時半頃より同会場にてポスター懇談会では、発表のあった研究に関してポスターボードを用いた研究討論を予定しております。軽食・アルコール飲料を準備いたします。ポスター懇談会のみ参加も歓迎します。

協賛：IEEE CEDA All Japan Joint Chapter

参加費：1,000 円(予定, 当日払い)

申し込み：合同ゼミ(ポスター懇談会のみも可)に参加ご希望の方は、準備の都

合上、2017 年 6 月 20 日(火)までに、以下の連絡先までお申し込みください。

申し込み・ご質問等宛先：中央大学 築山修治 E-mail: [tsuki@elect.chuo-u.ac.jp](mailto:tsuki@elect.chuo-u.ac.jp)

## 【発表】

---

### (1) フィボナッチ数列型逐次比較近似 AD 変換器と黄金分割探索法の関係性の考察

群馬大学大学院理工学府電子情報数理教育プログラム 小林研究室

博士前期課程（修士課程）1年 新井宏崇

この発表では、「フィボナッチ数列重みづけ（約 1.62 進）逐次比較近似 AD 変換器（SAR ADC）は、入力電圧と内部 DA 変換器の出力電圧の差の絶対値をとった単峰関数に黄金分割探索法を適用した SAR ADC と等価である」ということを示す。黄金分割探索法は黄金比（約 1.62）を用いて単峰関数の極値を近似的に求める方法であるが、それに基づく直接的な SAR ADC 構成は、コンパレータおよび DAC が各 2 つ必要となる。その構成を工夫しコンパレータと DAC を 1 つずつ使用する回路量を低減した改良構成を考案し、それがフィボナッチ数列重みづけ SAR ADC と等価であることを構成・動作の説明とシミュレーションで示す。

---

### (2) 多段構成オシロスコープ・トリガ回路の検討

群馬大学大学院理工学府電子情報数理教育プログラム 小林研究室

博士前期課程（修士課程）1年 櫻井翔太郎

オシロスコープ・トリガ回路はトリガ信号が入力されたタイミングで位相ゼロの正弦波（または余弦波）を出力する回路である。この回路に対して次の検討をしたので報告する。

- I. オシロスコープメーカーから提案された 2 段構成及び 3 段構成トリガ回路の動作を解析し CMOS 回路として構成して SPICE シミュレーションで動作を確認した。
  - II. 一般の N 段構成に拡張にできることを示した。
  - III. このトリガ回路が時間差情報を保持できる回路（時間差ホールド回路）として使用することを提案する。逐次比較近似時間デジタイザの前段に用いると、繰り返し時間タイミングだけでなくワンショットのタイミングを測定できることを示す。すなわち、これまで「電圧情報は保持できるが、時間差情報は保持できない」と思われていたが、「時間差情報も保持できる」ことを示す。
- 

### (3) Approximate Computing を適用した GeAr 回路の各指標の定式化と最適化に関する研究法

早稲田大学大学院 基幹理工学研究科 電子物理システム学専攻 史研究室

修士 2 年 早水謙

近年、回路の微細化に伴い、低消費電力化、高速化、低面積化が求められている。し

かし、これらを同時に達成することは、一般的には難しい。この要求に対する解決策の1つとして、Approximate Computing (概算) が挙げられる。Approximate Computing を適用先や適用方法は多岐にわたるが、本研究ではその中でも、加算回路を Sub Adder に分割する手法、特に GeAr Adder に対して、既存研究の拡張を行うとともに、性能・精度指標の定式化を行った。また、最大エラー距離に基づいて GeAr Adder の分類を行い、最大エラー距離における最適な加算回路の提案を行った。

---

#### (4) モンテカルロ木探索の矩形パッキング問題への適用

東京農工大学工学府 電気電子工学専攻 藤吉研究室

修士1年 北出哲大

モンテカルロ木探索という新たな探索手法が注目されている。この探索手法は元々、囲碁の思考アルゴリズムとして考案されたものであるが近年は最適化問題に適用する研究が行われている。本研究では、矩形パッキング問題、即ち「与えられた矩形の集合を互いに重なることなく、出来るだけ小さな矩形の範囲内に収める」という NP 困難な問題へのモンテカルロ木探索の適用を行った。

---

