



因果関係の世界から確率・統計の世界へ

株式会社アドバンテスト研究所 主席研究員 山口 隆弘

1 年間、皆様と「確率・統計」と「確率過程」をその応用の視点から勉強します。最初に、VLSI チップ試験についての国際会議を紹介します。

テスト・コンファレンス。テストについての最大の国際会議 International Test Conference が、毎年秋に米国で開催される。1999 年、Intel 社 Patrick Gelsinger 副社長が ITC 基調講演 “Discontinuities Driven by a Billion Connected Machines” をおこない、テストに関する課題 (I . ストラクチャル・テスト用の低価格 VLSI 試験装置—そのチャンネル数は被試験 VLSI のピン数より少ない、II . 高性能の試験パターン自動合成法開発—ストラクチャル・テストへの転換、III . 高速定電圧供給源—ダイナミックな電流変化 di/dt への対応) を論じ、試験技術研究・開発に大きなインパクトをあたえた。インテルは、この転換点に対応する戦略的研究を 1994 年からすすめていたようである。

Gordon E. Moore の ISSCC2003 基調講演 “No Exponential is Forever …” に対応する試験戦略を先行的に明らかにしたのが、Gelsinger の ITC1999 基調講演であった。

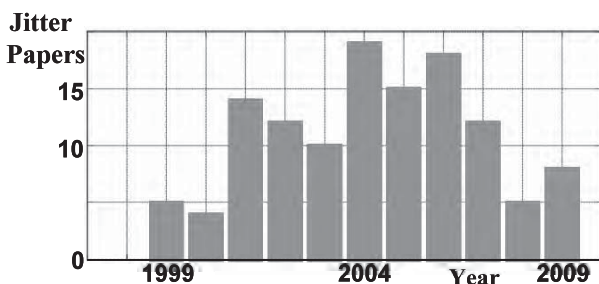


図 1. IEEE International Test Conference における、ジッタ試験関連の論文数の推移。

ジッタ測定・試験に関する論文数の推移。電気信号のタイミングゆらぎはジッタと呼ばれる。図 1 はこのジッタ測定・試験にかんする (ITC で発表された) 論文数の推移を示している。ジッタは 1999 年に ITC に登場し、11 年間に 122 論文が発表された。(a) ITC1999 においては、最終日のセッションが割り当てられた (試験は因果関係にもとづき、被試験 VLSI の応答を期待値と比較する。確率過程は試験しない)。(b) ITC2002 から初日のセッションも割り当てられた。タイミングゆらぎ (= 確率過程) をデジタル的手法で試験する技術に発展している。(c) ITC2009 における 2 つの最先端技術。Intel 社は、組込み自己テストを展開し作り上げた、VLSI のシリコン物理層の統一的試験インフラストラクチャを説明した。この結果、統計的マージン試験 (= アイ・ダイアグラム測定) がオン・チップ回路で可能となった。AMD 社は、低価格 VLSI 試験装置と被試験対象プロセッサ自身を活用した I/O テスト法を発表した (Gelsinger の課題 I の解決例)。^[i] 外部の VLSI 試験装置の低速ピンからテスト・プログラムを被試験対象のプロセッサ内部にロード、^[ii] 被試験対象プロセッサ自身のデータ処理能力を活用し、被試験対象プロセッサの I/O をテストする。プロセッサの DDR インタフェースのデータ・アイ・ダイアグラム測定を可能とした。確率過程測定がテストの最先端をドライブしている。

確率・統計。今年度は、ランダムデータの基本 (重要なガウス分布と一様分布との違い、平均と分散、特性関数、推定量の信頼区間) を紹介します。昨年度にひきつづき、ジッタ測定の基礎も紹介します。