



VLSI Test Symposium にみる設計に 統合される半導体集積回路試験技術

(株) アドバンテスト研究所 主任研究員 山口 隆弘

PAGERANK と電圧雑音

Webpages (ランダムに探索される) は、そのリンク群をマルコフ連鎖の不変 (invariant) 分布として計算することによりランキングできる [1]。

コンパレータの電圧雑音は、温度や帯域幅に比例し、シキイ値電圧の揺れとしてモデル化できる。アナログの揺らぎパワーはガウス分布に従うことに注意。コンパレータ出力はデジタルの 2 値系列であるから、揺らぎパワーは $\langle 0 \rangle$ と $\langle 1 \rangle$ の間のスイッチング活性度に変換される。すなわち、2 項分布がここで登場する。スイッチング活性度は、論理値 $\langle 1 \rangle$ の個数を計数することにより効率よく測ることができる。

これから 1 年、半導体集積回路評価に必須で重要な知識である「統計的処理の初歩」を解説します。

VLSI TEST SYMPOSIUM

VTS2014 のホットトピック・セッション (石田雅裕博士が提案、筆者が司会進行) は、“アナログ回路試験容易設計 (DFT) における集積回路設計者と集積回路テスト技術研究者の役割” という題目でアナログ回路にたいする DFT を議論した [2]。発表者は、Terri Fiez 教授 (米 Oregon 州立大)、Mani Soma 教授 (米 Washington 大)、Mike Li 博士 (米 Altera 社)。Fiez 教授の講演概要を図 1 に示す。

回路規模と応用がアナログ DFT の複雑度を決める

最初に、集積回路設計分野で名高い Ali Hajimiri 教授が発表している自己修復回路 (self healing) 技術の概要を説明し、テスト研究者のアプローチと大きく異なることを明確にした。アナログ DFT の位置づけは、集積回路に適用されるか、集積システムに適用されるかで、大きな違いがあることが明らかになった。(i) 高速 IO 回路はオンチップの測定器 (on-die instrument) が DFV 検証や DFM 製造・調

超微細化にともなうミックスド信号チャレンジ

- Low power with leaky process
- Wide bandwidth & dynamic range with reduced supply voltages
- Comparable \rightarrow better performance with suboptimal devices
- Low cost including test/verification

ADC, 性能と頑健さを実現する技法

- Offset correction
- Calibration
- Component correction
- Signal processing
- System-level innovations
- Block-level innovations
- Circuit-level innovations

設計と試験を統合したアプローチは実際的か?

- Yes \rightarrow requires test intelligence as input to design
- Test focused on aspects of design not addressed by design

図 1. VTS2014 のホットトピックセッション。“アナログ回路試験容易設計における集積回路設計者と集積回路テスト技術研究者の役割” にたいする Terri Fiez 教授の講演概要 (筆者のメモから)。

整に必須であり、(ii) 低周波数で動作する (SoC でない) 半導体回路はオフチップの回路 (BOST など) をもちい測定や調整をおこなう。(iii) Hajimiri 教授のパワーアンプ集積回路はシステムであり、センサーや ADC や自己修復回路をオンチップに集積している。

確率的フラッシュ ADC

コンパレータのオフセット電圧ばらつきを積極的に利用する確率的アナログ・デジタル変換器も紹介する [3]。

参考文献

- [1] L. Page, “Method for Node Ranking in a Linked Database,” USP 6285999, Sep 4, 2001.
- [2] M. Ishida, “Hot Topic: Designers' and Test Researchers' Roles in Analog Design-for-Test,” in Proc. 32nd IEEE VLSI Test Symposium, Napa, CA, USA, April 14 - 16, 2014.
- [3] J. S. Tandon, T. J. Yamaguchi, S. Komatsu, K. Asada, “A Subsampling Stochastic Coarse-Fine ADC with SNR 55.3dB and >5.8 Ts/s Effective Sample Rate for an On-Chip Signal Analyzer,” in Proc. ISCAS, Melbourne, Australia, June 2014.