

魔方陣レイアウトによるDA変換器の直線性の改善

DA Converter Linearity Improvement with Layout Technique Using Magic Square

東野 将史, 小林 春夫 (群馬大学)

HIGASHINO Masashi and KOBAYASHI Haruo (Gunma University)

Abstract This paper proposes using magic square layout techniques to improve the linearity of a segmented Digital-to-Analog Converter (DAC) to cancel systematic mismatch effects among unit current (or capacitor) cells. Simulation results and discussions are shown for comparison among magic square, random walk and regular layout techniques.

1. はじめに

多くの電子機器にはデジタルアナログ変換器 (DA 変換器) が搭載されている。音声, 画像, 光などはアナログ信号であり、それらをデジタル信号処理する場合、AD 変換器及びDA 変換器は必要不可欠であり、高性能なものが求められている。しかし、DA 変換回路の素子をシリコンウェハ上で作成する場合、トランジスタ, R 抵抗, C コンデンサ値等にそれらのレイアウト配置に依存したある傾向をもった製造ばらつきが存在する。これにより、入力デジタル信号 (1101 のような 2 進数) とそれに比例するはずの出力信号 (アナログ電圧) が素子の特性ばらつきにより線形性が劣化してしまう問題がある。本稿はその線形成劣化をその素子の配置を魔方陣を使ってランダム化して改善しようというものである。

具体的には、一般に用いられている下記のセグメント型 DA 変換器についてシリコンウェハ上の 1 次及び 2 次のシステムティックなばらつきの非線形性への影響をキャンセルする方法について述べる。①魔方陣を用いた場合, ②従来の酔歩(Random Walk)を用いた場合, ③規則的なレイアウトを用いた場合について数値シミュレーション結果を比較することで魔方陣方式の有効性を検討する。なお紙面の都合で研究概要の紹介にとどめる。

2. セグメント型 DA 変換器の構成と動作

DA 変換器は、バイナリ(Binary) 型とユナリ(Unary) 型があり、両者を組み合わせたものがセグメント型である (上位ビットをユナリ、下位ビットをバイナリ型で構成する)。バイナリ型とは、2 進数の要素を加算するものであり、ユナリ型とは、2 進数データを温度計コードに変換 (デコード) し、相当する数値分の個数の単位電流源をオン状態にして出力するものである。〈2・1〉 **バイナリ型 DA 変換器**

N ビットのデジタル入力の各ビットを D_1, D_2, D_N とすると、出力電圧 V_o は以下の式で表される。

$$V_o = V_{FS} \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_N}{2^N} \right) \quad (1)$$

これは 2 進の重み付けされた電圧源を用意し、入力デジタル信号の各ビットで加算するものである。バイナリ型は素子数が最小であるため、小型化が可能である。しかし、バイナリ型 DA 変換器はコードの切り替えの際に、グリッチ (ノイズ) が発生してしまう。また高位ビットにミスがあると当然ながら大きな誤差を生じてしまい直線性を損ない易い。このため影響を少なくするため下位ビットにバイナリ型、上位に影響の小さいユナリ方を用いるのである。

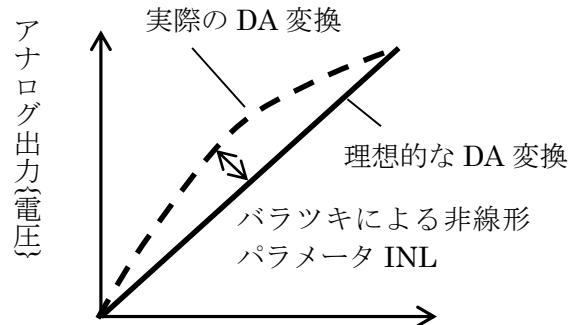


図 デジタル入力 (8bit では 0-255)

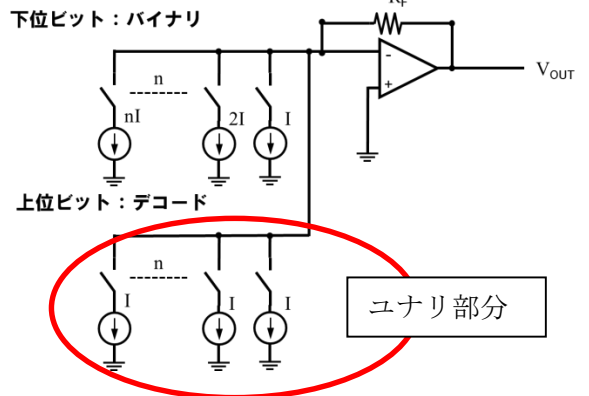


図 1 セグメント型 DA 変換器

<2.2> ユナリ型 DA 変換器

ユナリ型は、最小単位の電流を $2^N - 1$ 個用意し、デジタル値と同数の単位電流の加算をすることで DA 変換を実現する。2 進データをデコードし、そのデジタルデータ（温度計コード）に応じた単位要素分の電流源を ON にすることで、アナログ信号に直すものである。（電流は抵抗を介せば電圧になる。）

ユナリ型は、素子のミスマッチがあっても、バイナリ型と比べて出力信号への影響が少ないため、上位ビットに用いるが、素子数が多くなってしまふ、という欠点がある。さらに、高線形性の DA 変換器を実現しようとするデコードの単位セル（図 2 の S1,S2,・・・の単位電流 I）間の相対ミスマッチ（ばらつき）が問題になる。そこでこの影響を軽減するレイアウト技術として魔方陣を用いようという訳である。

3. 素子特性の製造ばらつき

回路を構成している素子は IC チップ上で特性の製造ばらつきが生じる。それらのばらつきは配置（場所）によるシステムティックなばらつきと、配置に依存しないランダムなばらつきが存在する。このため、DA 変換器の入力信号と出力信号は、本来であれば線形関係にあるはずなのが、非線形になってしまう。

- 1) システムティックなばらつき（これを低減するのが目的。）
 - ・配線での電圧降下・温度分布・CMOS の製造プロセス
 - ・ウェハ面内の精度・機械的ストレス（歪み）
- 2) ランダムなばらつき（これは低減できない。）
 - ・デバイスのミスマッチ

ウェハ面上のシステムティックなばらつきは、配置による一次と二次のばらつきでモデル化できる。DA 変換器を構成する電流源のばらつきを図 3、4、に示した。(x, y) をその素子のチップ上での位置の座標とすると 以下の式で表される。この位置座標は図 2 のマトリックス素子の物理的位置に対応している。

- 1) 一次ばらつきは平面的なもので、(図 3)

$$\varepsilon_l(x, y) = g_l \cdot \cos \theta \cdot x + g_l \cdot \sin \theta \cdot y \quad (3)$$

ここに θ : 平面の傾きの角度, g_l : ばらつきの大きさパラメータ

- 2) 二次ばらつきは放物曲面的なもので、(図 4)

$$\varepsilon_q(x, y) = g_q \cdot (x^2 + y^2) - a_0 \quad (4)$$

ここに、 g_q : 変化量, a_0 : シフト量

- 3) 一次+二次はそれらの和 (図 3 と図 4 の和)

$$(x, y) = \varepsilon_l(x, y) + \varepsilon_q(x, y) \quad (5)$$

である。システムティックなばらつきは、回路のレイアウト技術により緩和できることが知っている。従来の軽減方法として一種の乱数である酔歩(random walk) がある。魔方陣で低減する原理とは、図 2 の規則正しい配列ではウェハ上の系統的なばらつきの影響がストレートに現れるのを、素子をランダムに並べ変えることにより、ばらつきを相殺しようというものである。

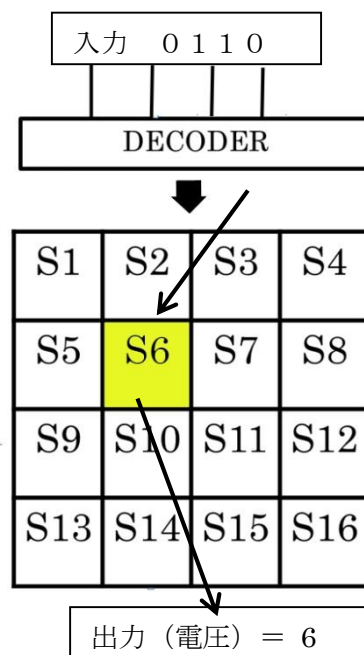


図 2 デコードと素子の配置 ユナリ部分の動作

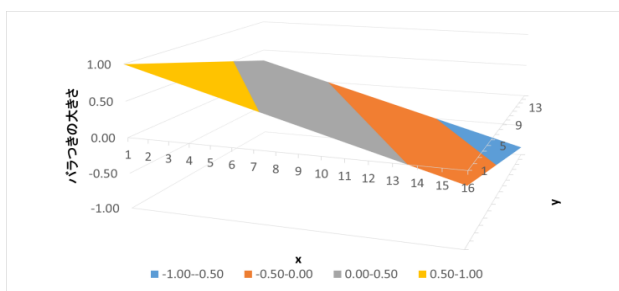


図 3 一次バラツキ分布

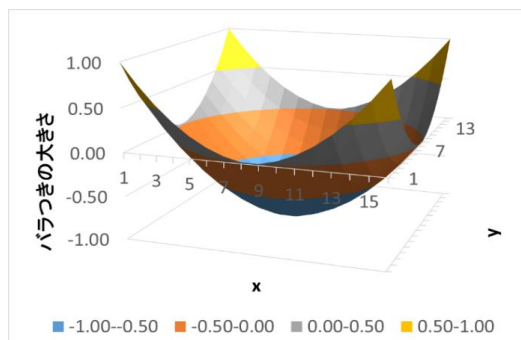


図 4 二次バラツキ分布

4. 魔方陣

〈4・1〉 魔方陣の性質と作り方

一般 $n \times n$ である魔方陣を n 次方陣と呼ぶ。また、 n 次方陣の各行、列、対角線上の要素の和 S は、以下の式で表される。

$$\text{定和 } S = \frac{n^2(n^2+1)}{2} \quad (6)$$

回転移動及び裏返しを行っても、定和性は満たされる。例えば、図 8 の(1)の 3 次方陣の中心の周りを左に 90° 回転すると(2)が得られるが、定和性が失われない。 90° 回転や裏返しの定和性は自明であろう。

2	9	4
7	5	3
6	1	8

4	3	8
9	5	1
2	7	6

(1) (2)
図 8 魔方陣を左 90° 回転したときの定和性

魔方陣は、西洋だけでなく関孝和や建部賢弘などの和算家も研究したテーマであり、各種の作り方がある。ここでは n 進数を用いる一般的な魔方陣の作り方を示す。例えば 5 次方陣を作るときは、5 進法を用いる。5 進法で $1 \sim 25$ を表すと、 $1 = 01, 2 = 02, 3 = 03, 4 = 04, 5 = 05, 6 = 10, \dots, 21 = 41, 22 = 42, 23 = 43, 24 = 44, 25 = 100$ である。25 だけが 3 桁なので、各数から 1 を引き $00 \sim 44$ までの 2 桁で、 $1 \sim 25$ を表す。そして、 $0 \sim 4$ の数を用いて上位桁と下位桁の二種類の方陣をつくる。これを補助方陣と呼ぶ。図 9 に上位桁と下位桁の補助方陣を示した。

4	2	3	0	1
1	3	0	4	2
0	1	2	3	4
2	0	4	1	3
3	4	1	2	0

4	3	0	2	1
2	1	3	0	4
1	0	2	4	3
0	4	1	3	2
3	2	4	1	0

上位桁 下位桁
図 9 補助方陣の作成



25	14	16	3	7
8	17	4	21	15
2	6	13	20	24
11	5	22	9	18
19	23	10	12	1

図 10 5 次方陣

これらの補助方陣を重ね合わせ、全てのマス目に 1 を足す事により、5 次方陣が完成する。ただし、補助方陣同士の数字が 2 度以上重ならないようにしなければならない。この数字が重ならない関係を直交関係と言う。完成した 5 次方陣を図 10 に示した。

〈4・2〉 魔方陣の種類・特徴

魔方陣には様々な種類が存在する。以下に本解析で利用した 8 次の魔方陣を示す。用いた魔方陣は同心魔方陣及び対称魔方陣である。また、魔方陣によっては、ある特別な特徴を持っているものも存在する。

1) 同心魔方陣と対称魔方陣

同心魔方陣は、魔方陣の外側からひと側ずつ取り除いていっても、残る部分が常に定和性を失わないものである。解析で用いた 8 次の同心魔方陣を図 11 に示す。この方陣を 4 つ組み合わせることにより、8bit のセグメント型 DA 変換器を実現する。

59	5	4	62	63	1	8	58
9	18	17	49	50	42	19	56
55	20	28	33	29	40	45	10
54	44	38	31	35	26	21	11
12	43	39	30	34	27	22	53
13	24	25	36	32	37	41	52
51	46	48	16	15	23	47	14
7	60	61	3	2	64	57	6

図 11 8次同心魔方陣

1	63	62	4	5	59	58	8
56	10	11	53	52	14	15	49
48	18	19	45	44	22	23	41
25	39	38	28	29	35	34	32
33	31	30	36	37	27	26	40
24	42	43	21	20	46	47	17
16	50	51	13	12	54	55	9
57	7	6	60	61	3	2	64

図 12 8次対称魔方陣

対称魔方陣は、中心に関して対象の位置にある2数の和が全て $n^2 + 1$ になっている方陣である。図12に解析に用いた8次対称魔方陣を示した。この対称魔方陣には以下のような性質がある。

- 16に分割した16個の2x2の小正方形に含まれる4数の和は、全て130である。
- 8次方陣を16個のサブ方陣に分解するとき、各サブ方陣に含まれる数の和は全て130である。対角線上を除いて各行列は定和130を満たす。

5. 同心魔方陣による解析と考察

〈5・1〉同心魔方陣を用いたアルゴリズム

8 bit は256段階の数値であり、これを $8 \times 8 = 64$ の魔方陣素子では直接表し切れないので4組用意し、図13に示す組み合わせ方で、8bitセグメント型DA変換器のレイアウトを構成する。ただし、Aは図11の魔方陣で、Bは左に90°回転させたものである。

スイッチングする順序は以下の通りである。

- 1.A1の1 2.A2の1 3.B1の1 4.B2の1
5.A1の2 6.A2の2 7.B1の2 8.B2の2 . . .

以下同様にして 続き、末尾は

253. A1の256 254. A2の256 255. B1の256 256. B2の256 で終わる。

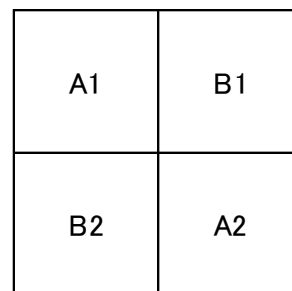


図 13 8次同心魔方陣を4個用いたアルゴリズム

規則的にスイッチングした場合は、図2のような規則的な順番でスイッチングを行なう。

〈5・2〉解析結果と考察

1) 一次の平面型ばらつき

最大値は、 ± 1 になるように設定し、角度 θ のみを変化させて、そのときのINL(積分非直線性)の変化を調べた(図14, 図15)。一次のばらつきでは、Random Walkよりも同心魔方陣を用いたアルゴリズムの方が、ばらつきを軽減できることが分かる。

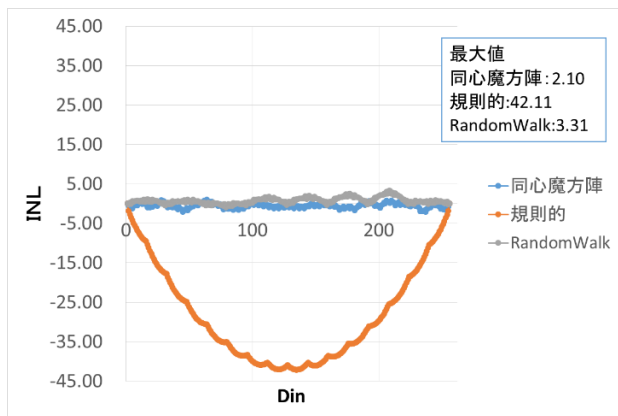


図 14 $\theta = 30^\circ$ の時の INL シミュレーション結果

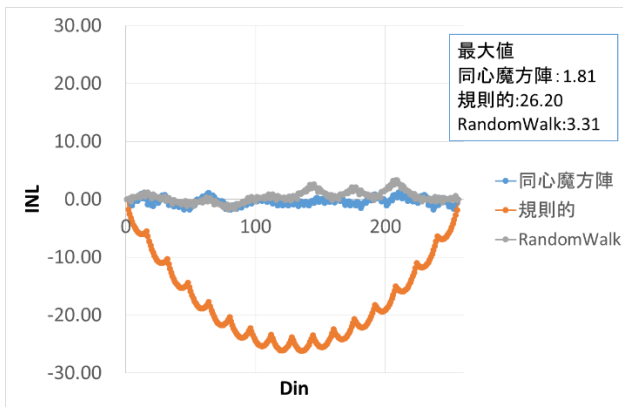


図 16 $\theta = 60^\circ$ の時の INL シミュレーション結果

- 2) 二次の放物面型ばらつき
- 3)
- 4) 二次のばらつきでは、同心魔方陣を用いるよりも Random Walk のアルゴリズムを用いたほうが、ばらつきを軽減できた (図 17)。

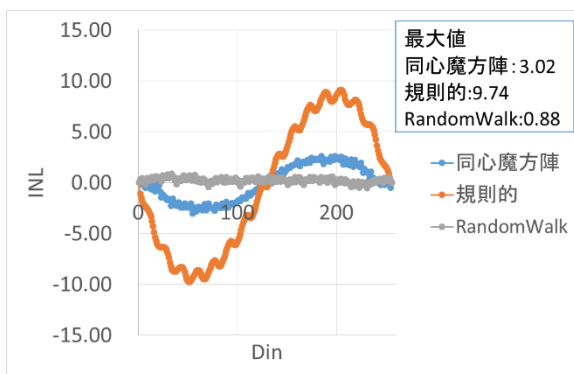


図 17 二次のばらつきのシミュレーション結果

- 5) 一次+二次のばらつき
- 一次のほうが二次よりも、ばらつきが大きい時、(一次 > 二次)

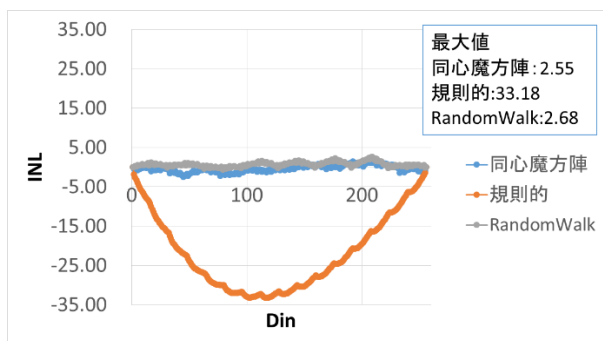


図 19 一次の方が二次より大きい場合の解析結果

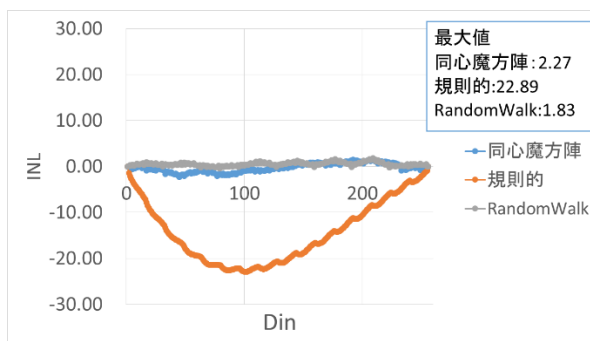


図 21 二次の方が一次より大きい場合の解析結果

これらの結果より、一次の方が大きい場合は同心魔方陣のアルゴリズムが適しており、二次の方が大きい場合は Random Walk が適していると分かった。そこで同心魔方陣よりも擬似乱性の高い魔方陣を作ればよいのではないかと考えた。そこで対称魔方陣を用いたアルゴリズムも検討した。

6. 対称魔方陣による解析と考察

紙面の都合で詳細は省略するが、結果は同心魔方陣の結果とよく似ている。ただし、同心魔方陣の時と比べ、二次のばらつきを大幅に軽減することができた。しかし、同心魔方陣は対角線上に次の電流源を選択する特長があったことから、一次のばらつきに対しては、同心魔方陣のほうが優位であった。一次および二次をキャンセルするには、対角線上に存在する電流源を選択し、かつ乱数性をもたせることが、システムティックなばらつきをキャンセルする方法なのではないかと考えられる。今の所、Random Walk よりもばらつきを軽減できていないため、さらに検討が必要である。

謝辞： 本原稿を見ていただきました田部井勝稲先生に感謝します。

【参考文献】

関連発表論文

- (1) 東野将史、小林春夫, "セグメント型 DA 変換器の魔方陣レイアウト技術による線形性向上", 電気学会 電子回路研究会, 秋田 (2014 年 10 月)
- (2) 東野将史, シャイフルモヤー, 小林春夫 「ユナリ型 DA 変換器線形性向上のための電流源並び替え魔方陣アルゴリズム」 電気学会 電子回路研究会 ECT-15-062 横須賀 (2015 年 7 月)
- (3) Masashi Higashino, Shaiful Nizam Bin Mohyar, Haruo Kobasashi, "DAC Linearity Improvement Algorithm With Unit Cell Sorting Based on Magic Square", IEEE International Symposium on VLSI Design, Automation and Test, Hsinchu, Taiwan (April 2016)
- (4) Dan Yao, Yifei Sun, Masashi Higashino, Shaiful Nizam Mohyar, Tomonori Yanagida, Takuya Arafune, Nobukazu Tsukiji, Haruo Kobayashi, "DAC Linearity Improvement with Layout Technique Using Magic and Latin Squares," IEEE International Symposium on Intelligent Signal Processing and Communication Systems, Xiamen, China (Nov. 2017).

魔方陣

- (1) 大森清美「魔方陣の世界」, 日本評論社 (2013 年 8 月).
- (2) 佐藤肇「幾何学の魔術-魔方陣から現代数学」, 日本評論社 (2002 年 2 月).
- (3) 平山諦、阿部楽方「方陣の研究」大阪教育図書(1983 年 8 月)

DA 変換器とレイアウトによる線形性向上技術

- (1) Xueqing Li, Qi Wei, Fei Qiao, Huazhong Yang, "Balanced Switching Schemes for Gradient-Error Compensation in Current-Steering DACs", IEICE Trans. Electron, vol.E95-C, no.11, pp.1790-1798 (Nov. 2012)
- (2) Yonghua Cong, Randall L. Geiger, "Switching Sequence Optimization for Gradient Error Compensation in Thermometer-Decoded DAC Arrays", IEEE Trans. Circuits and Systems II, vol.47, no.7 pp.585-595 (July 2000)
- (3) Geert A.M. Van der Plas, Jan Vandenbussche, Willy Sansen, Michel S.J. Steyaert, Georges G.E. Gielen, "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC", IEEE Journal of Solid-State Circuits, vol.34, no.12, pp.1708-1718 (Dec. 1999).
- (4) Ko-Chi Kuo, Chi-Wei Wu, "A Switching Sequence for Gradient Error Compensation in the DAC Design", IEEE Trans. Circuits and Systems II, vol.58, no.8 pp.502-506 (Aug 2011).
- (5) Takahiro Miki, Yasuyuki Nakamura, Masao Nakaya, Sotoju Asai, Youichi Akasaka, Yasutaka Horiba: "An 80-MHz 8-bit CMOS D/A Converter", IEEE Journal of Solid-State Circuits, vol.21, no.6 pp.983-988 (Dec. 1986).
- (6) 谷口研二、「CMOS アナログ入門」, CQ 出版社 (2011 年 6 月)