

90nm NMOSFETの速度飽和パラメータ新抽出方法

高橋莉乃, 青木均, 築地伸和, 東野将史, 澁谷将平, 栗原圭汰, 小林春夫

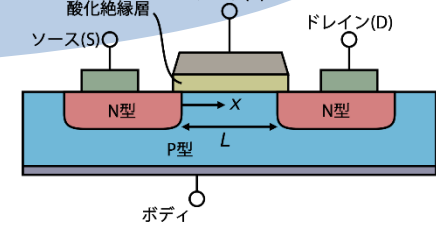
群馬大学

帝京平成大学

モデリング

研究目的

トランジスタモデリング



正しい回路シミュレーション

試作の回数を減らす

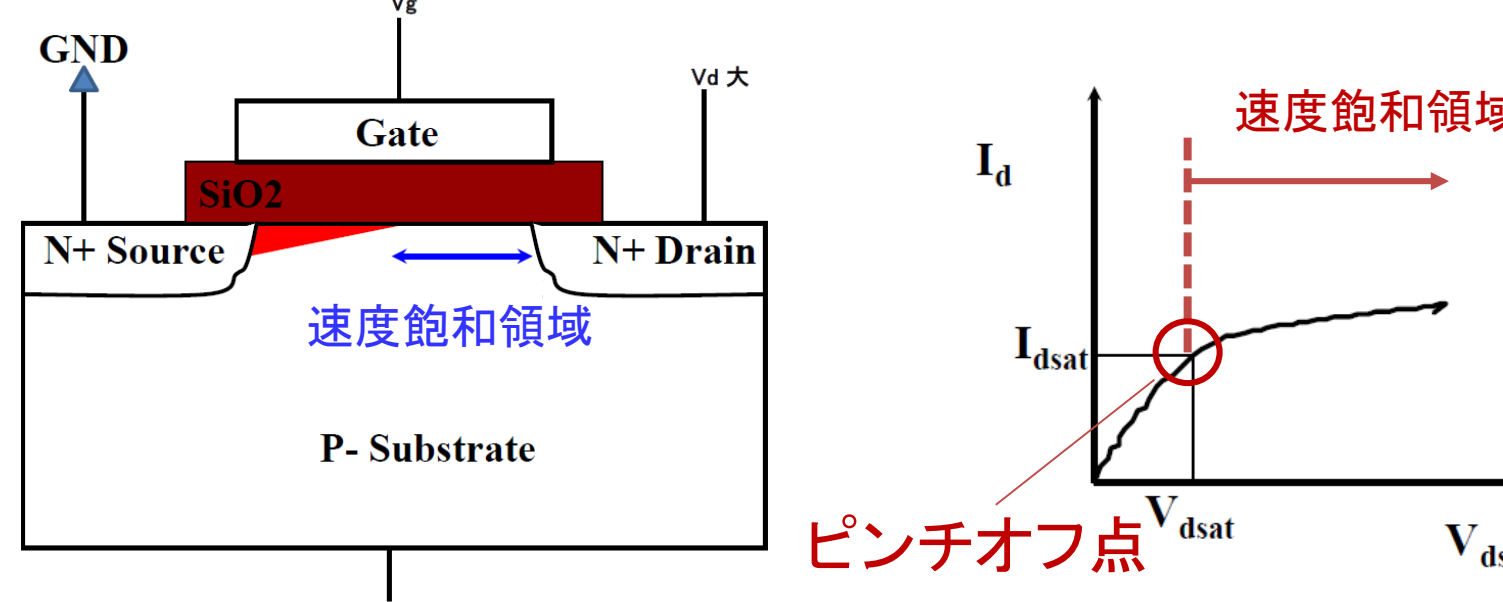
コスト削減・開発時間の短縮

飽和速度 v_{sat} とは

トランジスタにかかる電界が非常に高くなり、キャリアの移動速度が限界に達したときの速度。

キーパラメータにも関わらずモデルが無い

物理モデル的な抽出法を考案



経験的にあたりをつけてフィッティング

- 時間がかかる
 - 収束が難しい
- v_{sat} の最適化が必要になる

速度飽和の v_{sat} の物理的導出法

正しい値を効率よく求められる

速度飽和抽出の流れ

v_{sat} 式の検討

BSIM4モデルより v_{sat} についての式を導出

必要なパラメータを抽出

v_{sat} 値を測定データと比較検討

モデル式を再度検討

v_{sat} 値を測定データと再度比較検討

BSIM4モデルより

$$V_{ds,sat} = \frac{V_{gst}}{A_{bulk}}$$

$$I_{ds,sat} = \frac{W_{eff}}{L_{eff}} \mu_{eff} C_{ox} \left[V_{gst} \cdot V_{ds} - \frac{1}{2} A_{bulk} V_{ds}^2 \right]$$

内部変数 A_{bulk} は

$$A_{bulk} = \left(1 + \left(\frac{K_1}{2\sqrt{\phi_s - V_{bs}}} \right) \left\{ \frac{A_0 L_{eff}}{L_{eff} + 2\sqrt{N_j} X_{dep}} \left[1 - A_{gs} V_{gst} \left(\frac{L_{eff}}{L_{eff} + 2\sqrt{N_j} X_{dep}} \right)^2 \right] + \frac{B_0}{W_{eff} + B_1} \right\} \right) \frac{1}{1 + K_{ETA} V_{bs}}$$

A_{bulk} は L_{eff} が 90nm より小さいとき "1" に近似できる

飽和ドレイン電流の式は

$$I_{ds,sat} = W_{eff} C_{ox} (V_{gst} - A_{bulk} V_{ds,sat}) v_{sat}$$

$$V_{gst} = V_{gs} - V_{th}$$

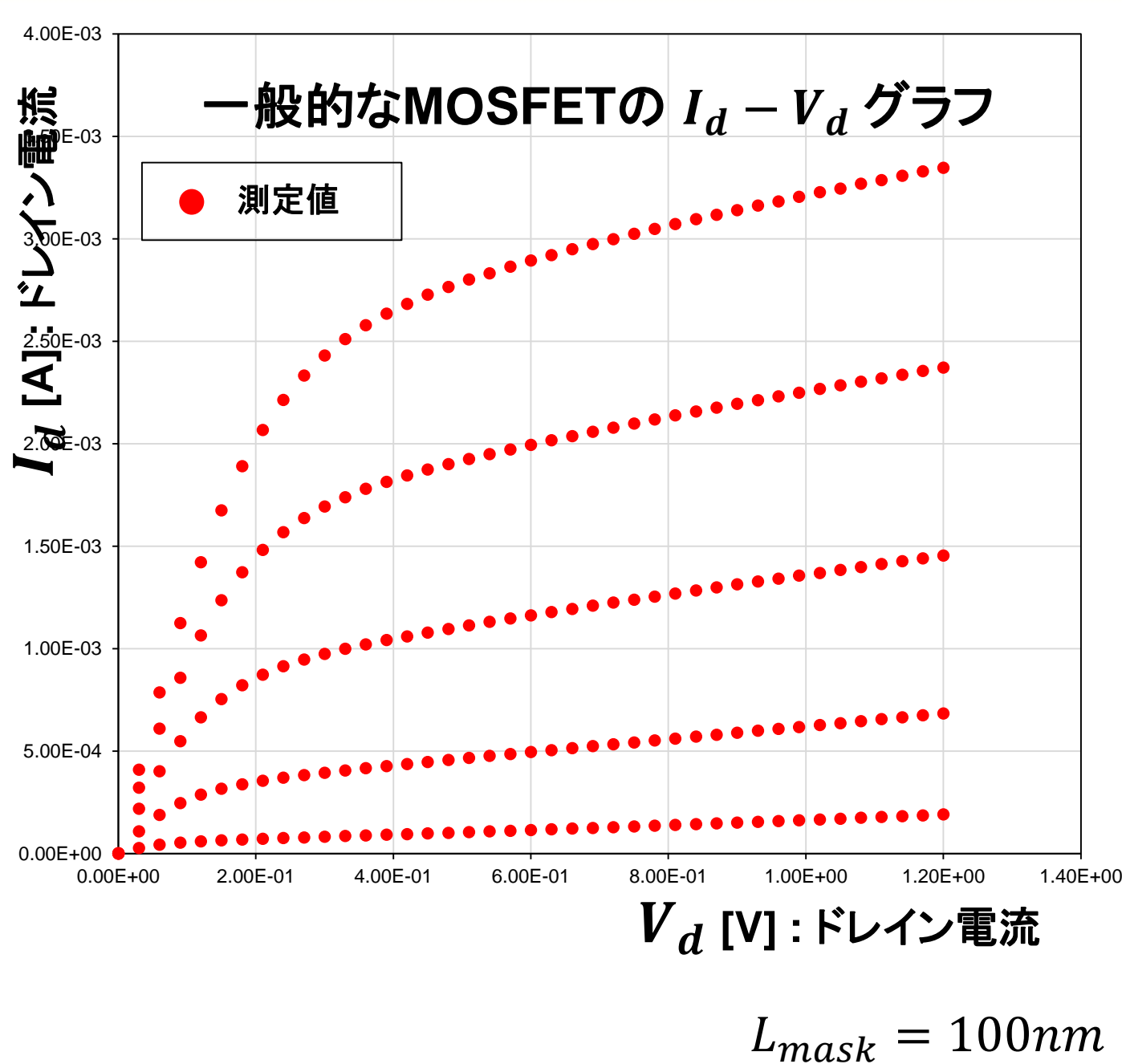
飽和速度 v_{sat} ($L_{eff} < 90nm$) は

$$v_{sat} = \frac{I_{ds,sat}}{W_{eff} C_{ox} (V_{gst} - V_{ds,sat})} \quad (\because A_{bulk} \approx 1)$$

BSIM4: Berkeley Short-channel IGFET Model

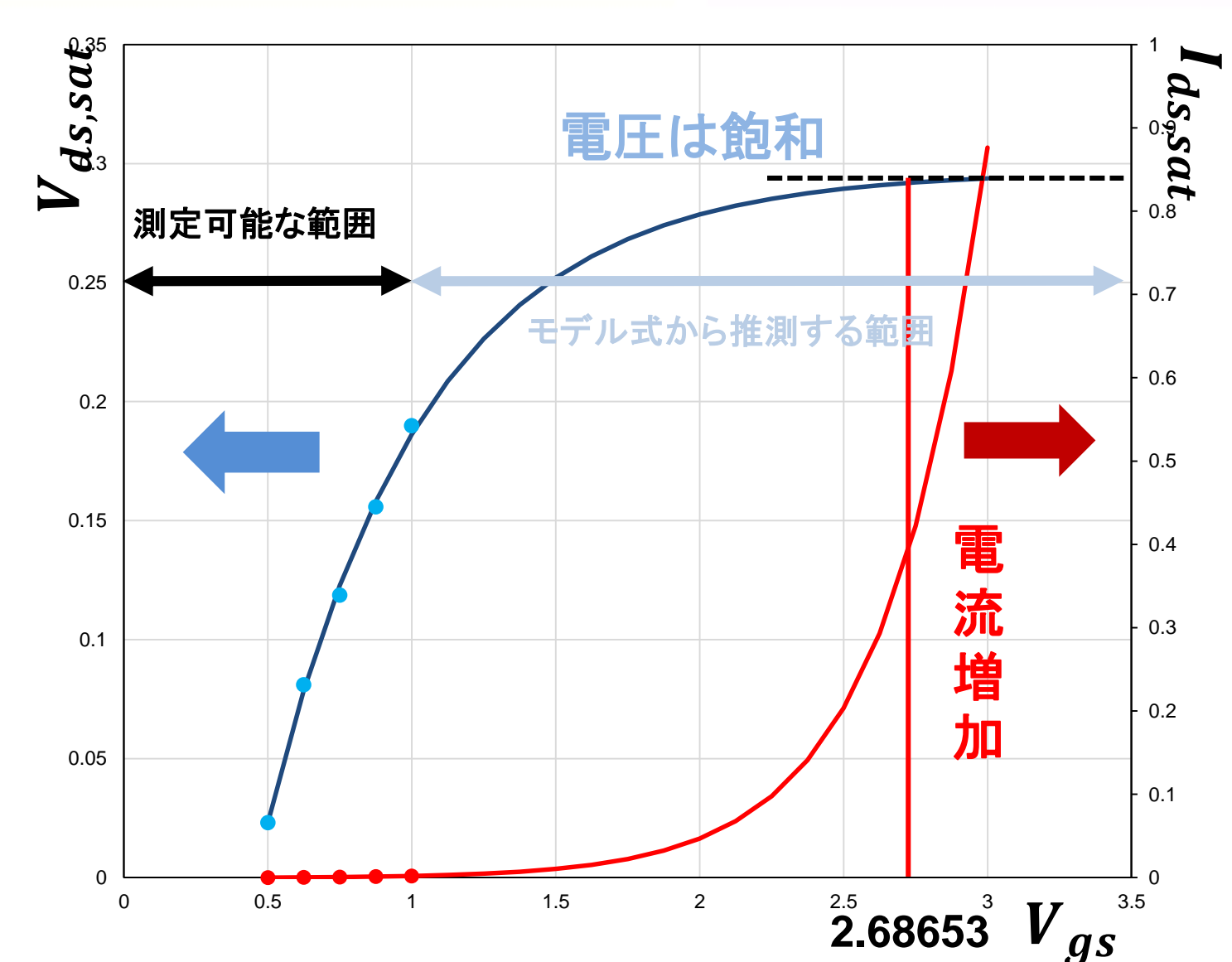
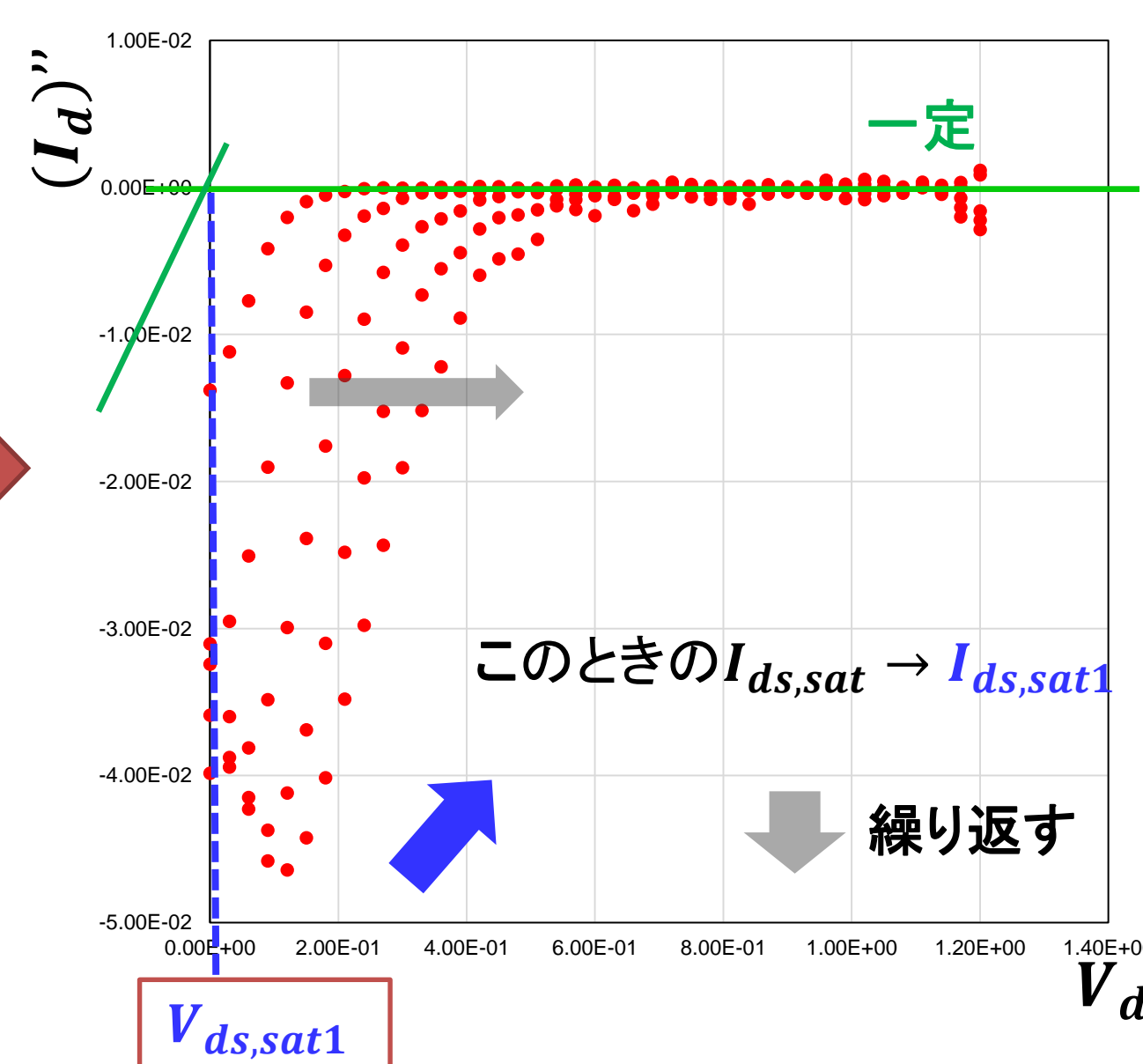
Proposed Model

抽出方法のフローチャート



二階微分

$$\frac{d^2 I_d}{dV_d^2}$$



直列抵抗による補正

v_{sat} 抽出結果との比較

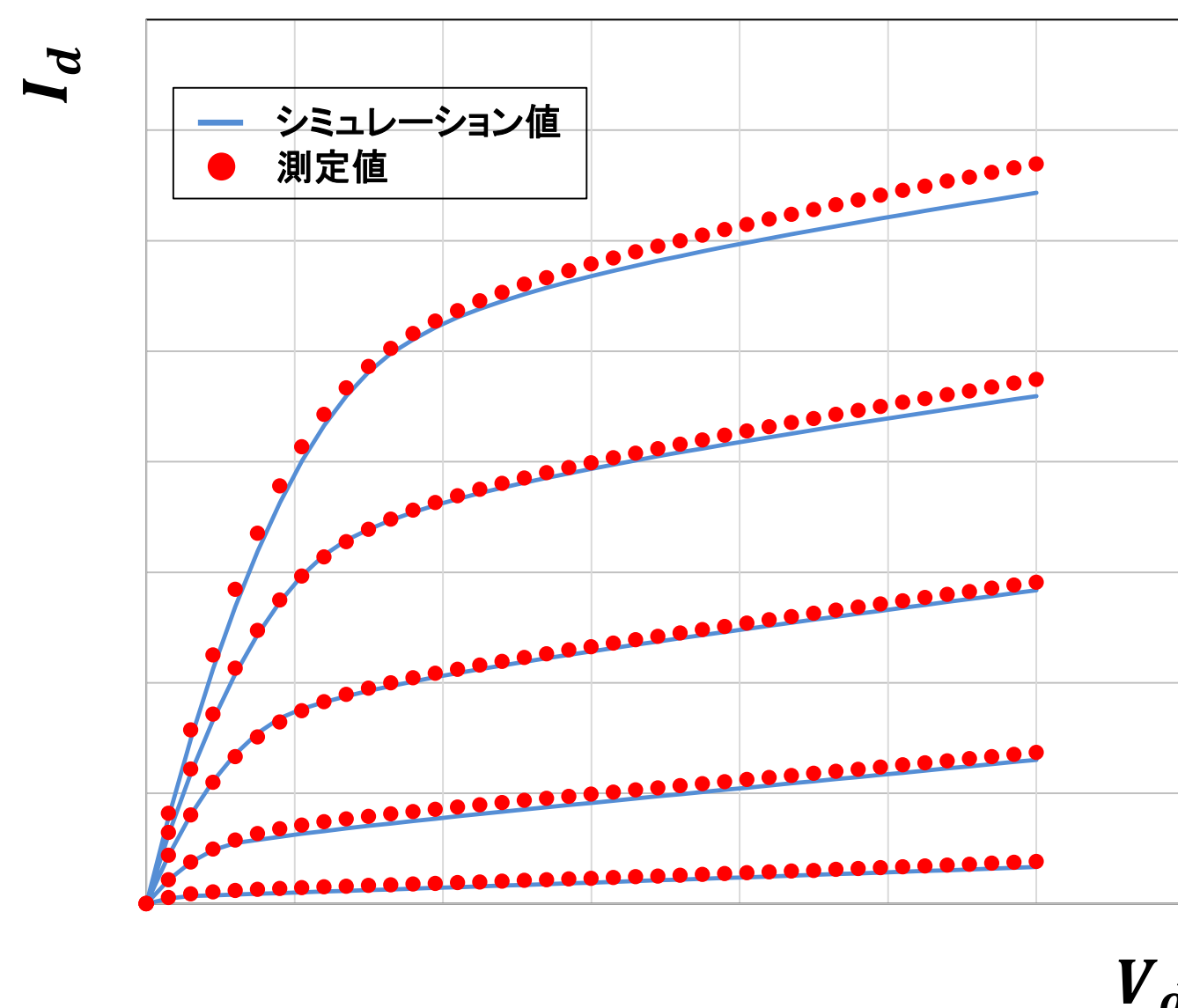
BSIM4モデルより

$$V_{ds,sat,new} = V_{ds,sat} - \left(\frac{R_{DSW} \cdot W_{eff} \cdot 100 + R_X}{L_{DD} \text{の拡散抵抗成分}} \right) \cdot I_{ds,sat}$$

ソース・ドレインの合計接触抵抗

v_{sat} を再計算

$$v_{sat} = \frac{I_{ds,sat}}{W_{eff} C_{ox} (V_{gst} - V_{ds,sat,new})}$$



物理モデル的な方法で v_{sat} を抽出可能に

まとめ

- 速度飽和のパラメータ v_{sat} に着目。
- BSIM4のモデル式から v_{sat} の式を導出。
- $V_{ds,sat}$ のピークから v_{sat} を抽出。
- 直列抵抗による影響を考慮。
- 近似のパラメータを用いて v_{sat} を抽出。

近年のプロセスデバイスで応用可能
他の多くの電界効果トランジスタで利用可能

引用文献

- [1] R. J. Schreutelkamp, L. Deform, "A New Method for Measuring the Saturation Velocity of Submicron CMOS Transistors", Solid-State Electronics, vol. 38, no. 4, pp.791-793 (April 1995)
- [2] R. Takahashi, H.Aoki, N. Tsukiji, M.Higashino, S. Shibuya, K. Kurihara, H. Kobayashi, "Velocity Saturation Calculations for 90nm MOSFET Modeling in Saturation Regions", 8th International Conference on Advanced Micro-Device Engineering, Kiryu (Dec. 2016).
- [3] BSIM4 : <http://bsim.berkeley.edu/models/bsim4/latest-release/>
- [4] H Aoki, M. Shimasue, Y. Kawahara, CMOS Modeling Technology, Theory and Practice of Compact Model for SPICE, Maruzen (Jan 2006).

Introduction

Simulation Result