

電力変換効率曲線を用いた降圧型 DC/DC スイッチング電源 の寄生回路素子推定

櫻井 翔太郎* 築地 伸和
小堀 康功 小林 春夫 (群馬大学)

Circuit Component Estimation in Buck Converter Using Efficiency Curve
Shotaro Sakurai*, Nobukazu Tsukiji,
Yasunori Kobori, Haruo Kobayashi, (Gunma University)

This paper proposes an estimation method of the circuit component values in the power stage of the buck converter. The proposed method uses fitting of its measured power conversion efficiency curve to its theoretical loss equations. We present their theoretical foundations and verifications with the actual circuit measurement.

キーワード : スイッチングコンバータ, 電力効率, DC/DC コンバータ, 回路定数推定
(Keywords, Switching Converter, Power Efficiency, DC/DC Converter, Circuit Parameter Estimation,)

1. はじめに

電圧モードまたは電流モードを用いる DC/DC 電源回路の位相補償設計にはパワーステージの寄生回路素子値が必要であるが、実装済みの電源からそれらを測定することは難しい。本論文では、測定された電力変換効率曲線及び、DC/DC スイッチング電源回路で発生する損失の理論式から、パワーステージの寄生回路素子定数を推定する手法を提案する。さらに、実装回路を用いて回路素子値の測定を行い、推定値と実測値が等しいことを検証した。

2. 概要

DC/DC 電源回路(コンバータ)は、直流電圧を降圧または昇圧変換する回路である。近年、高周波でスイッチングすることで、電源回路の実装面積を小さくした製品が主流となっており、電子機器等で広く使用されている[1]-[3]。スイッチング電源は、出力電圧やインダクタ電流を帰還するフィードバック制御を用いている。したがって、電源回路の安定性を保つためには、最適な位相補償回路の設計が重要であり、一巡伝達関数の位相余裕が充分でない場合は出力が振動してしまう恐れがある。一般的にコンバータの位相補償は、誤差増幅器段(エラーアンプ)で行う。

図 1 に電圧モードの同期整流方式降圧型スイッチング電源の回路図を示す。点線で囲った箇所が出力の安定性を保つための位相補償回路である。最適な位相補償回路の設計には、パワーステージに用いる回路素子値が重要な特性と

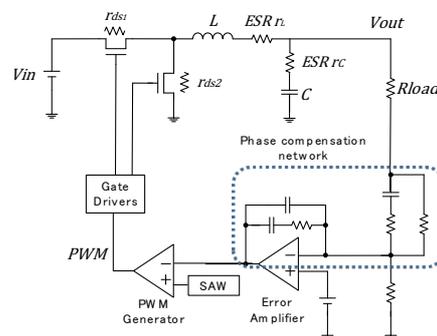


図 1 電圧モード同期整流式降圧型スイッチング電源
Fig. 1 Voltage mode synchronous switching buck regulator.

なる。しかし、スイッチング素子である MOSFET の導通抵抗値、インダクタや出力コンデンサの等価直列抵抗 ESR などは値が非常に小さく、電源回路に実装された状態ではこれらの値を正確に測定するのは難しい。

本研究では、降圧型 DC/DC コンバータから測定された効率カーブを用いて各損失の理論式から用いられている回路素子を逆算し、回路素子値とパワーステージの伝達関数を推定できることを検討した。

3. 伝達関数と安定性

負帰還回路の原理を、ブロック図で図 2 に示す。Aは増幅量、 β は帰還量であり、 $A\beta = -1$ となると回路が発振する。

発振を防ぐためには適切なゲイン位相の設計と通常は位相補償を施す必要がある。

位相補償を行うためにはパワーステージを含む伝達関数が必要となり、その一般形は次式(2)のように分母に二次式を含む。ここで、 ζ は減衰係数、 ω_n は固有角周波数である。

$$G_{ps} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (1)$$

(1)式のボード線図の振動係数の変化に伴う特性変化をボード線図で図3に示す。同図からわかるように、 ω_n の周波数 f_n 付近で位相が急激に回り、結局 180° 遅れる。ここで振動係数 ζ は値が小さいほど、ゲインの共振ピークが大きくなり、位相の回転が急峻になっていく。このように、 ζ は二次特性を大きく左右するパラメータであるために位相補償を行う際に重要である。この ζ はコンバータのパワーステージでの各回路素子値に依存する。それらの抵抗値は負荷抵抗値に比較して非常に小さく、電源回路に実装された状態で正確に測定するのは困難である。

4. 損失と電力変換効率

電源回路の効率 η は、次式(2)で表せる。つまり、効率は入力電力に対する出力電力の比であり、入力電力は出力電力と損失の和で表される。

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out} + P_{loss}} = \frac{V_{out} \cdot I_o}{V_{out} \cdot I_o + P_{loss}} \quad (2)$$

ここで、損失には負荷電流 I_o に依存するものと、依存しないものがある。これらは、一次損失、二次損失、固定損失の3つに分類することができる。本研究で考慮した各損失をそれぞれ、 P_1, P_2, P_c と表し以下に説明する [4]:

- 一次損失 P_1
スイッチング損失 P_{sw}
- 二次損失 P_2
インダクタ損失 P_L 、キャパシタ損失 P_C 、
MOSFET 導通損失 P_{cond}
- 固定損失 P_{const}
自己消費電流による損失 P_{const}

上記の全損失の総和が、DC/DC コンバータの全体損失 P_{loss} となる。

これらの損失を(1)式に代入し、負荷電流 I_o に対する効率の変化をグラフ化して図4に示す。各損失が効率に対しどのような特性を持つかわかり、一次損失は無次元で固定効率、二次損失は負に比例した効率、固定損失は反比例の効率曲線を描いていることがわかる。全体の効率曲線は、一次損失により最大効率、二次損失と固定損失によって最大効率の変曲点、二次損失によって変曲点後の効率の低下分の傾きに影響することがわかる。

図5に同期整流方式降圧形 DC/DC コンバータのパワーステージの回路図と、回路素子で発生する損失箇所を示す。

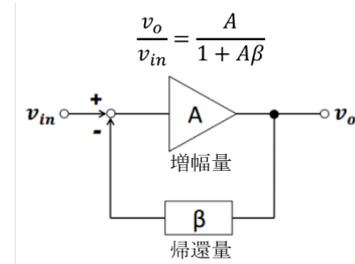


図2 負帰還回路

Fig. 2 Negative Feedback Circuit.

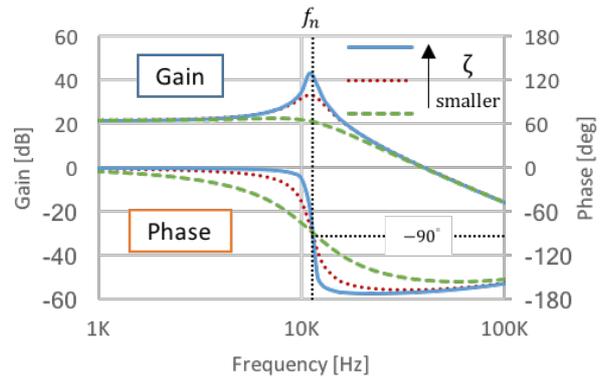
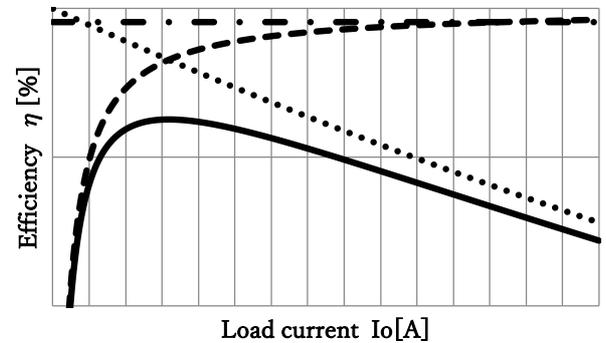


図3 二次振動系のボード線図

Fig. 3 Bode plots of a second-order transfer function.



- • First loss efficiency ••••• Second loss efficiency
- - - Constant loss efficiency — Efficiency

図4 各損失が効率に与える影響

Fig. 4 Effect of each loss to DC/DC converter efficiency.

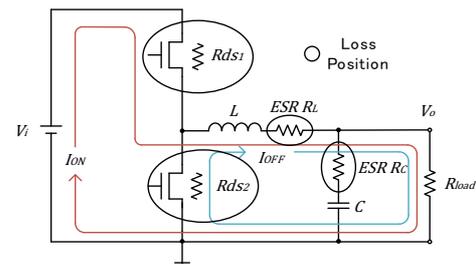


図5 パワーステージの損失解析

Fig. 5 Loss analysis of the power stage.

以下に個々の損失を解明する。

1) 一次損失 P_1

- ・ スイッチング損失 P_{sw}

スイッチング損失は、MOSFET、ダイオードがオン/オフの状態遷移が（ゼロではなく）有限時間のため発生する。図6に概念図で説明すると、例えば ΔT_{on} の時間をかけてスイッチング素子にかかっている電圧が V_{in} から 0V まで降下し、スイッチング素子に流れる電流が 0A から I_o までに上昇する時、また ΔT_{off} の時間をかけて逆の動作をする時を考えると、それぞれの短時間にかかる電圧と電流の積が電力でありスイッチング損失となる。

以上の範囲を積分すると、次式となる[5]-[7].

$$P_{sw} = \frac{1}{2} f_{sw} V_o I_o (T_{on} + T_{off}) \quad (3)$$

2) 二次損失 P_2

二次損失はインダクタ、キャパシタに寄生する等価直列抵抗 ESR(Equivalent Series Resistance)による導通損失と、MOSFET のオン抵抗による導通損失である。これらの導通損失は熱損失であり、電流の二乗に比例する。インダクタとキャパシタの各 ESR を r_L , r_C とすると、各損失は以下の通りとなる。なお、降圧型電源の場合、平均インダクタ電流は出力電流 I_o に等しい

- ・ インダクタの ESR による導通損失 P_L

$$P_L = I_o^2 * r_L. \quad (4)$$

- ・ キャパシタの ESR による導通損失 P_C

キャパシタのリプル電流は次式(5)で等価的に与えられ[7]、導通損失は次式(6)となる。

$$I_C = \frac{I_o}{V_{in}} * \sqrt{[V_o(V_{in} - V_o)]}. \quad (5)$$

$$P_C = I_C^2 * r_C. \quad (6)$$

- ・ MOSFET のオン抵抗による導通損失

本損失はハイサイドとローサイドの両 MOSFET のオン抵抗によって消費される電力であり、図7に概念を示す。電流連続モード時に両 MOSFET に導通する電流は交互にスイッチングされる。導通損失は MOSFET のオン抵抗と、電源回路全体の ON 時間、OFF 時間に流れるインダクタのリプル電流(図7: I_{ON} , I_{OFF})からなる。平均電流を I_o 、リプル電流を ΔI とした時、両 MOSFET のオン抵抗 R_{ds1} による損失 P_{cond1} は、それぞれ次式のように表せる。

$$P_{cond1} = \frac{V_o}{V_{in}} * \left(I_o^2 + \frac{\Delta I^2}{12} \right) * R_{ds1} \quad (7)$$

$$P_{cond2} = \left(1 - \frac{V_o}{V_{in}} \right) * \left(I_o^2 + \frac{\Delta I^2}{12} \right) * R_{ds2} \quad (8)$$

MOSFET の損失 P_{cond} は、(7)(8)式の和で与えられる。リプル電流 ΔI は、一般的に出力電流 I_o の 30%未満に設定するので、 $\Delta I^2/12$ の項を無視すると、次式(9)を得る[5]-[7].

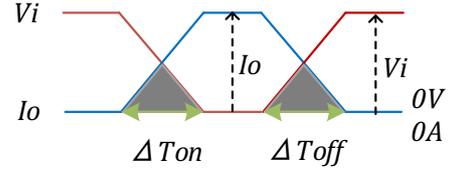


図6 スイッチング損失
Fig. 6 Switching loss.

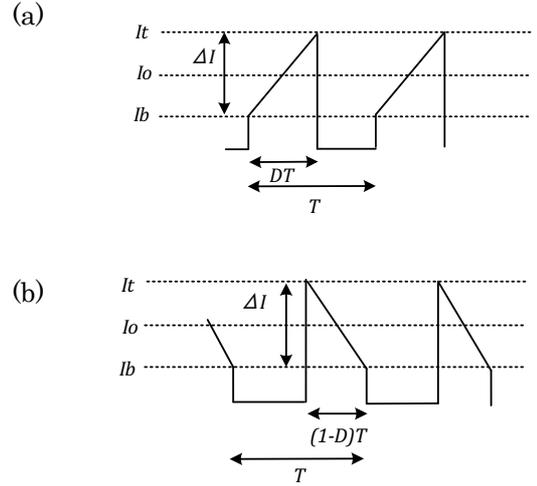


図7 MOSFET の導通電流波形

(a) ハイサイド MOSFET, (b)ローサイド MOSFET

Fig.7 MOSFET conduction current waves [6].

(a) High-side MOSFET, (b) Low-side MOSFET

$$P_{cond} = I_o^2 * \left[\frac{V_o}{V_{in}} * (R_{ds1} - R_{ds2}) + R_{ds2} \right] \quad (9)$$

3) 固定損失 P_{const}

制御部の回路電流による損失を主とし、それを固定損失のパラメータとして計算する。

以上において、インダクタのコアで発生するヒステリシス損失や渦電流損失等は出力電流に依存するが、一般に損失量が非常に小さいので無視した。

以上が本論文で計算する損失のパラメータで、各損失と全損失は次式のようなになる。

$$P_2 = P_{MOS} + P_L + P_C = K_2 * I_o^2$$

$$P_1 = P_{sw} = K_1 * I_o \quad (10)$$

$$P_{const} = V_{in} * I_{IC}$$

$$P_{loss} = P_2 + P_1 + P_{const} = K_2 * I_o^2 + K_1 * I_o + P_{const} \quad (11)$$

電力変換効率は(1)式より次のようになる。

$$\eta(\Delta I_o) = \frac{V_o * I_o}{V_o * I_o + K_2 * I_o^2 + K_1 * I_o + P_{const}} \quad (12)$$

5. 回路素子値の推定方法

今回は Texas Instruments 社の同期整流方式降圧形コンバータ TPS54317 を搭載した評価基板基盤により測定した効率曲線を用いた. 測定時の固定パラメータを表1に示す [8].

表 1. 評価基板 測定パラメータ

Table 1. Measurement parameters of the evaluation board.

入力電圧 V_i	3.0V/4.0V/5.0V/6.0V
出力電圧 V_o	1.8V
スイッチング周波数 f_{sw}	550kHz
出力インダクタ L	1.5 μ H
出力キャパシタ C	200 μ F(100 μ F*2)

以上より, 測定した評価基板の複数の入力電圧における効率曲線に, 推定パラメータを変化させてその効率曲線をフィッティングさせる. このときに調整した推定パラメータは次のものである.

- ・ インダクタ ESR R_L
- ・ キャパシタ ESR R_C
- ・ MOSFET のハイ/ローサイドオン抵抗 R_{ds1}, R_{ds2}
- ・ MOSFET のターンオン/オフ時間 T_{on}, T_{off}
- ・ IC 自己消費電流 I_{IC}

以上のパラメータを変更することで電力変換効率曲線を変化させ, 測定された電力変換効率曲線に推定効率曲線にフィッティングさせる. 測定値と計算値との相対誤差を確認しながらパラメータを変化させていき, 相対誤差が小さく, 効率曲線の概形が一致した時のパラメータを回路素子推定値とする. また, 今回推定する対象となる回路素子は二次損失のみを発生させるため, 負荷電流が大きい際に実測値と計算値の傾きが同じになったら, 二次損失の値も一致するということになる. つまり相対誤差の変化が一定になった際に回路素子値が同定する. MOSFET のオン抵抗については, MOSFET に印加されるゲート-ソース間の電圧によって値が変化するため, それを考慮して各電圧で異なる値を用いたフィッティングを行う. また, ターンオン時間, オフ時間については推定素子値と直接関わるパラメータではないため, 設定した値とする.

6. 回路素子値の推定結果

各入力電圧時の電力変換効率曲線のフィッティング結果の測定値と計算値を図8に, 拡大したグラフを図9に示す. 両図において, ポイント点が実測値, 曲線が推定効率曲線である.

フィッティングの結果, 図8のように, グラフの概形はほぼ一致した. しかし, 図9の低負荷電流時の効率が少しずれている. この原因として, 測定回路による固定損失やインダクタの鉄損等の損失を考慮せずに, IC の自己消費電流のみ

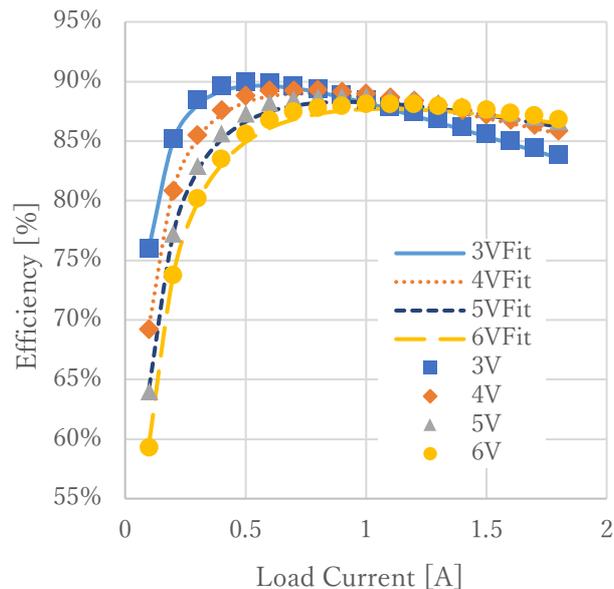


図 8 電力変換効率曲線 - 測定値と計算値

Fig. 8 Measured and calculated efficiency conversion curves.

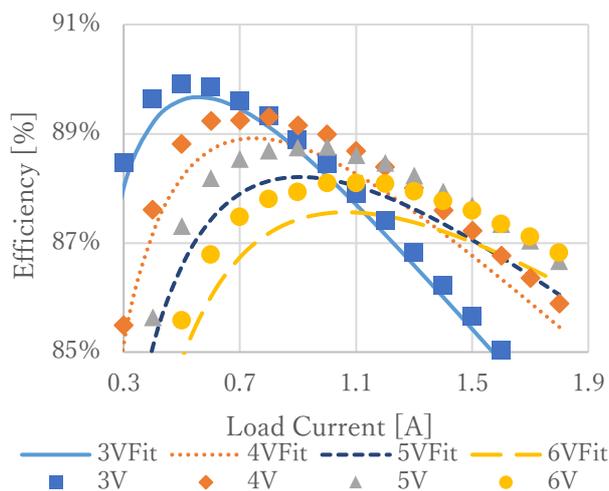


図 9 図 8 の拡大図

Fig. 9 Enlarged of Fig.8.

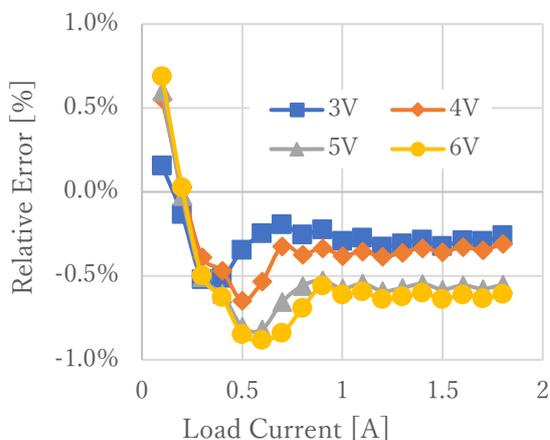


図 10 図 8 の相対誤差

Fig. 10 Relative error of Fig.8.

のパラメータで計算したために測定値にわずかの誤差が生じたと考えられる。そこで、以下に測定誤差率を相対値で検討した。測定値と計算値との相対誤差を次式(13)で定義し、そのグラフを図 10 に示す。

$$RelativeError = \frac{Calculated - Measured}{Measured} * 100. \quad (13)$$

同図より、誤差は最大でも 1%未満であり、概ねフィッティングが合っていると言える。この波形フィッティングのデータにより、回路素子値の推定パラメータとして表 2 が求まる。MOSFET のターンオン時間、ターンオフ時間については設定したパラメータである。

7. 推定結果を用いた伝達関数の検討

図 11 (a)に開ループでの降圧 DC/DC コンバータの回路、図 11 (b)に伝達関数ブロック図を示す。図 11(b)のように、パワーステージの開ループ伝達関数は、時比率(デューティ D)の変動 ΔD 、入力電圧変動 ΔV_i 、出力電流変動 ΔI_o に対する出力電圧の応答を表す伝達関数は次式(14)で表される。

$$\Delta V_o(s) = G_{dv}(s)\Delta D + G_{vv}(s)\Delta V_{in} - Z_o\Delta I_o. \quad (14)$$

本研究で用いられる位相補償を設計するために必要な伝達関数は、時比率変動 ΔD に対する伝達関数の $G_{dv}(s)$ であり、次式で表される。

$$G_{dv}(s)|_{\Delta V_i=0, \Delta I_o=0} = \frac{\Delta V_o}{\Delta D} = \frac{V_i}{P(s)} \left(1 + \frac{s}{\omega_{esr}}\right). \quad (15)$$

$$P(s) = \frac{V_i}{s^2LC + sC(r_{ds} + r_L + r_C) + 1} \quad (16)$$

ただし $r_{ds} = DR_{ds1} + D'R_{ds2}$, $\omega_{esr} = \frac{1}{Cr_C}$.

(16)式は 2 章で説明したような二次系である。伝達関数 $G_{dv}(s)$ の漸近線によるボード線図を図 11 に示し、重要なパラメータを以下の式に示す。

$$\text{振動係数} \quad \zeta = \frac{r_{ds} + r_L + r_C}{2} \sqrt{\frac{C}{L}} \quad (17)$$

$$\text{共振周波数} \quad f_n = \frac{1}{2\pi\sqrt{LC}} \quad (18)$$

$$\text{キャパシタによる} \quad \text{零点周波数} \quad f_{esr} = \frac{1}{2\pi Cr_C} \quad (19)$$

(17)式は図 3 に示したようなゲインのピークと位相の回転具合を決定する。(18)式では位相が 90 度になる周波数が決定され、(19)式ではキャパシタにより生じる零点が決定され、高周波数にて位相を 90 度に戻す役割を果たす。これらのパラメータにはパワーステージの回路定数が含まれていることから、電源回路の安定性に顕著に関わっている。

表 1 の実装基板のパラメータと、表 2 の推定回路定数の値を(15)式に代入することで計算が可能となる。

表 2. 評価基板のパラメータ推定値

Table 2. Estimated parameters of the evaluation board.

インダクタ ESR r_L	10m Ω
キャパシタ ESR r_C	1m Ω
ハイサイド MOSFET オン抵抗 R_{ds1}	30m Ω at 3V 20m Ω at 4V 15m Ω at 5V 10m Ω at 6V
ローサイド MOSFET オフ抵抗 R_{ds2}	45m Ω at 3V 30m Ω at 4V 24m Ω at 5V 20m Ω at 6V
IC 自己消費電流 I_{IC}	4.8mA at 3V 5.1mA at 4V 5.2mA at 5V 5.3mA at 6V
*MOSFET ターンオン時間 T_{on}	*2nsec
*MOSFET ターンオフ時間 T_{off}	*4nsec

*は設定したパラメータである

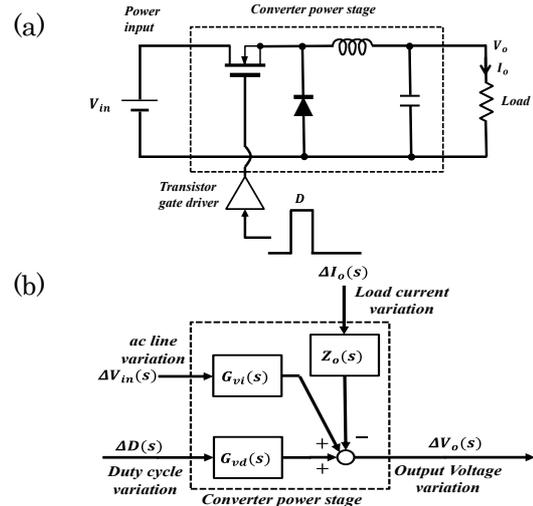


図 11 降圧コンバータの開ループシステム

(a) 開ループ回路のブロック図、

(b) 開ループ回路の伝達関数機能ブロック図

Fig. 11. Open-loop system in DC/DC buck converter.

(a) Block diagram of open loop circuit.

(b) Functional block diagram of open loop system transfer function.

表 3 に今回推定したパラメータと、(17)~(19)式の計算結果を示す。表 3 の推定値を用いた(15)式の伝達関数 G_{dv} の計算結果と、伝達関数測定装置 FRA(Frequency Response Analyzer)を用いて実測した G_{dv} の比較を行った結果、計算ピーク周波数が実測と約 5kHz ずれていた。共振周波数は既知のインダクタとキャパシタの値で決まり、今回の推定素子

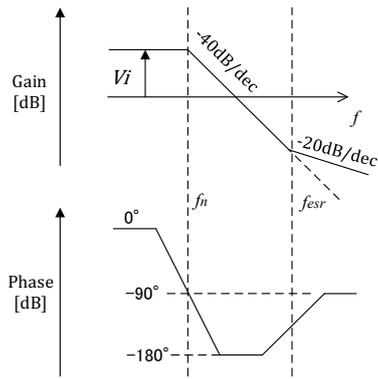


図 12 パワーステージの伝達関数のボード線図[5]

Fig. 12. Bode plot of Transfer function of the power stage [5].

表 3. パワーステージゲイン Gdv の計算パラメータ

Table.3 Calculation parameters of Gdv.

入力電圧 V_i	3.0V
出力インダクタ L	1.0uH
出力キャパシタ C	135uF
インダクタ ESR r_L	10mΩ
キャパシタ ESR r_C	1.0mΩ
ハイサイド MOSFET オン抵抗 R_{ds1}	30mΩ
ローサイド MOSFET オン抵抗 R_{ds2}	45mΩ
振動係数 ζ	0.33
LC ピーク周波数 f_n	14kHz
キャパシタによる零点周波数 f_{esr}	994kHz

と関わりが小さいことより、これらの値のみを 0.67 倍に調整して実測値の共振周波数と合致させた。その伝達特性の推定値と測定値を図 13 に示す。同図より共振周波数付近から高域でのゲイン特性と位相特性はほぼ一致した。また、キャパシタの零点は 1MHz とスイッチング周波数 (550kHz) より高く、今回は測定することができなかった。また、1kHz 以下の低域では、実測特性に多くのノイズが表れたが、FRA の測定回数を増やすことで滑らかな測定が可能と思われる。

以上のように本手法を用いることで、モジュール化された降圧コンバータのパワーステージの寄生回路素子値を推定することができる。

8. まとめ

本論文では、降圧形 DC/DC 電源回路の回路素子値の推定手法として、電源回路で発生する代表的な損失と理論式的関係より、実測した電力変換効率にパラメータを調整した。

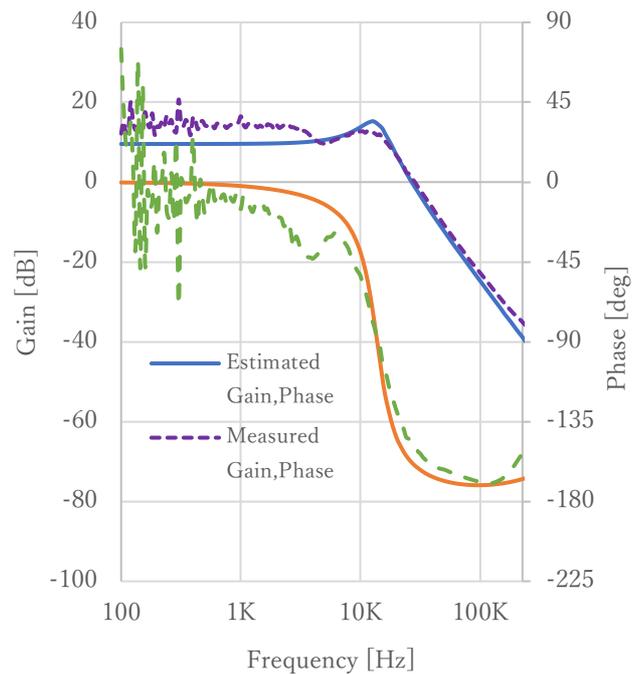


図 13. パワーステージゲイン Gdv の推定値と測定値

Fig.13 Calculation parameters of Gdv.

推測電力効率を計算でフィッティングすることにより、パワーステージに用いられる重要な寄生素子値を推定できることを示した。さらに、その推定値からパワーステージの開ループ伝達関数を求められることを示した。

本論文では測定対象を降圧形コンバータとしたが、提案手法は昇圧形や昇降圧形電源に対しても適応可能であると考えられる。

今後の課題として、推定値の精度を上げるためおよび測定対象を広げるために、本論文で考慮していない損失について計算し、精度を向上させることにある。

文 献

- [1] H. Kobayashi, T. Nabeshima (Editors), Handbook of Power Management Circuits, Pan Stanford Publishers (2016)
- [2] R. W. Erickson, D Maksimovic, Fundamentals of Power Electronics, Second Edition, Kluwer Academic Publishers (2004)
- [3] N. Tsukiji, Y. Kobori, H. Kobayashi, "Derivation of the Loop Gain from Output Impedances in DC-DC Buck Converter", IEEE 13th International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016).
- [4] T. Kohama, T. Tahara, "Estimation of Power Conversion Efficiency for Low-Voltage Buck-Converter", 87th Technical Report of Fukuoka Univ. (Sep. 2011)
- [5] An Efficiency Primer for Switch-Mode, DC-DC Converter Power Supplies., Maxim Integrated Application Note
- [6] Calculation of Efficiency of the Power Supply, Texas Instruments Application Note
- [7] Calculation of Power-Loss (Synchronous), Rohm Application Note
- [8] TPS 54317 EVM-159 User's Guide