

デジタル信号処理を用いた $\Delta\Sigma$ DA変換器の線形性向上の検討

小島潤也 串田弥音 村上正紘 小林春夫

群馬大学



- 研究背景・目的
- DWA* アルゴリズム (* Data-Weighted Averaging)
- 自己校正アルゴリズム
- シミュレーション回路と結果
- まとめ

- **研究背景・目的**
- DWA* アルゴリズム (* Data-Weighted Averaging)
- 自己校正アルゴリズム
- シミュレーション回路と結果
- まとめ

ΔΣDA変換器とは

ΔΣDA変換器

- ・ 大部分がデジタル回路で構成 ⇒ 実装が容易
- ・ 直流信号/低周波信号を高分解能・高線形に生成

<用途> 電子計測器、オーディオ装置



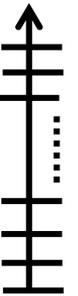
✓ 高分解能のイメージ

16bit ⇒ “0000 0000 0000 0000”

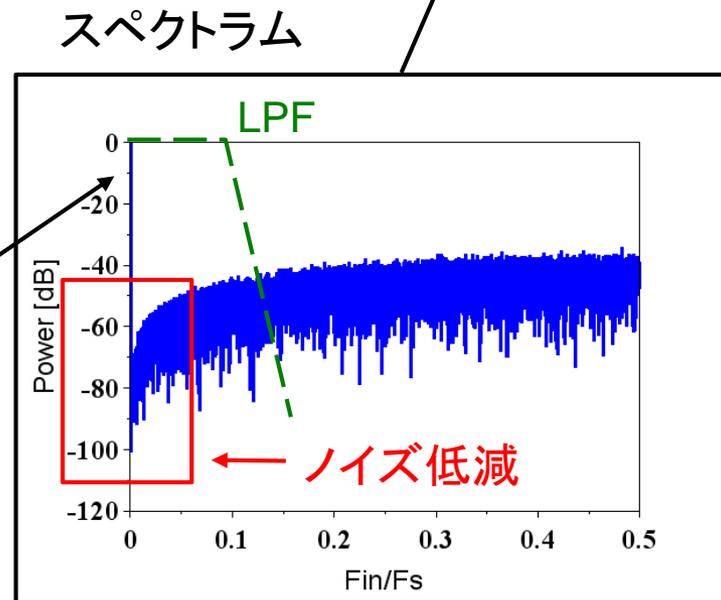
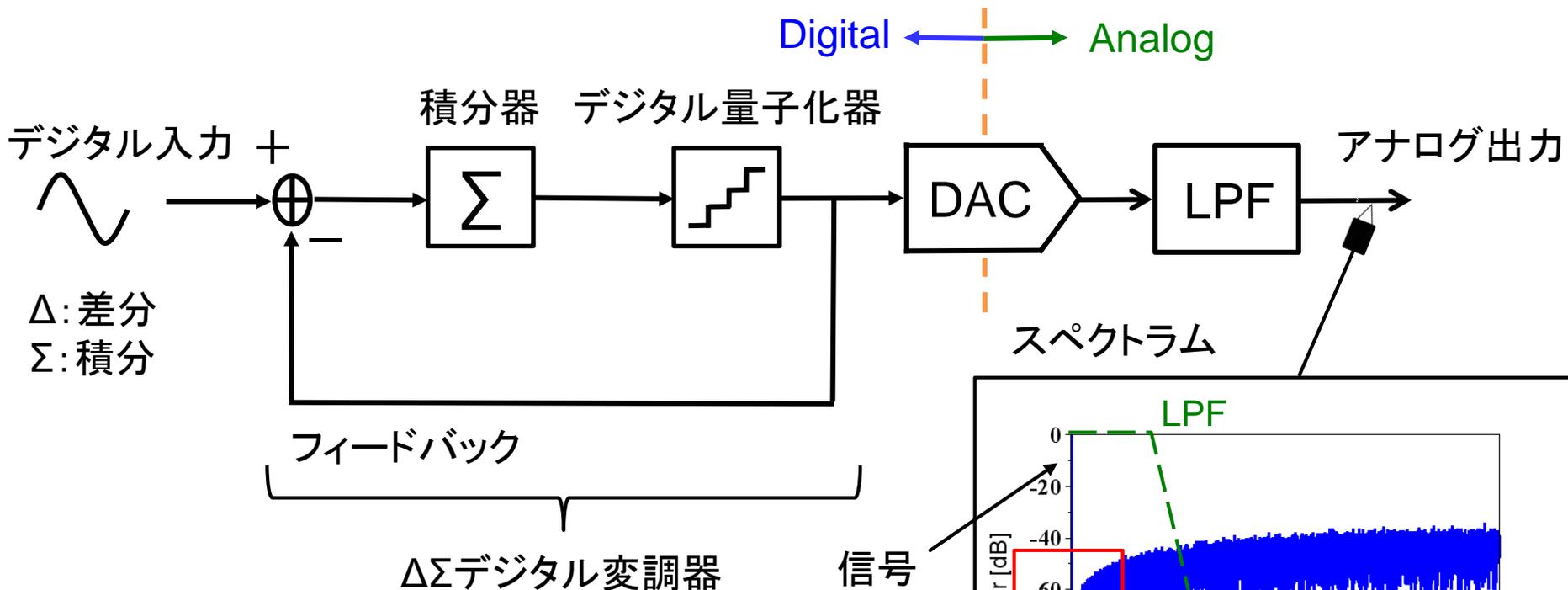
～ “1111 1111 1111 1111” では

$$\frac{100\text{km}}{2^{16} (=65536)} \approx 1.5\text{m} \text{ で分割}$$

➡ 微細な計算が可能



$\Delta\Sigma$ 変換器の回路構成



<用途>

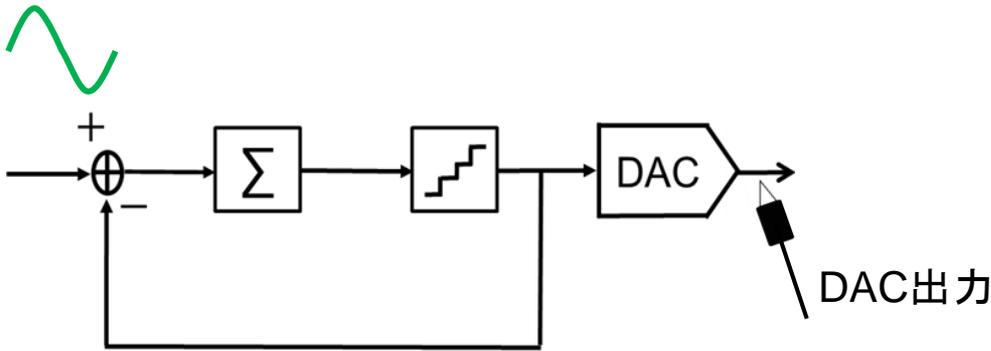
・ 電子計測器

・ オーディオ装置



ノイズ → 低周波側で低減
高周波側で増加

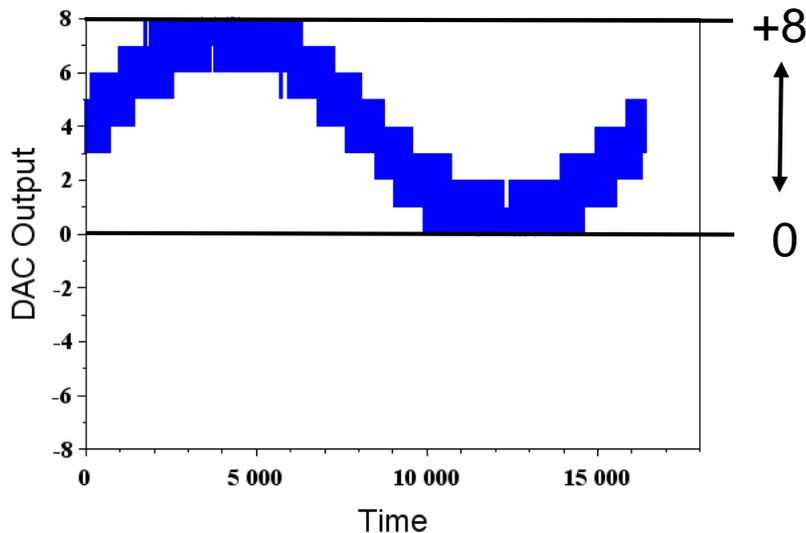
マルチビットDACの出力 (3値の定義)



✓ 3値の場合で検討

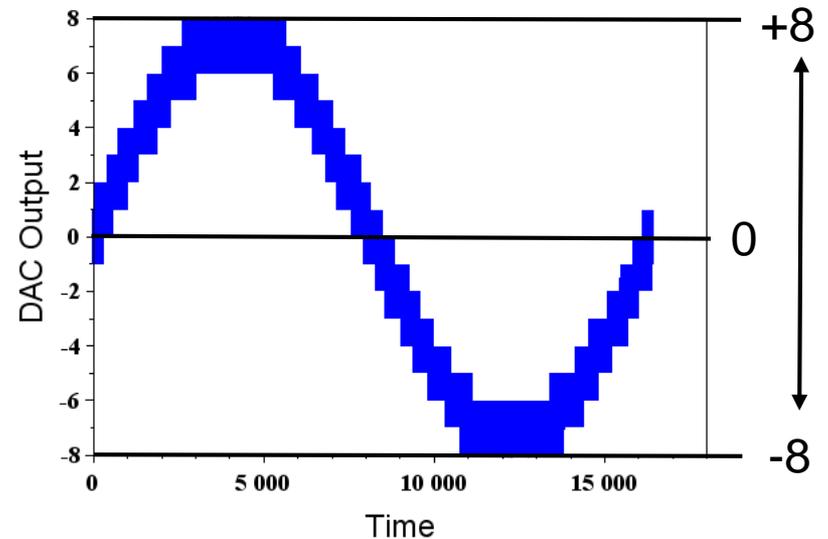
<従来>

2値 ⇒ 正, 0の値と定義



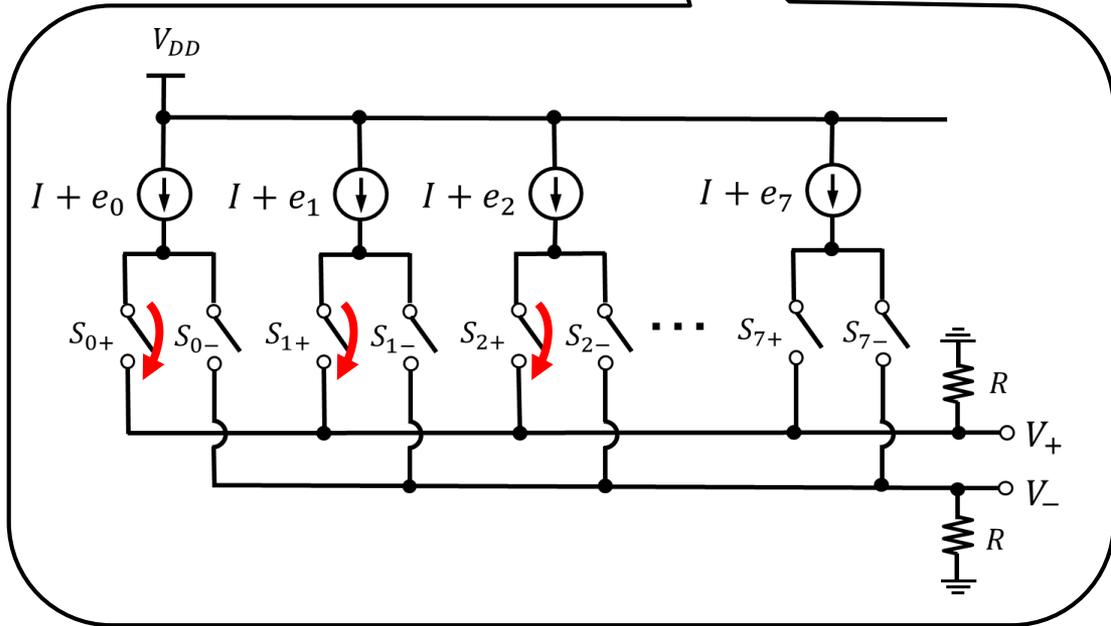
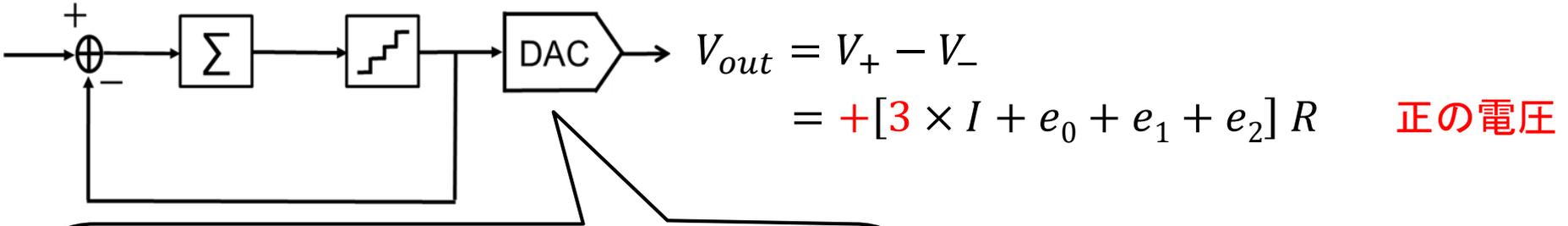
<今回>

3値 ⇒ 正, 0, 負の値と定義



マルチビットDACの動作 (1/3)

DAC入力 = +3



デジタル	V_{out}
+3	$+[3I + e_0 + e_1 + e_2] R$
0	
-2	

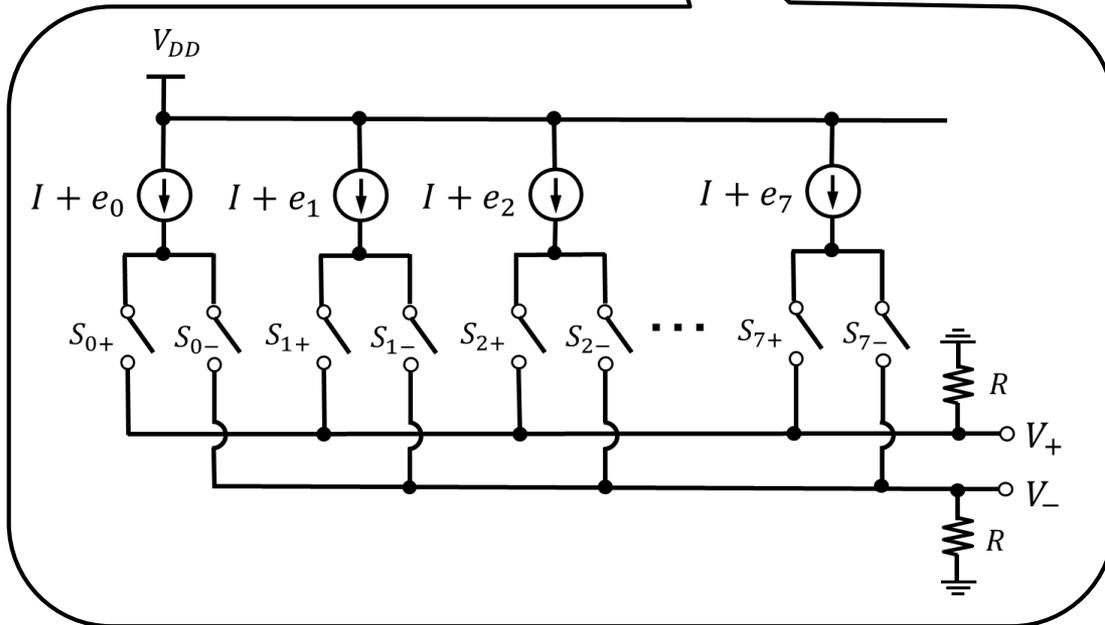
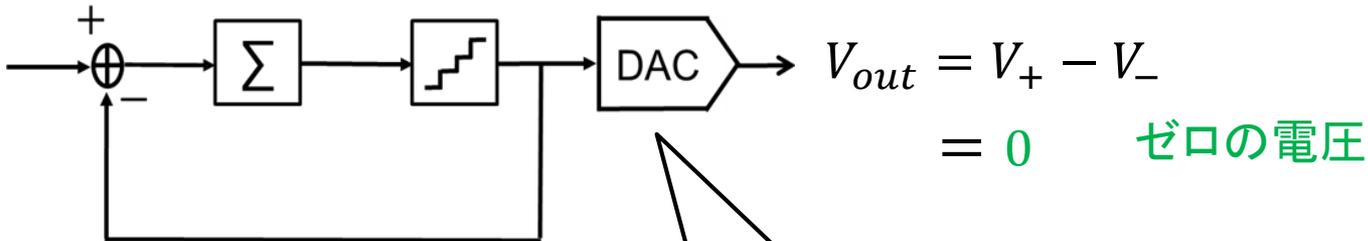
電流 $I_k = I + e_i$
 e_i : 電流セルのバラツキ

✓ “3値” の場合を考える

正 (+), 0, 負 (-) (※ 2値 ⇒ 正, 0)

マルチビットDACの動作 (2/3)

DAC入力 = 0



デジタル	V_{out}
+3	$+ [3I + e_0 + e_1 + e_2] R$
0	0
-2	

電流 $I_k = I + e_i$
 e_i : 電流セルのバラツキ

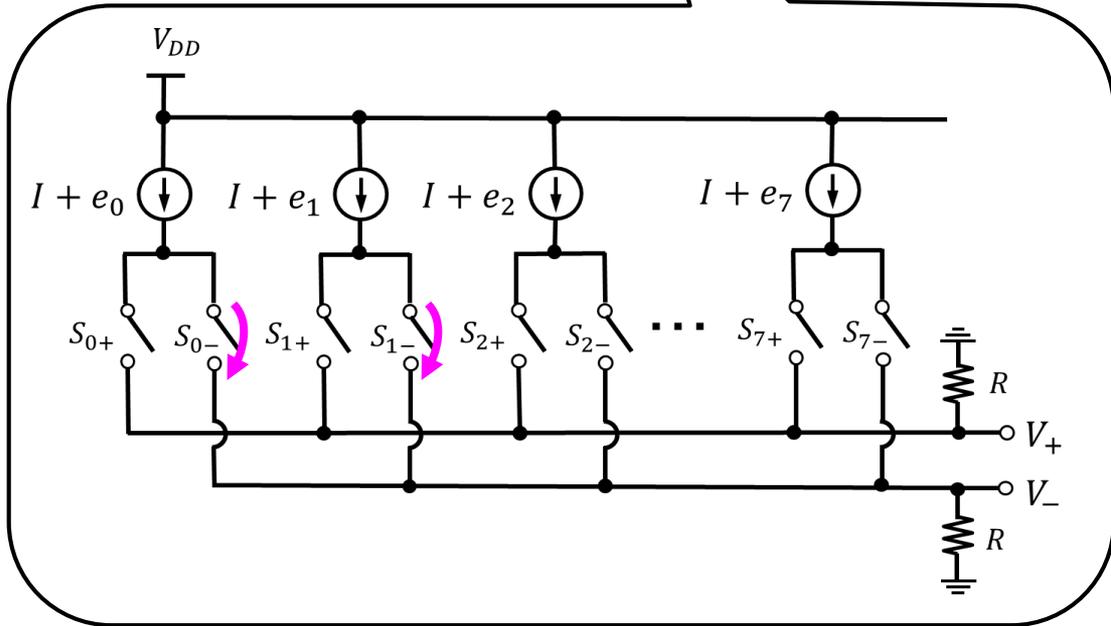
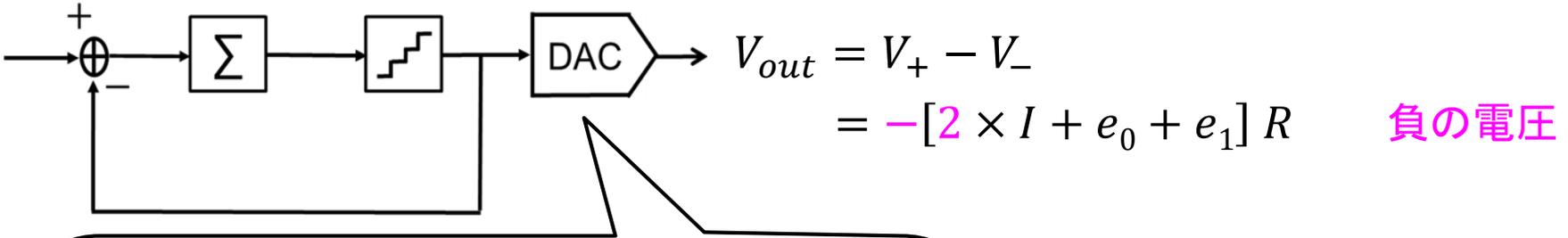
✓ “3値” の場合を考える

正 (+), 0, 負 (-)

(※ 2値 ⇒ 正, 0)

マルチビットDACの動作 (3/3)

DAC入力 = -2



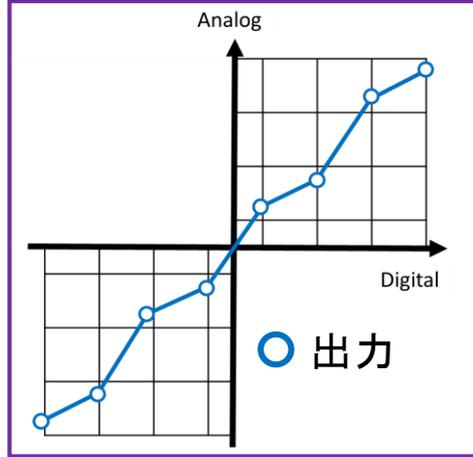
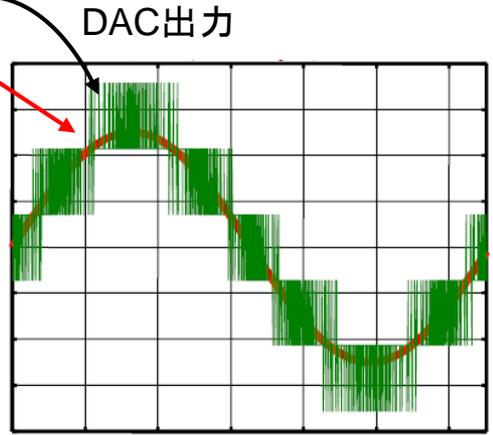
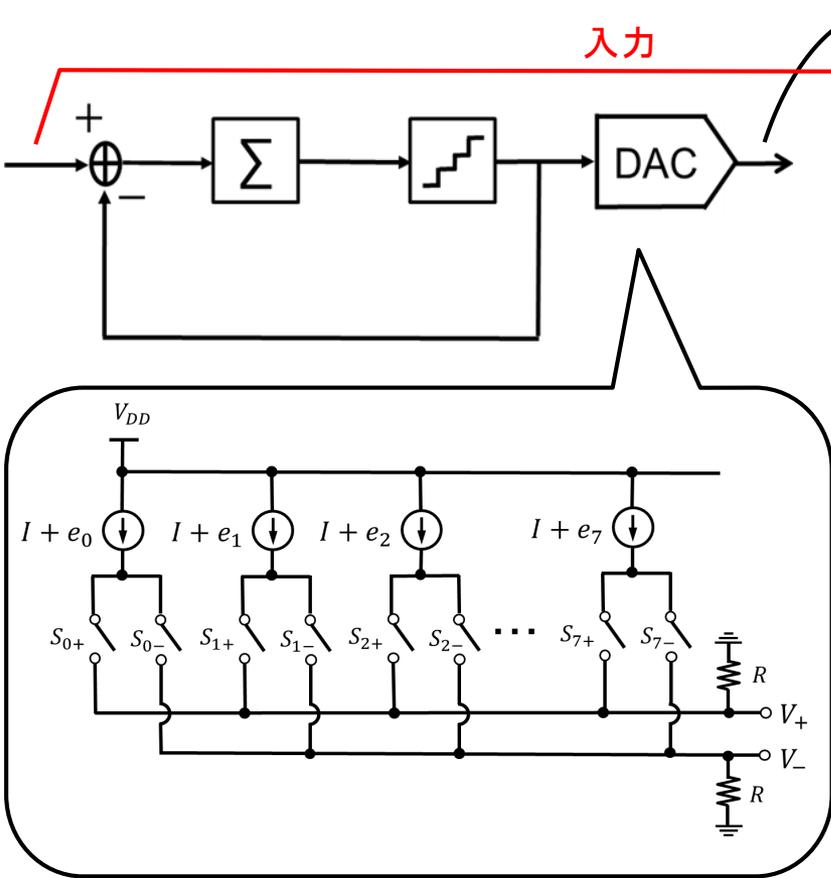
デジタル	V_{out}
+3	$+ [3I + e_0 + e_1 + e_2] R$
0	0
-2	$- [2I + e_0 + e_1] R$

電流 $I_k = I + e_i$
 e_i : 電流セルのバラツキ

✓ “3値” の場合を考える

↳ 正 (+), 0, 負 (-) (※ 2値 ⇒ 正, 0)

マルチビット $\Delta\Sigma$ DACの利点と非線形性



利点

- ・ 量子化誤差の低減
- ・ 後段フィルターの性能要求を緩和

非線形性の問題



ICチップ製造上でのプロセスより

DAC内の電流にバラツキが発生
 e_i

電流 $I_k = I + e_i$
 e_i : 電流セルのバラツキ

□ 研究目的 ⇒ 線形性の向上

- デジタル技術:
- ① DWA
 - ② 自己校正

- 研究背景・目的
- **DWA* アルゴリズム** (* Data-Weighted Averaging)
- 自己校正アルゴリズム
- シミュレーション回路と結果
- まとめ

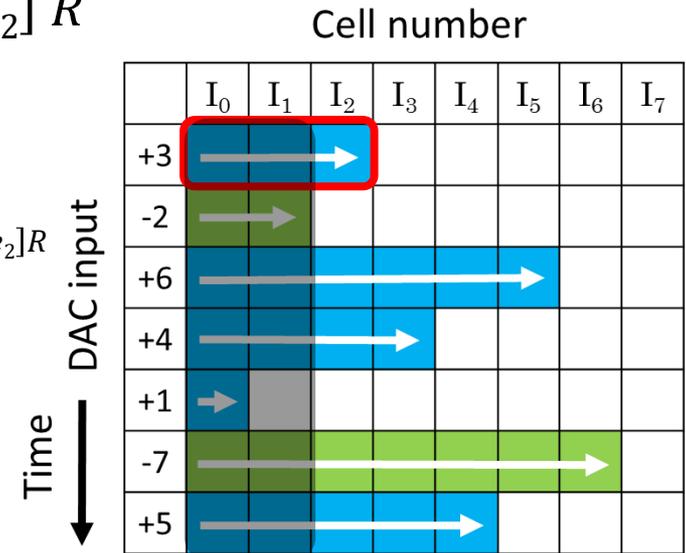
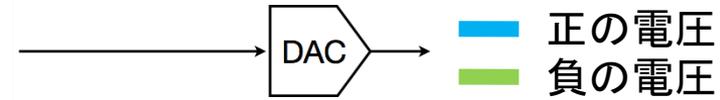
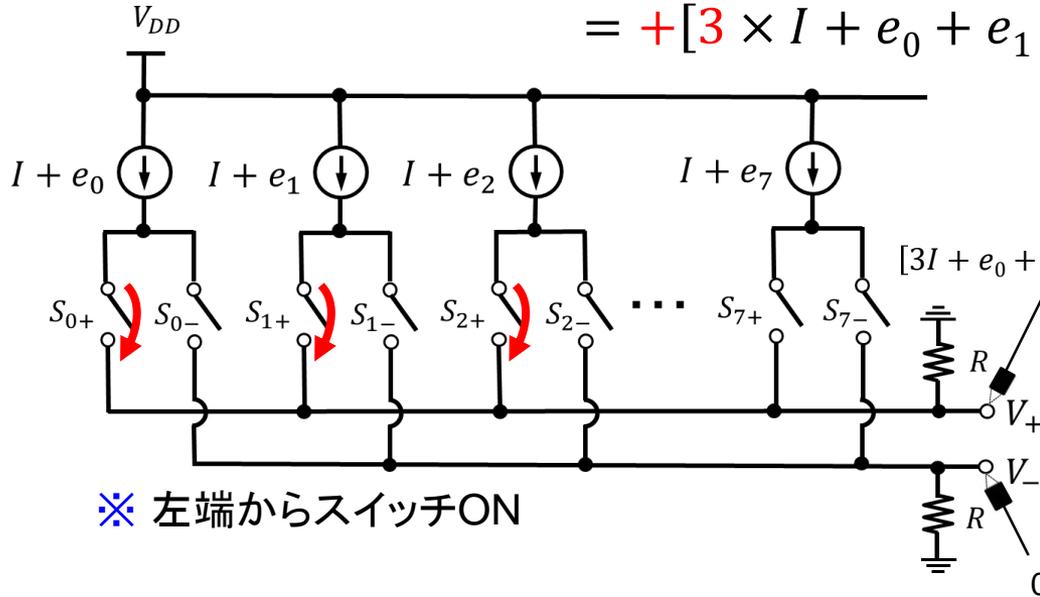
マルチビットDAC (1/2)

◆ セグメント型DAC

DAC入力 = +3

$$V_{out} = V_+ - V_-$$

$$= +[3 \times I + e_0 + e_1 + e_2] R$$



DAC内の電流源は

✓ 理想 ⇒ すべて等しい



✓ 現実 ⇒ 製造上でプロセスのバラツキあり

$$\left[\text{電流 } I_k = I + e_i \right]$$

特定セルのバラツキが累積

e_i



非線形性



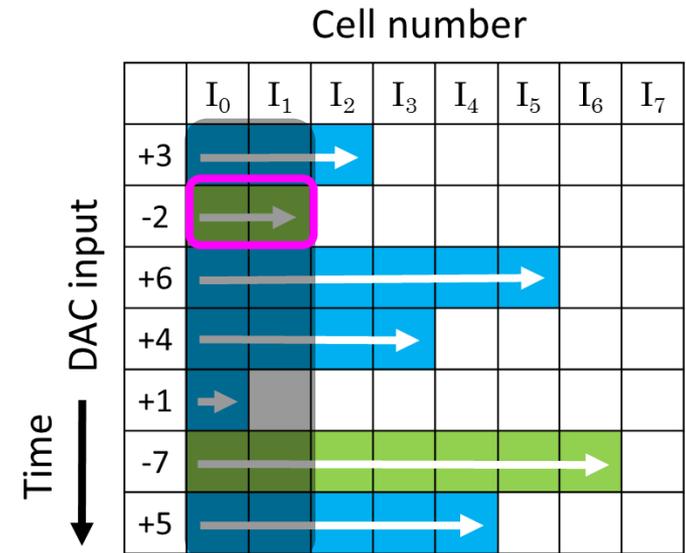
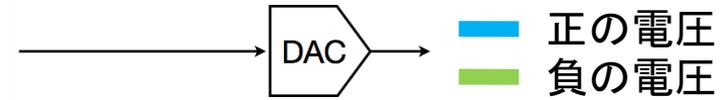
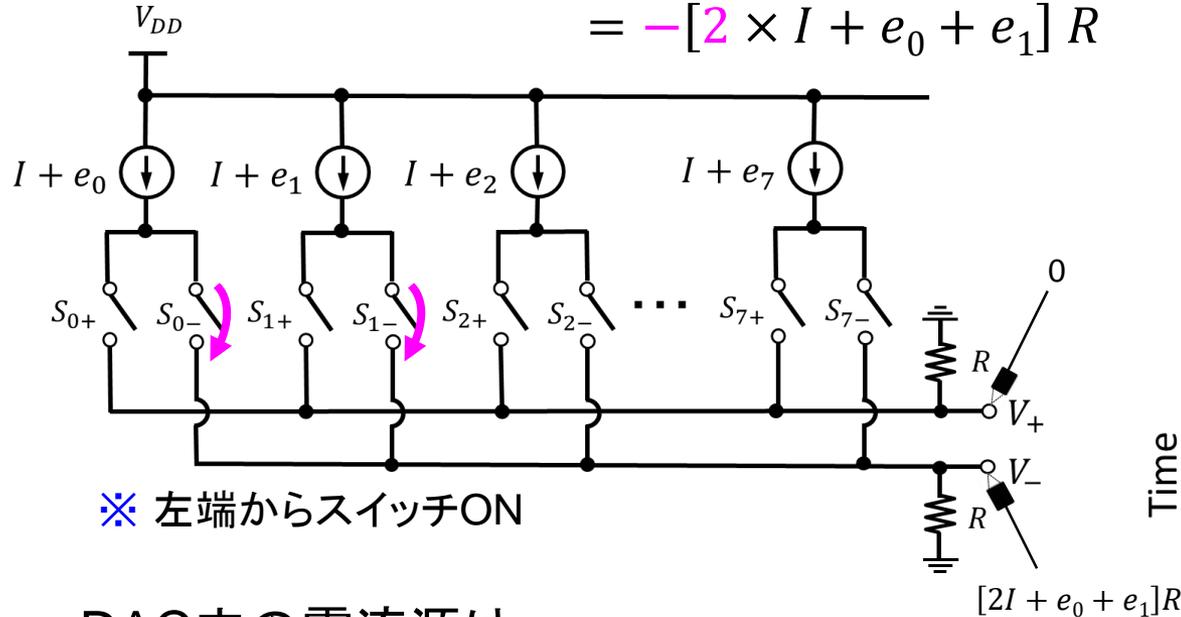
マルチビットDAC (2/2)

◆ セグメント型DAC

DAC入力 = -2

$$V_{out} = V_+ - V_-$$

$$= -[2 \times I + e_0 + e_1] R$$



特定セルのバラツキが累積
 e_i
 非線形性 ☹️

DAC内の電流源は

✓ 理想 ⇒ すべて等しい



✓ 現実 ⇒ 製造上でプロセスのバラツキあり

$$\left[\text{電流 } I_k = I + e_i \right]$$

マルチビットDAC + DWA (1/2)

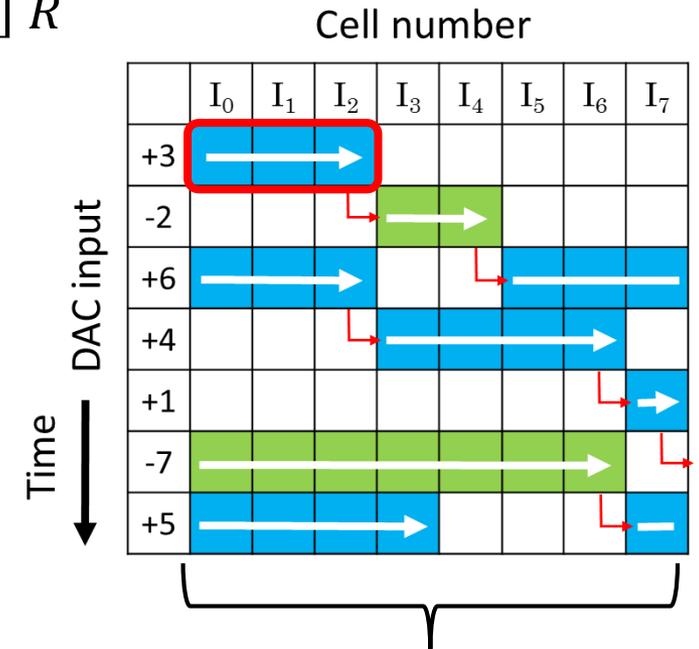
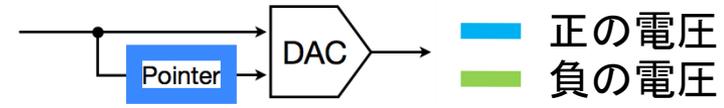
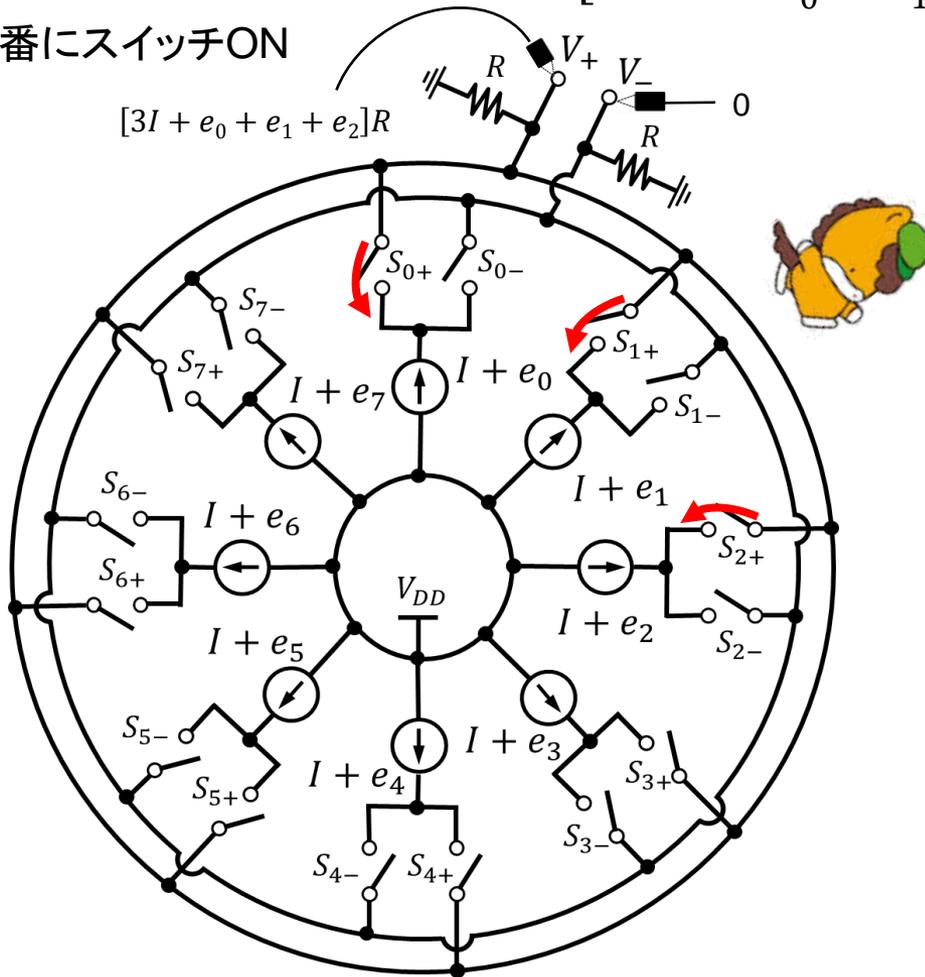
◆ DWA* 型DAC (*Data-Weighted Average)

DAC入力 = +3

$$V_{out} = V_+ - V_-$$

$$= +[3 \times I + e_0 + e_1 + e_2] R$$

※ 順番にスイッチON



特定セルの バラツキ を分散
⇒ 時間的に平均化

➡ 線形性向上 😊

マルチビットDAC + DWA (2/2)

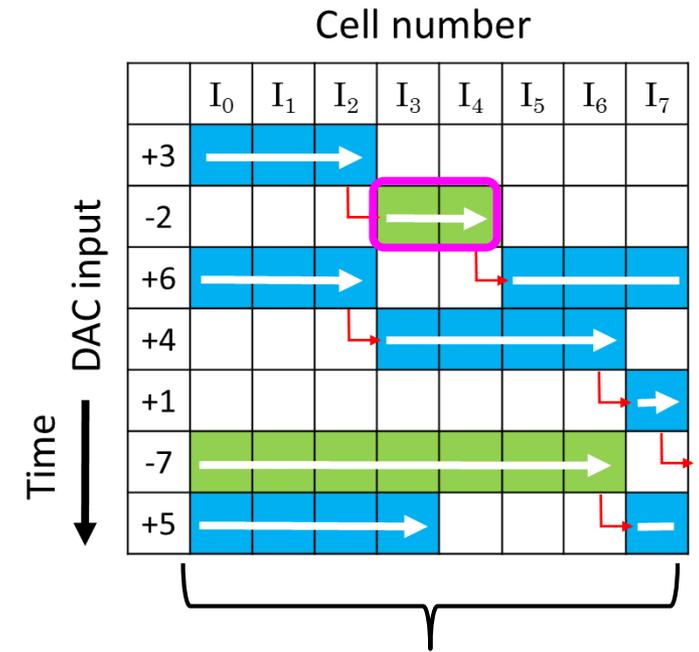
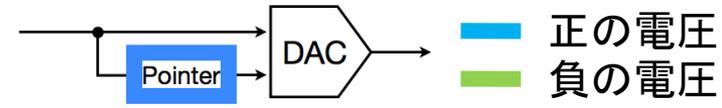
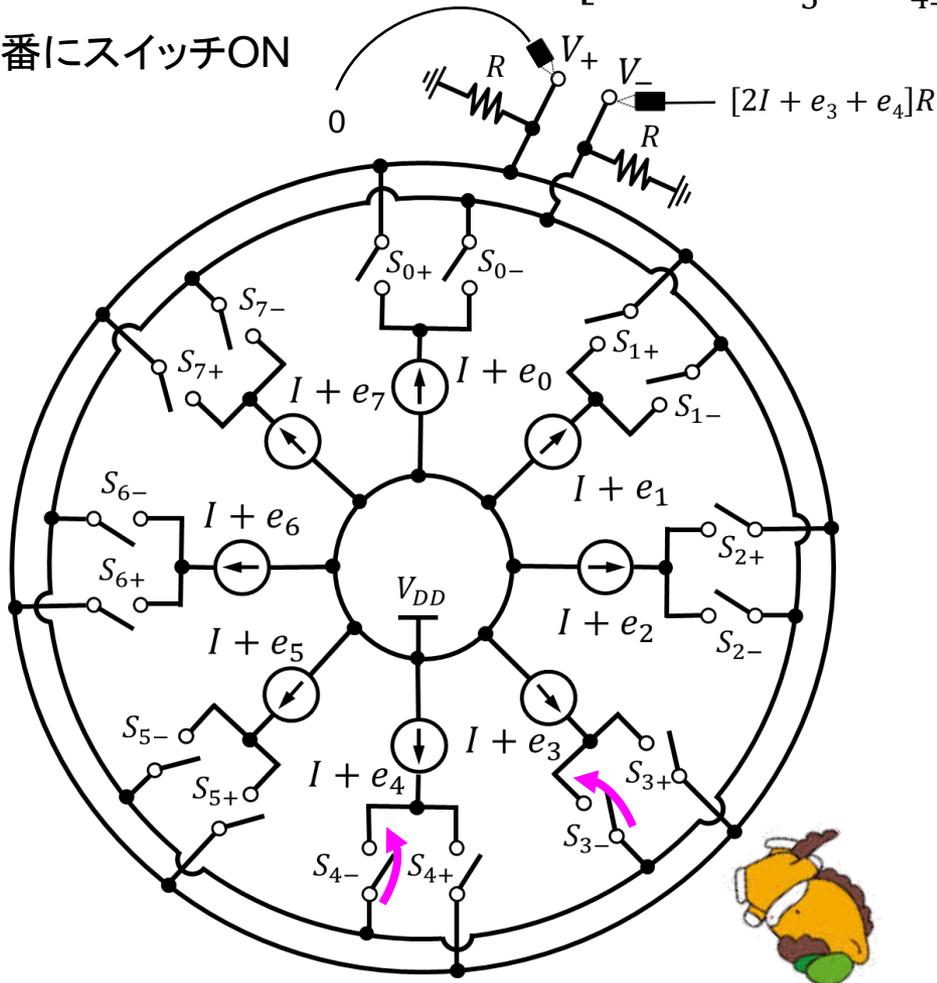
◆ DWA* 型DAC (*Data-Weighted Average)

DAC入力 = -2

$$V_{out} = V_+ - V_-$$

$$= -[2 \times I + e_3 + e_4] R$$

※ 順番にスイッチON



特定セルの**バラツキを分散**
⇒ 時間的に平均化

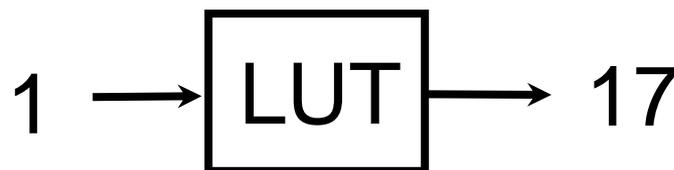
➡ 線形性向上 😊

- 研究背景・目的
- DWA* アルゴリズム (* Data-Weighted Averaging)
- **自己校正アルゴリズム**
- シミュレーション回路と結果
- まとめ

- LUT: 予めデータを保存 → 入力に対応するデータを出力

例えば...

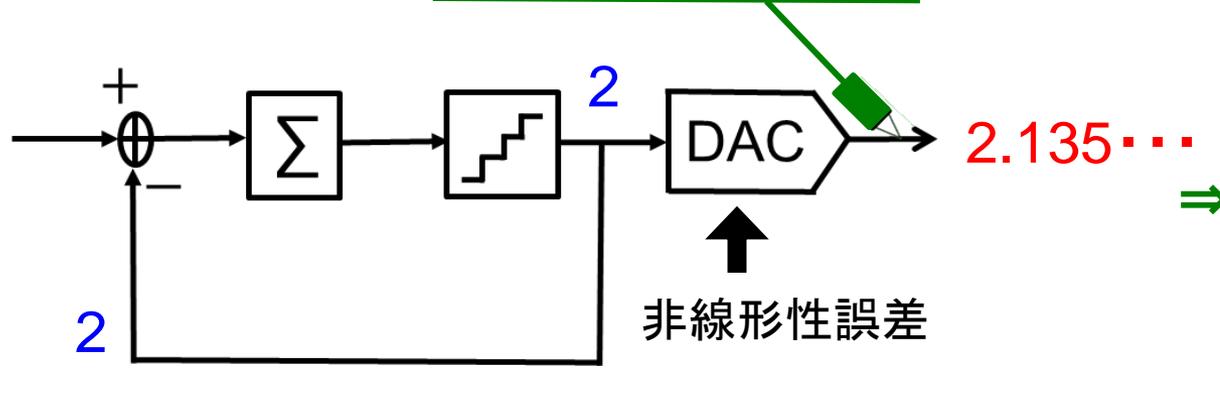
猫の年齢	人間の 相当年齢
1	17
2	23
3	28
4	32
5	36
6	40
7	44
8	48



自己校正アルゴリズム

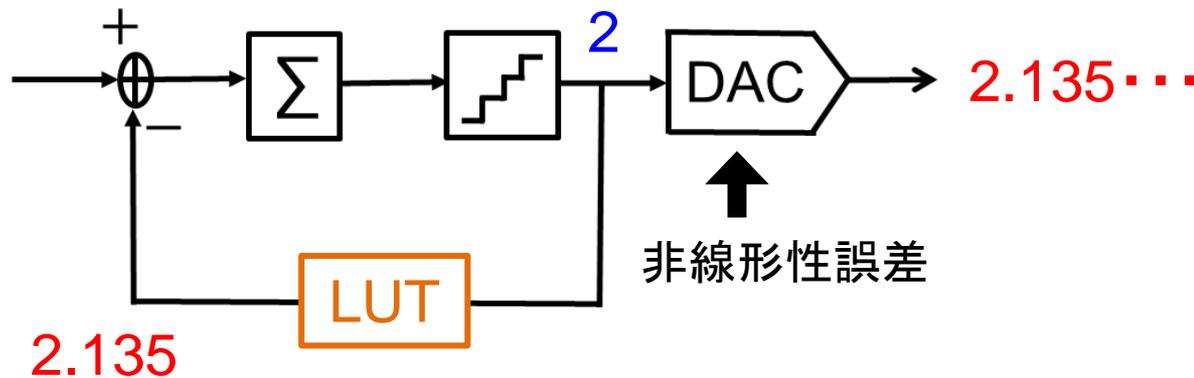
前準備

⇒ フィードバックさせる値を高精度 $\Delta\Sigma$ ADCで測定、LUTに保存



Input	Output
0	
1	
2	2.135
3	
⋮	

◆ 自己校正の実現

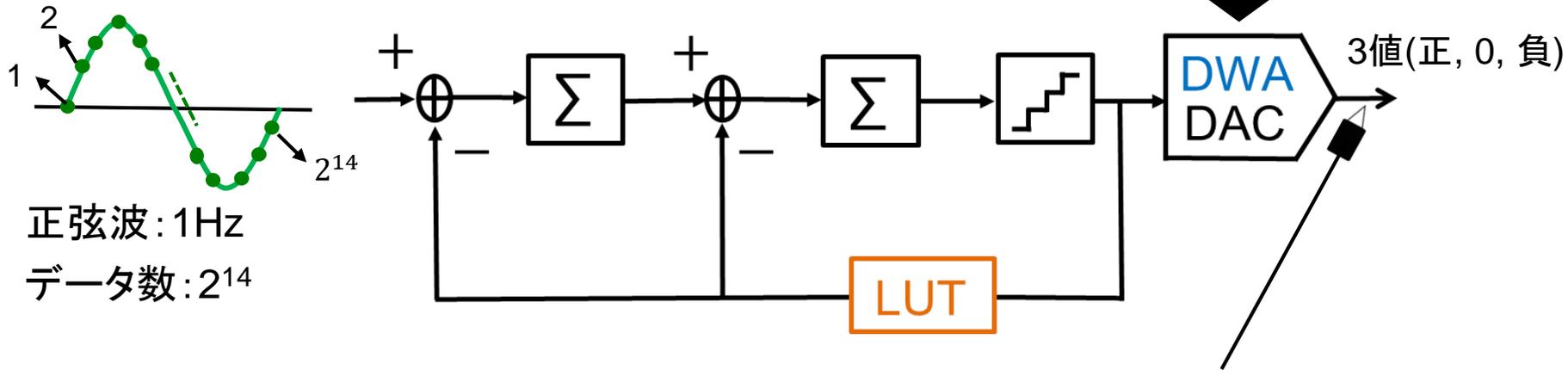


Input	Output
0	0.000
1	1.241
2	2.135
3	2.926
⋮	

- 研究背景・目的
- DWA* アルゴリズム (* Data-Weighted Averaging)
- 自己校正アルゴリズム
- シミュレーション回路と結果
- まとめ

シミュレーション回路 (LP型)

◆ 2次 LP ΔΣ DAC



● 組み合わせを変えて比較

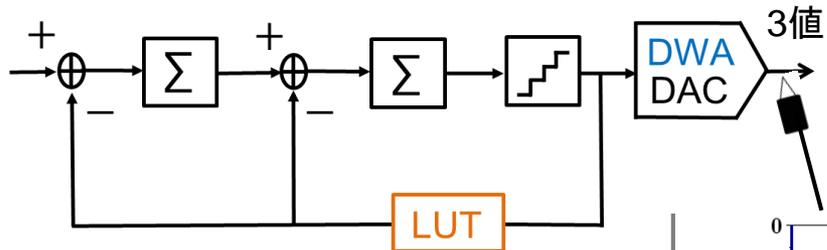
- ① 2次ΔΣ変調器 + 非線形DAC
- ② 2次ΔΣ変調器 + 非線形DAC + DWA
- ③ 2次ΔΣ変調器 + 非線形DAC + 自己校正
- ④ 2次ΔΣ変調器 + 非線形DAC + DWA + 自己校正 (← 新規)

● 線形性の評価

$$\text{SNDR} = \frac{\text{信号電力}}{\text{ノイズ電力} + \text{ひずみ電力}}$$

(Signal to Noise and Distortion Ratio)

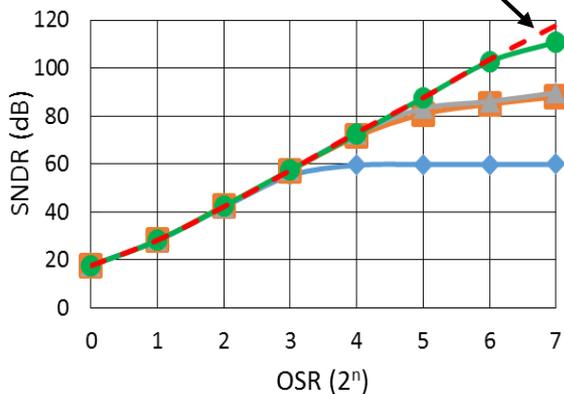
シミュレーション結果 (LP型)



- $\Delta\Sigma$ DACの出カスペクトラム
(バラツキ標準偏差: $\sigma = 1.0\%$)

・ 定量的に評価

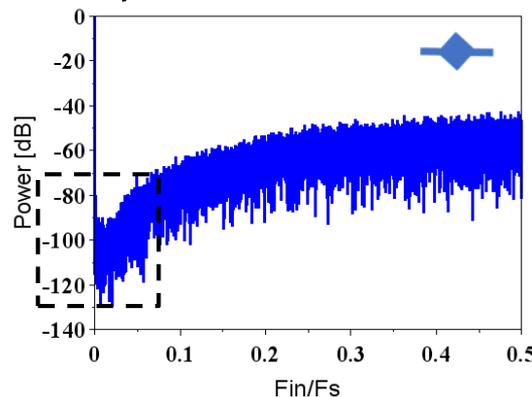
理想状態



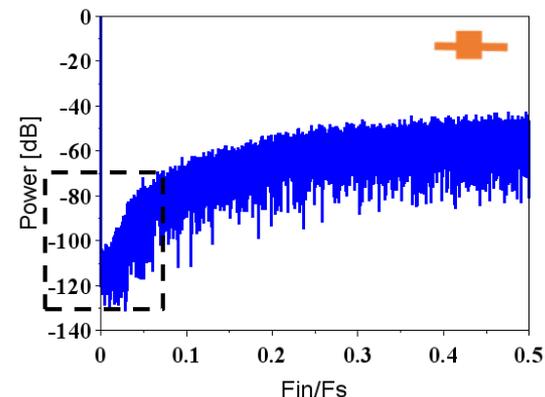
「④ DWA + 自己校正」 (●)



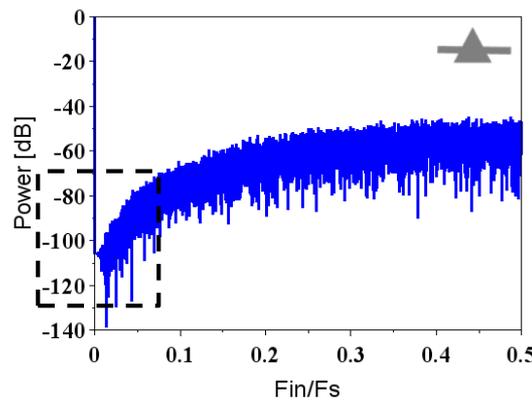
線形性の向上
(高精度な信号取得)



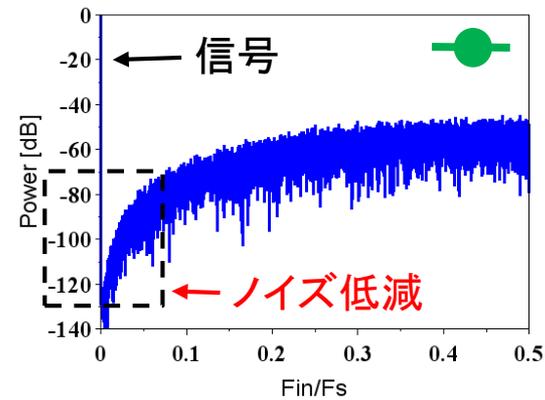
① × DWA, × 自己校正



② ○ DWA, × 自己校正

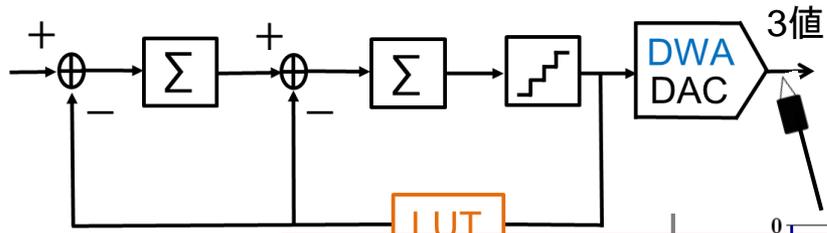


③ × DWA, ○ 自己校正



④ ○ DWA, ○ 自己校正

シミュレーション結果 (LP型)

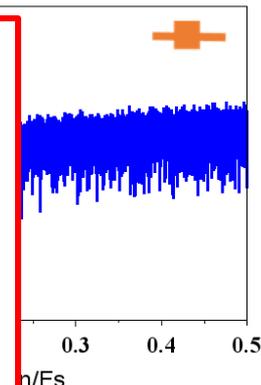
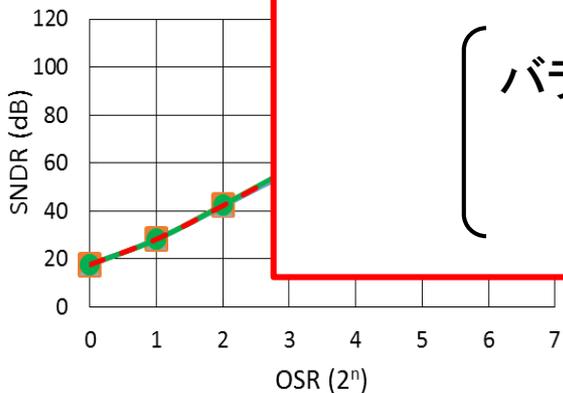


- $\Delta\Sigma$ DACの出力スペクトラム
(バラツキ標準偏差: $\sigma = 1.0\%$)

・ 定量的に評価

バラツキを変えても同様の結果を確認

バラツキ標準偏差: $\sigma = 5.0\%$ (5セット)
 1.0% (10セット)
 0.1% (10セット)

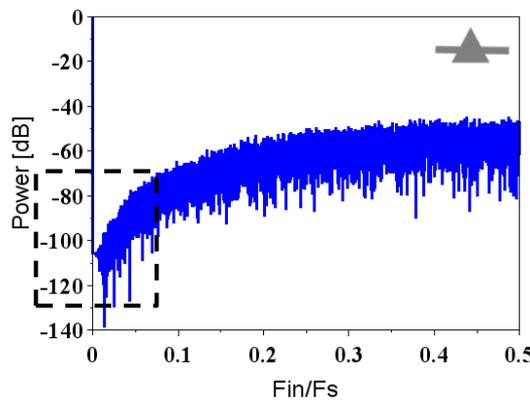


× 自己校正

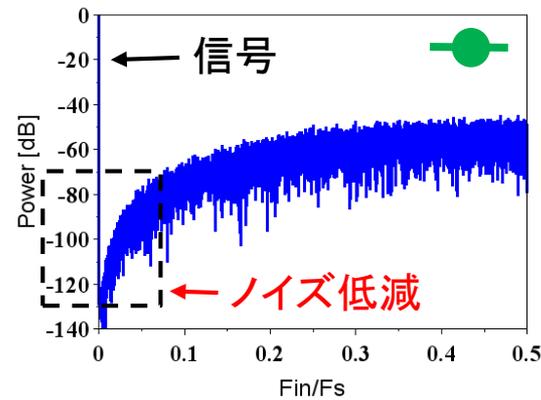
「④ DWA + 自己校正」 (●)



線形性の向上
(高精度な信号取得)



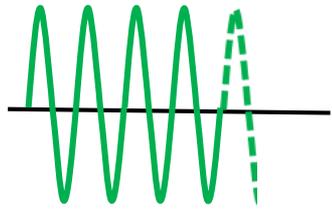
③ × DWA, ○ 自己校正



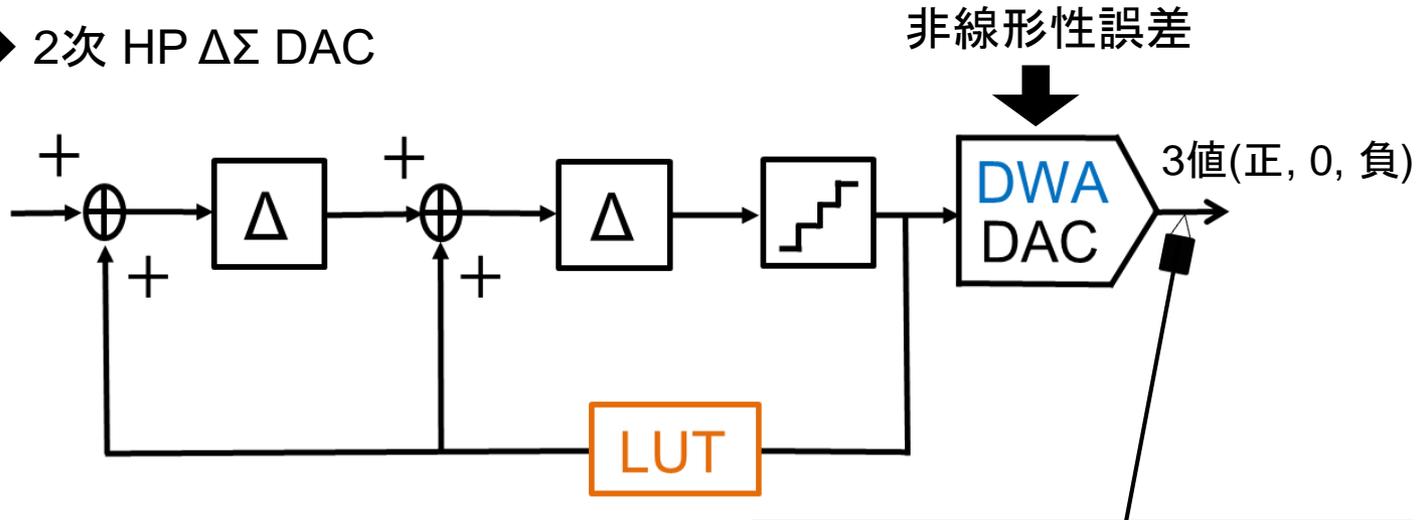
④ ○ DWA, ○ 自己校正

HP型の $\Delta\Sigma$ DAC変換器

◆ 2次 HP $\Delta\Sigma$ DAC

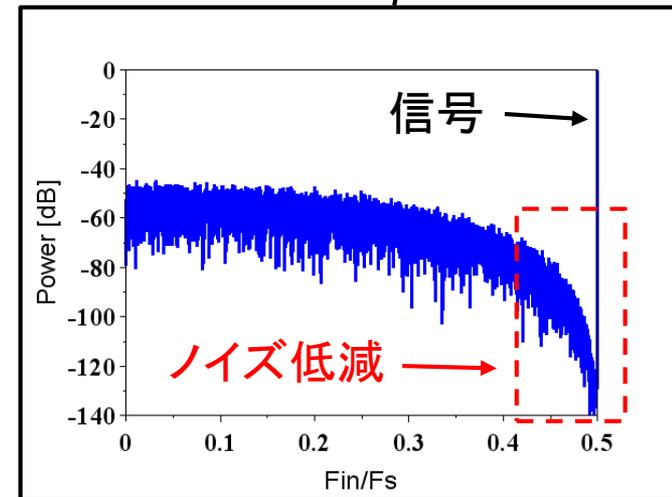


正弦波: 8191Hz
データ数: 2^{14}



● 組み合わせを変えて比較

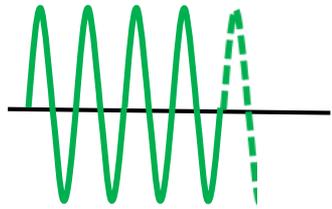
- ① 2次 $\Delta\Sigma$ 変調器 + 非線形DAC
- ② 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + DWA
- ③ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + 自己校正
- ④ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + DWA + 自己校正



ノイズ → 高周波側で低減
低周波側で増加

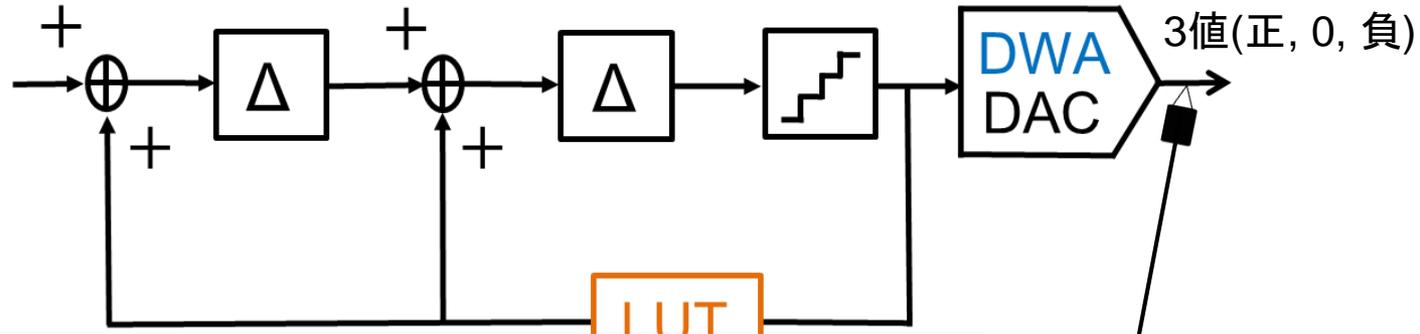
HP型の $\Delta\Sigma$ D/A変換器

◆ 2次 HP $\Delta\Sigma$ DAC



正弦波: 8191Hz

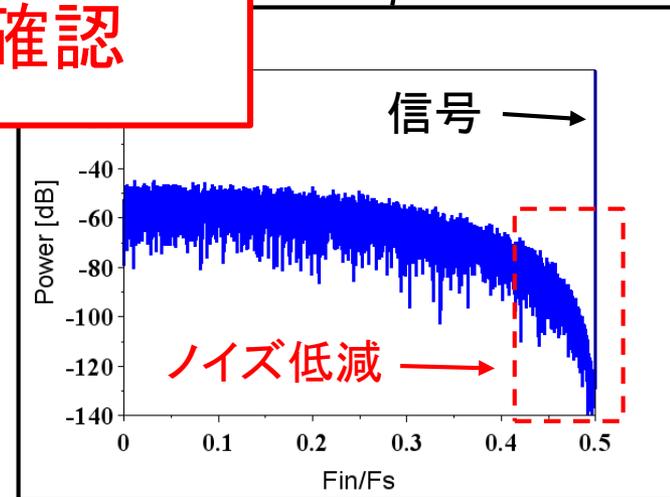
データ数: 2^{14}



LP型と同様に線形性向上を確認

● 組み

- ① 2次 $\Delta\Sigma$ 変調器 + 非線形DAC
- ② 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + DWA
- ③ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + 自己校正
- ④ 2次 $\Delta\Sigma$ 変調器 + 非線形DAC + DWA + 自己校正



ノイズ → 高周波側で低減
低周波側で増加

- 研究背景・目的
- DWA* アルゴリズム (* Data-Weighted Averaging)
- 自己校正アルゴリズム
- シミュレーション回路と結果
- まとめ

- マルチビット $\Delta\Sigma$ DA変換器

ICチップ製造上でのプロセスのバラツキによる非線形性問題

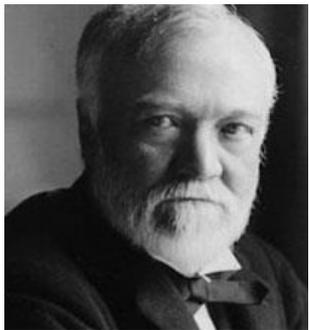


DWA・自己校正アルゴリズムを使用

LP、HP型の回路 ⇒ 線形性の向上

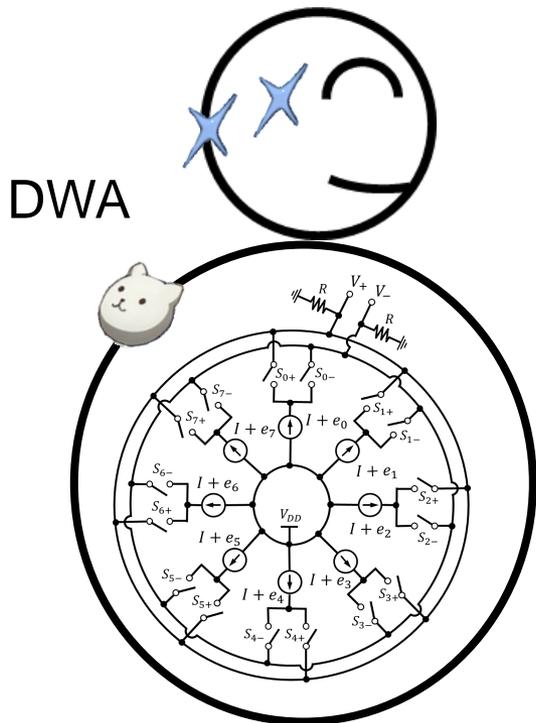


互いの力を合わせて

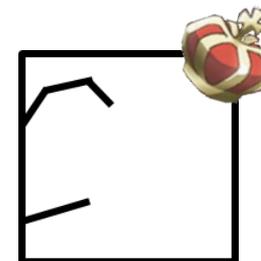


他人と最もうまく協力できる人が、最大の成功を収めることになる

アンドリュー・カーネギー
(アメリカの実業家)



「高精度を目指して」



自己校正

LUT	
猫の年齢	人間の 相当年齢
1	17
2	23
3	28
4	32
5	36

Q & A

弓仲先生より

Q. 自己校正のLUTだけではダメなのか？ DWAも必要なのか？

A. 自己校正でフィードバックする範囲には限りがあり、それをDWAで補助している。

荻野さん

Q. LUTのビット数が少ない場合はどうか？

A. ビット数が少ないと線形性は低下する。今回は比較的多めにフィードバックしている。

他大学の先生

Q. 製品によってLUTをそれぞれ作成する必要があるのか？

A. 作成する必要がある。各製品によって製造プロセスが異なるため。