

# 低スイッチング損失かつ低特性オン抵抗の スケーラブル 20-40V LDMOSトランジスタ

小島潤也 松田順一 築地伸和 神山雅貴 小林春夫  
群馬大学



- 研究背景・目的
- 従来型・提案型LDMOSTトランジスタ構造
- シミュレーション結果
  - $I_{DS}$ - $V_{GS}$ 特性
  - $I_{DS}$ - $V_{DS}$ 特性
  - ブレークダウン特性
  - 特性オン抵抗-ブレークダウン電圧特性
  - ホットキャリア耐性
- まとめ

- **研究背景・目的**
- 従来型・提案型LDMOSTランジスタ構造
- シミュレーション結果
  - $I_{DS}$ - $V_{GS}$ 特性
  - $I_{DS}$ - $V_{DS}$ 特性
  - ブレークダウン特性
  - 特性オン抵抗-ブレークダウン電圧特性
  - ホットキャリア耐性
- まとめ

# 研究背景・目的

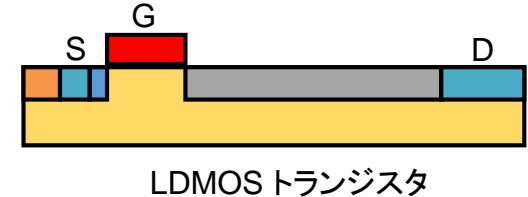
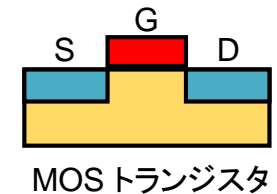
## LDMOS (Laterally Double Diffused MOS) トランジスタ

### ・ 特長

ゲート-ドレイン間の電界強度を緩和する構造  
耐圧が高い⇒高電圧を印加可能

### ・ パワーMOSトランジスタの一種

電源回路のスイッチングなどに使用



## 車載用 20-40V 動作 のLDMOSTランジスタ に注目

- Point
- ・ 広SOA (Safe Operation Area)、高信頼性
    - ↳ インパクトイオン化  
Kirk効果による電流増大を抑制
    - ↳ ホットキャリア耐性
  - ・ 低特性オン抵抗
  - ・ 低スイッチング損失
  - ・ 20-40Vの複数電圧で動作可能
    - ↳ 製造プロセスコストが上がらず、1チップ上に作製可能



左記条件を満たす  
LDMOS構造を提案

# Si, SiC, GaN との特徴比較

- 次世代パワー半導体は { SiC (シリコン・カーバイド)  
GaN (ガリウム・ナイトライド) が注目されているが...



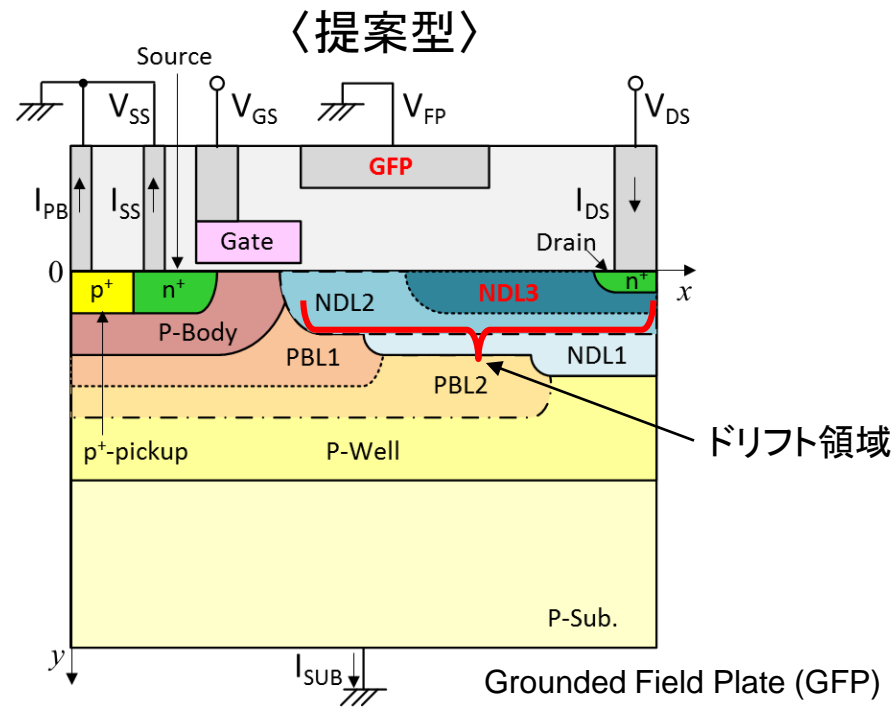
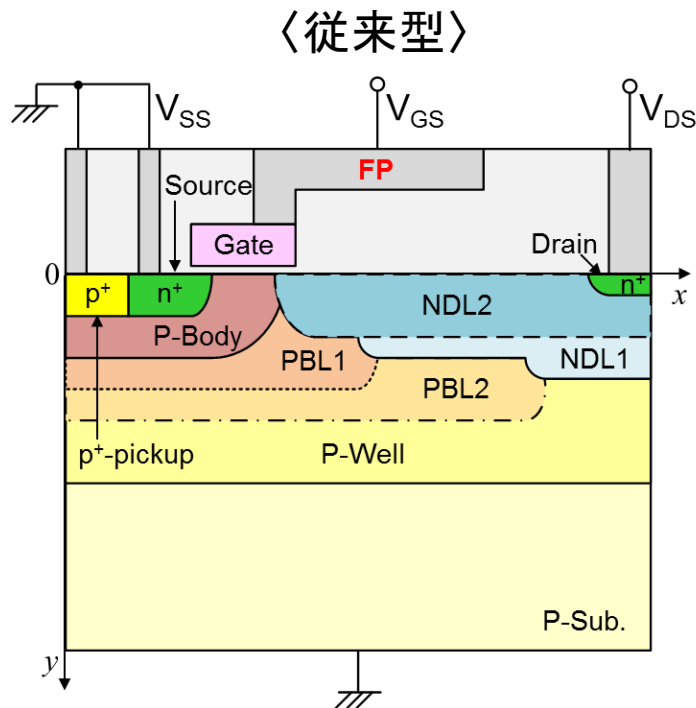
LDMOS トランジスタ

	SiC, GaN	Si (シリコン)
性能 (オン抵抗, スイッチング損失, 小型化, 高温での動作)	○	△
コスト (基板, 製造プロセス)	×	○
他回路との相性	素子単体で使用	<u>他の回路と組み合わせ可</u> ↙ Si ⇒ 集積化



半導体にとって「安さ」は重要  
Siで高性能を追求

- 研究背景・目的
- **従来型・提案型LDMOSTランジスタ構造**
- シミュレーション結果
  - $I_{DS}$ - $V_{GS}$ 特性
  - $I_{DS}$ - $V_{DS}$ 特性
  - ブレークダウン特性
  - 特性オン抵抗-ブレークダウン電圧特性
  - ホットキャリア耐性
- まとめ



改良点

- ・ NDL3 (ゲート側ドリフト領域を除く) ⇒ 電流増大の抑制(広SOA)、特性オン抵抗の低減
- ・ フィールド・プレートの接地 ⇒ ミラー容量の低減(スイッチング損失低減)、RESURFの補助

電子デバイス・半導体電力変換合同研究会, EDD-17-082, SPC-17-181, (2017年11月)で発表

発表の重点内容

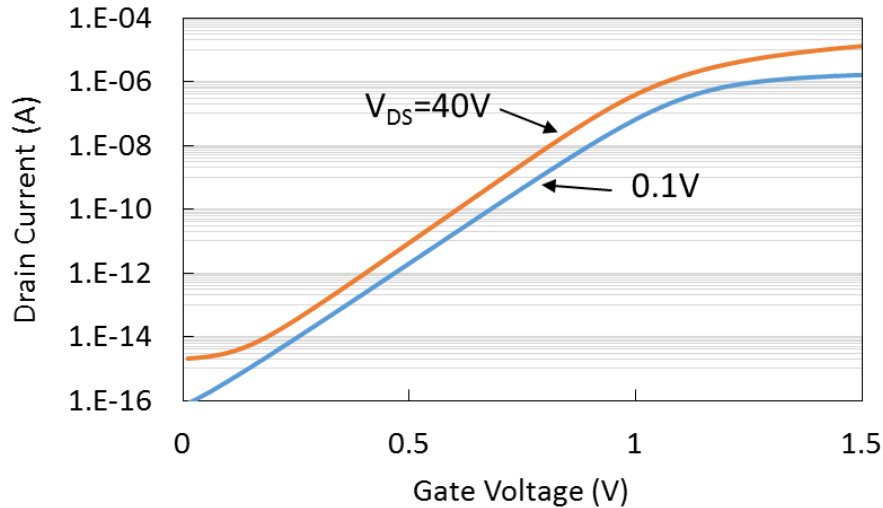
- ・ ドリフト領域の長さを50%まで比例縮小して、20-40V 動作での特性を確認 (広SOA、高信頼性を確保できているか)

- 研究背景・目的
- 従来型・提案型LDMOSTランジスタ構造
- **シミュレーション結果**
  - $I_{DS}$ - $V_{GS}$ 特性
  - $I_{DS}$ - $V_{DS}$ 特性
  - ブレークダウン特性
  - 特性オン抵抗-ブレークダウン電圧特性
  - ホットキャリア耐性
- まとめ

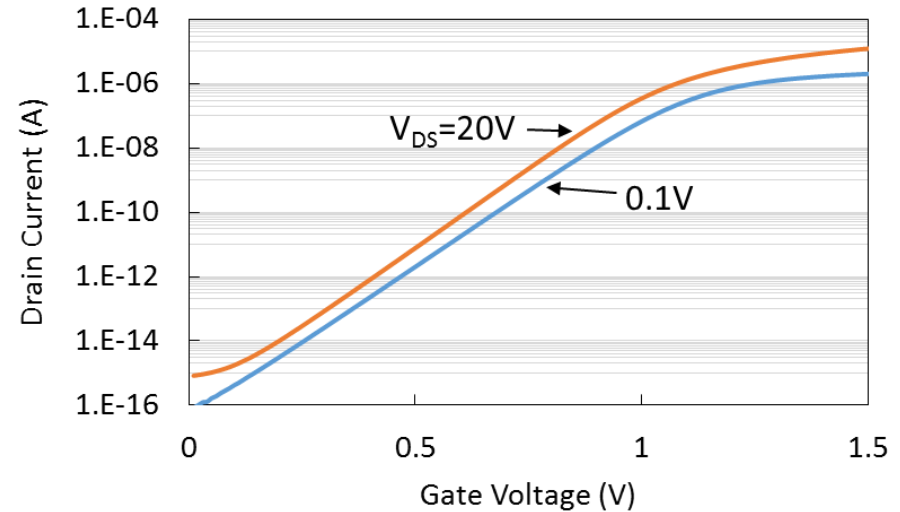


# 提案型の $I_{DS}-V_{GS}$ 特性

ドリフト領域「縮小なし」



ドリフト領域「50%比例縮小」



ドリフト領域	縮小なし		50%比例縮小	
	ドレイン電圧 $V_{DS}$	0.1V	40V	0.1V
しきい値電圧 (at $I_{DS}=0.1\mu A$ )	1.026V	0.922V	1.023V	0.923V

しきい値電圧のシフト量は「縮小なし」と「50%比例縮小」でほぼ同じ

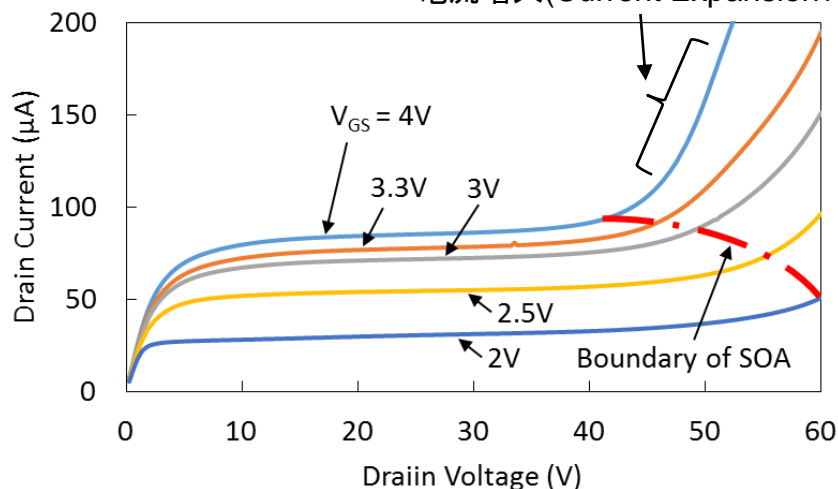


リーク電流の抑制

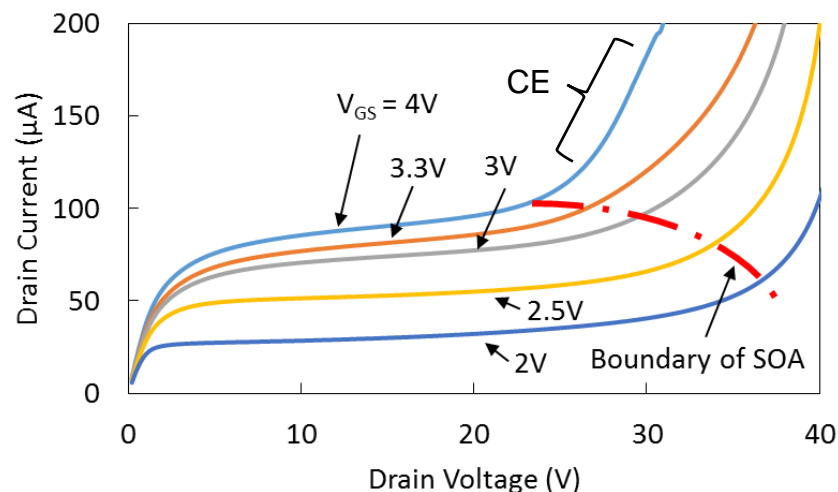
# 提案型の $I_{DS}-V_{DS}$ 特性

## ドリフト領域「縮小なし」

電流増大(Current Expansion: CE)



## ドリフト領域「50%比例縮小」



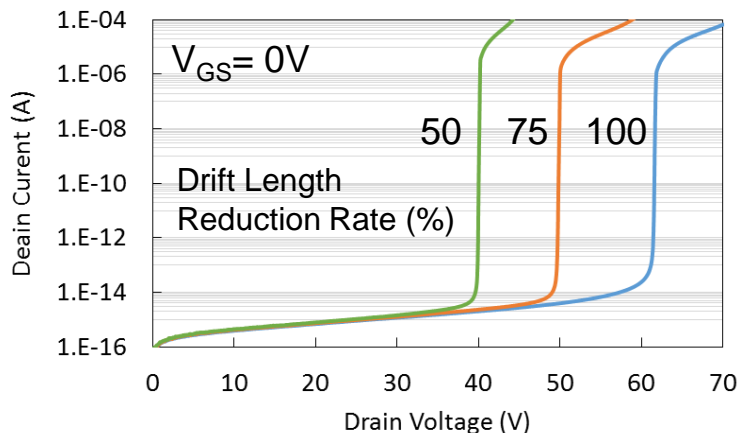
### ■ 20-40V 動作における広SOAの確保



ドリフト領域	縮小なし	50%比例縮小
電流増大なしの領域 (at 最大定格電圧 $V_{GS}=4V$ )	$0 \leq V_{DS} \leq 40V$	$0 \leq V_{DS} \leq 22V$
電流増大なしの領域 (at 動作電圧 $V_{GS}=3.3V$ )	$0 \leq V_{DS} \leq 45V$	$0 \leq V_{DS} \leq 25V$

- 特性オン抵抗  $R_{on,A}$  : 提案型  $\Rightarrow 40.9 \text{ m}\Omega \cdot \text{mm}^2$  (at  $V_{GS}=3.3V, V_{DS}=0.6V$ )  
(従来型  $\Rightarrow 44.8 \text{ m}\Omega \cdot \text{mm}^2$  と比べて提案型は約10%低減)

# 提案型のブレークダウン特性と電界強度分布 11/16



## ブレークダウン特性

■ ブレークダウン電圧  $BV_{DS}$  :

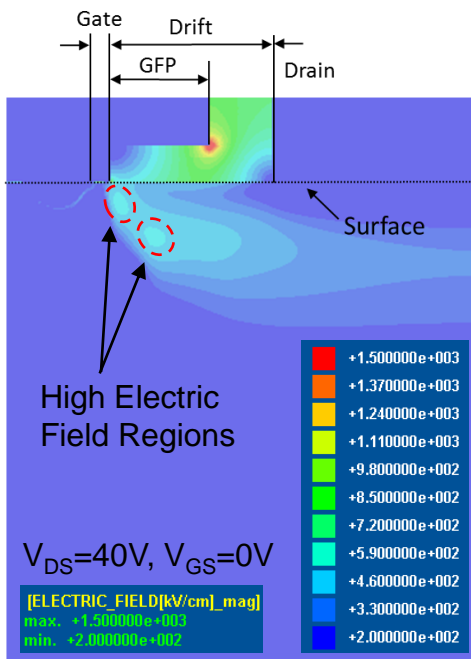
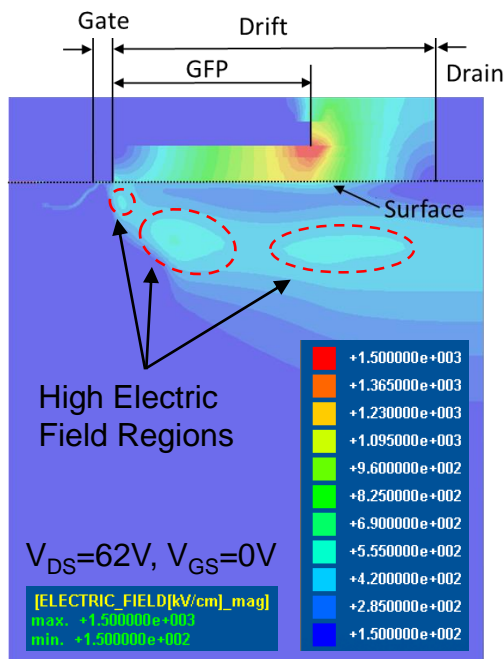
ドリフト領域「縮小なし」  $\Rightarrow$  62V (at  $I_{DS}=10^{-13}A$ )

「50%比例縮小」  $\Rightarrow$  40V

**➡** 20-40V 動作に対して余裕あり

ドリフト領域「縮小なし」

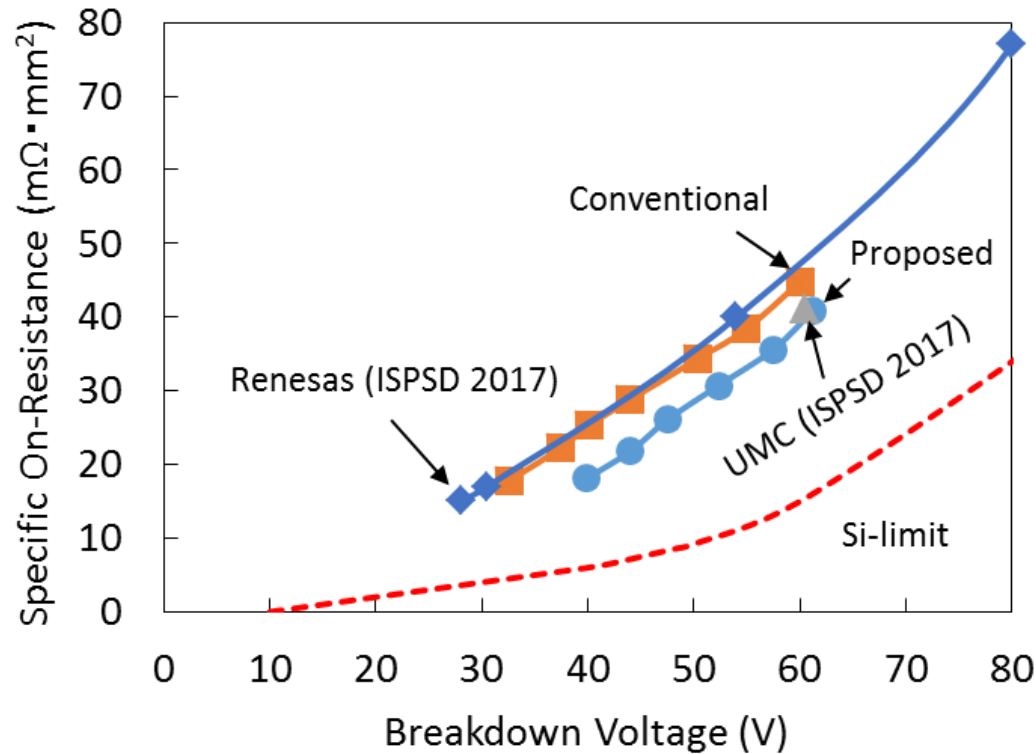
ドリフト領域「50%比例縮小」



## ブレークダウン時の電界強度分布

■ ドリフト領域の縮小「あり」「なし」の構造でブレークダウンはバルクで発生

**➡** 電子・正孔によるゲート酸化膜、界面への影響を抑制



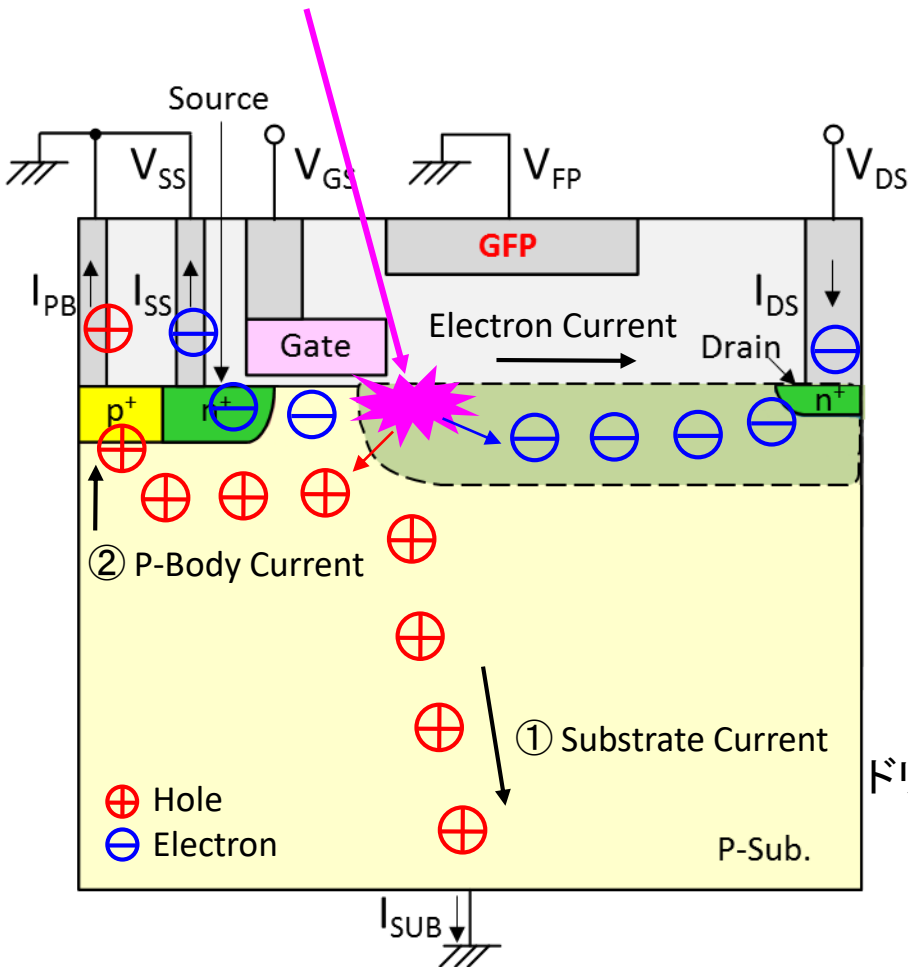
- 提案型の $R_{on}A-BV_{DS}$ 特性  $\Rightarrow$   $\left\{ \begin{array}{l} \text{UMC社 (ISPSD 2017 で発表) と同等の性能} \\ \text{先端レベル} \end{array} \right.$

# ホットキャリア耐性

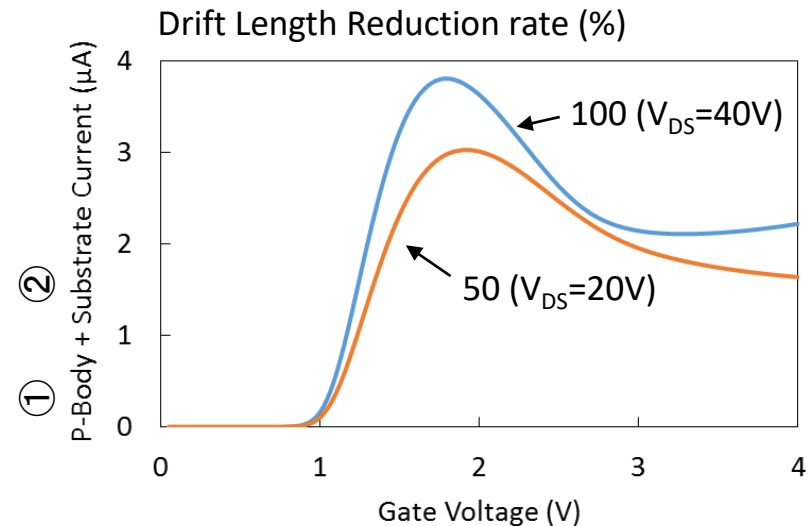
ホットキャリア: 熱平衡状態よりも高いエネルギー状態になった電子



インパクトイオン化: 電子が結晶格子と衝突し、電子・正孔を発生



- ・ 大電流が流れる
- ・ 電子がゲート酸化膜へトラップしてしきい値の上昇



ドリフト領域「縮小なし」「50%比例縮小」で正孔電流を抑制



ホットキャリア耐性を得ると考える

- 研究背景・目的
- 従来型・提案型LDMOSTランジスタ構造
- シミュレーション結果
  - $I_{DS}$ - $V_{GS}$ 特性
  - $I_{DS}$ - $V_{DS}$ 特性
  - ブレークダウン特性
  - 特性オン抵抗-ブレークダウン電圧特性
  - ホットキャリア耐性
- まとめ

## 車載用 20-40V 動作 のLDMOSTランジスタを提案

- 広SOAの確保

$$\left\{ \begin{array}{l} \text{ドリフト領域「縮小なし」} \quad \Rightarrow V_{DS} \leq 40V \\ \text{ドリフト領域「50\%比例縮小」} \Rightarrow V_{DS} \leq 22V \text{ で電流増大(CE)の発生なし} \\ \text{(at ゲート最大定格電圧 } V_{GS}=4V) \end{array} \right.$$

- ホットキャリア耐性の確保

- 特性オン抵抗-ブレークダウン電圧特性は先端レベル

- 20-40V 動作で複数のLDMOSTランジスタをレイアウトのみ変更し、製造プロセスコストを上げることなく1チップ上に作製可能  
⇒回路設計の自由度が上がる

本研究を進めるにあたり、3D TCADを貸していただいたアドバンスソフト社に深謝いたします。

この3D TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト社で開発されています。



# 付録

項目	従来型	提案型
ドレイン電流増大(CE) (at $V_{GS}=4V$ )		ドリフト領域「縮小なし」 $V_{DS} \leq 40V$ CE発生なし 「50%比例縮小」 $V_{DS} \leq 22V$
$R_{on}A$ ( $m\Omega \cdot mm^2$ )	44.8	40.9
$BV_{DS}$ (V)	60	62
ブレークダウンの箇所	バルク	バルク
FOM(= $R_{ON} \times Q_g$ ) ( $m\Omega nC$ )	141	48.2
スイッチング損失		高周波数帯で小さい

3D TCADシミュレータ ... Advance/DESSERT(サンプル版)

アドバンスソフト株式会社

- ・実物に近いモデルの使用

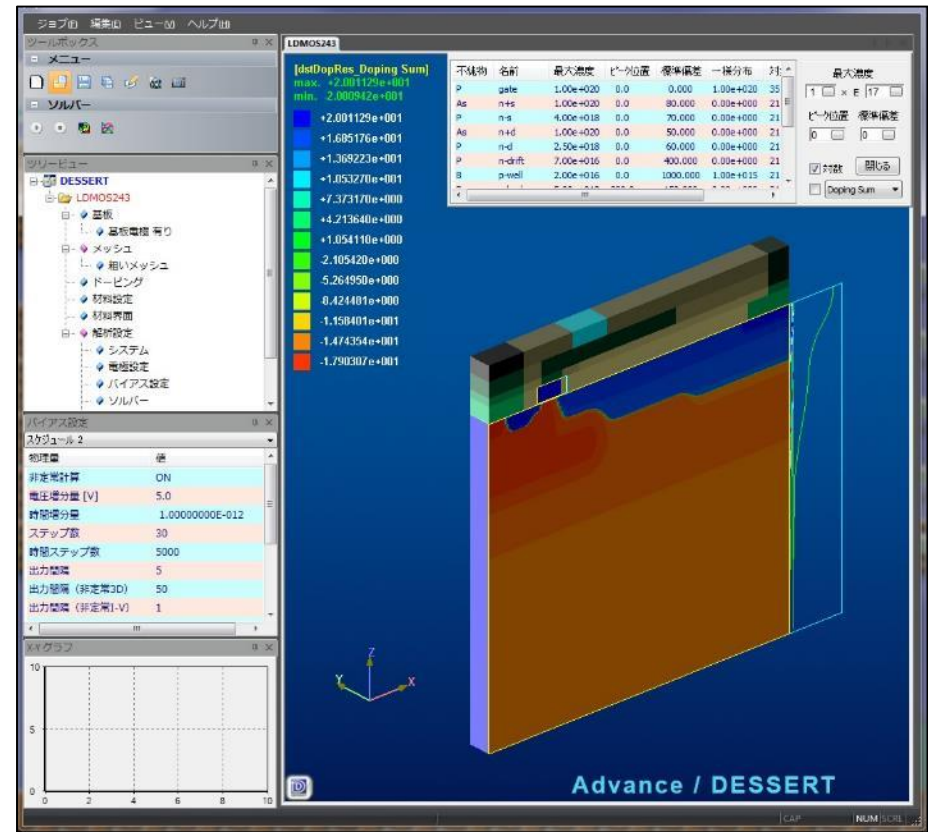


高精度

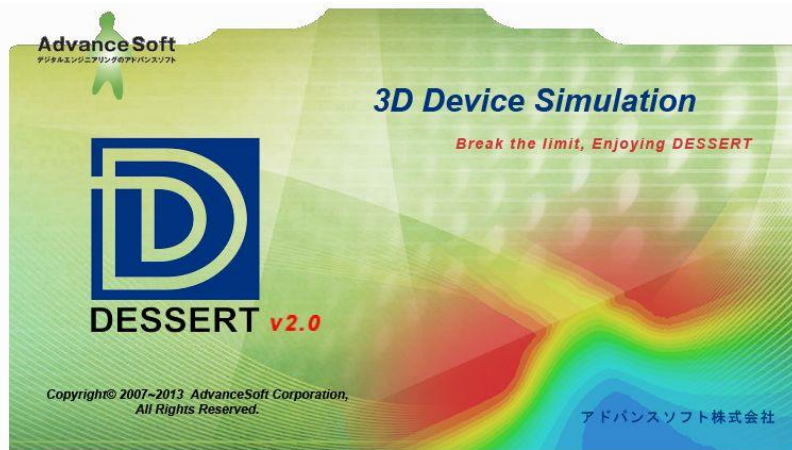
- ・実物を作らなくても良い

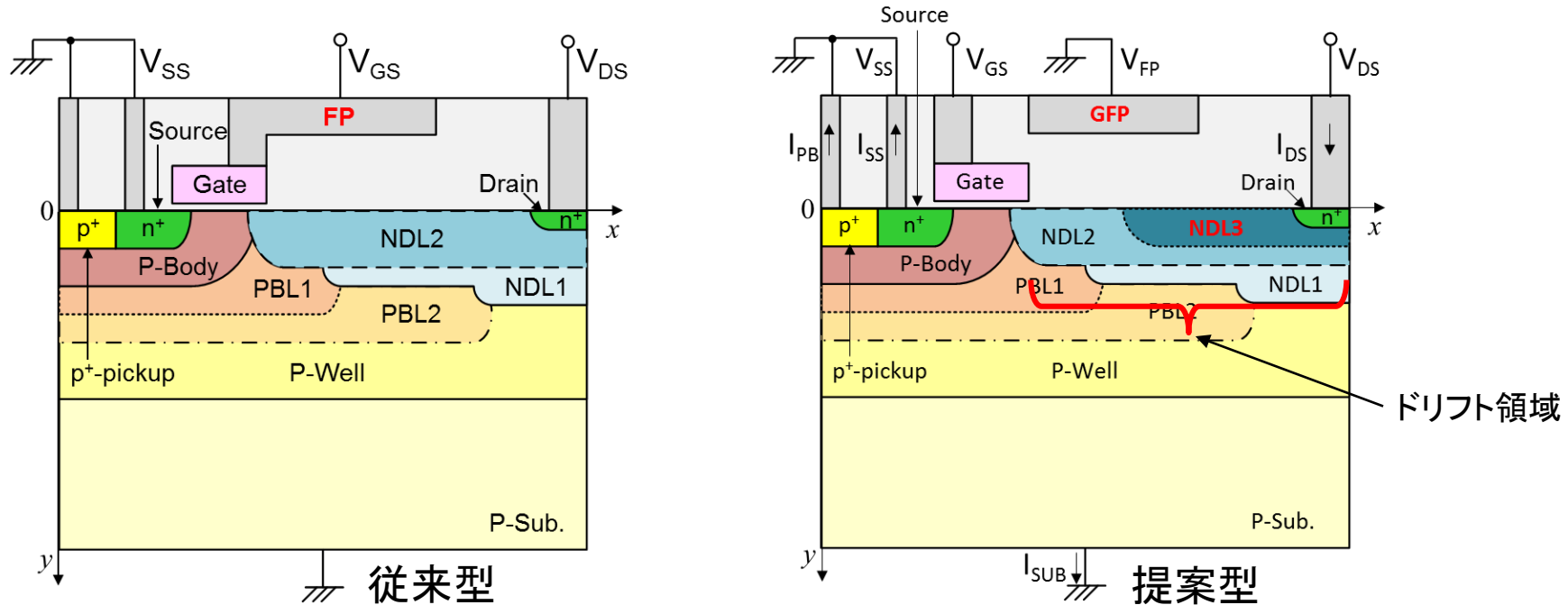


短時間で多くの構造の開発・評価



シミュレータ画面





## 埋込p層(デュアルRESURF構造)

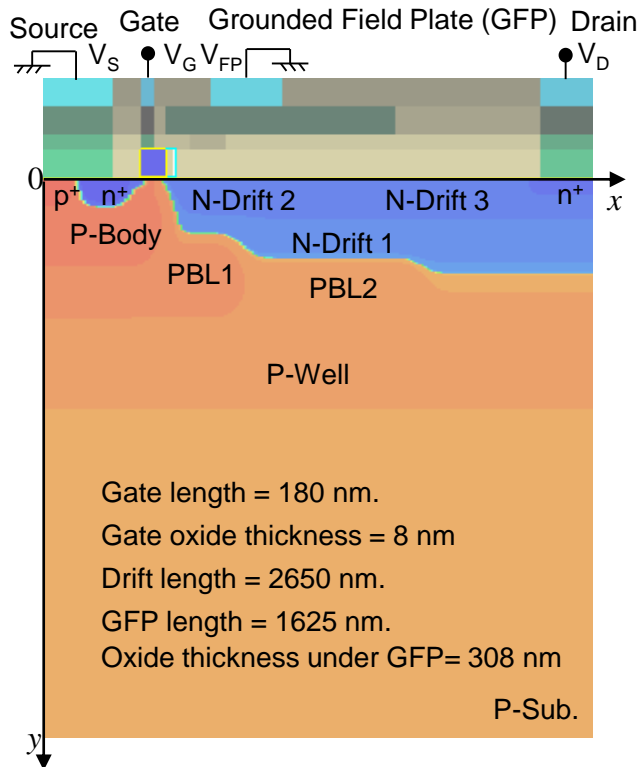
- PBL1 ⇒ ゲート側ドリフト端のRESURF強化(高ホットキャリア耐性)、CE抑制
- PBL2 ⇒ ドリフト層全体のRESURFに有効
- ドレイン下のPBL2開口 ⇒ ブレークダウン電圧低下防止

## ドリフト層(3層構造)

- NDL1(深い領域) ⇒ ドリフトの基本層
- NDL2(浅い領域) ⇒ CE抑制、特性オン抵抗低下
- NDL3(浅い領域:ゲート側ドリフト端領域除く) ⇒ CE抑制を強化(広SOA)、特性オン抵抗より低下

## フィールド・プレート

- フィールド・プレート(接地) ⇒ ミラー容量低減(スイッチング損失低減)、RESURF補助

0.18 $\mu$ m CMOS プロセスベース

Name	Impurity	Maximum Concentration ( $\text{cm}^{-3}$ )	Peak Location (nm)	Standard Deviation (nm)	Uniform Distribution ( $\text{cm}^{-3}$ )	Lateral Diffusion Coefficient	Diffusion Window (nm)	
Gate	P	0.00E+00	0	0	1.00E+20	0.7	Blanket	700-880
Source $n^+$	As	1.00E+20	0	80	0	0.7	Stripe	250-500
Source $n^-$	P	3.70E+18	0	45	0	0.7	Stripe	300-700
Drain $n^+$	As	1.00E+19	0	50	0	0.7	Stripe	3530-3930
$n^-$ drift 1	P	7.00E+16	0	400	0	0.7	Stripe	880-3930
$n^-$ drift 2	P	8.50E+16	0	200	0	0.7	Stripe	880-3930
$n^-$ drift 3	P	3.50E+16	0	150	0	0.7	Stripe	1650-3930
$p^-$ well	B	2.00E+16	0	1000	1.00E+15	0.7	Blanket	0-3930
$p^-$ body	B	5.00E+18	300	150	0	0.7	Stripe	0-650
$p^+$ pickup	B	1.00E+20	0	80	0	0.7	Stripe	0-250
$V_t$	B	1.30E+18	0	50	0	0.7	Stripe	0-760
$p^-$ buried layer 1	B	3.00E+17	700	150	0	0.7	Stripe	0-1230
$p^-$ buried layer 2	B	3.00E+16	800	150	0	0.7	Stripe	0-2530

羽賀先生より

Q. シミュレーションはどんな解析法を用いている？

A. ポアソンと電流連続の式。ポアソンは電界・電圧を、電流連続は電流を求める。ラプラスの式では電界が含まれていない。

Q. 11ページで、電界が直角に表示されているが、それでよいのか？実際は丸びを帯びているのではないか？

A. シミュレーション上の関係で直角に表示される。また、ブレークダウンがバルク内で発生していることが重要であり、構造の上部は影響はほとんどないと見る。