

微小信号測定用SAR ADCでの 冗長性度合いの検討

新井宏崇 荒船拓也 澁谷将平 小林佑太郎 浅見幸司 小林春夫

群馬大学大学院 理工学府 電子情報・数理教育プログラム
小林研究室 博士前期課程1年
新井 宏崇

OUTLINE

- はじめに
- SAR ADCと冗長設計
- フィボナッチ数列を用いた冗長設計
- フィボナッチ数列重み付けSAR ADCの新知見
- まとめ

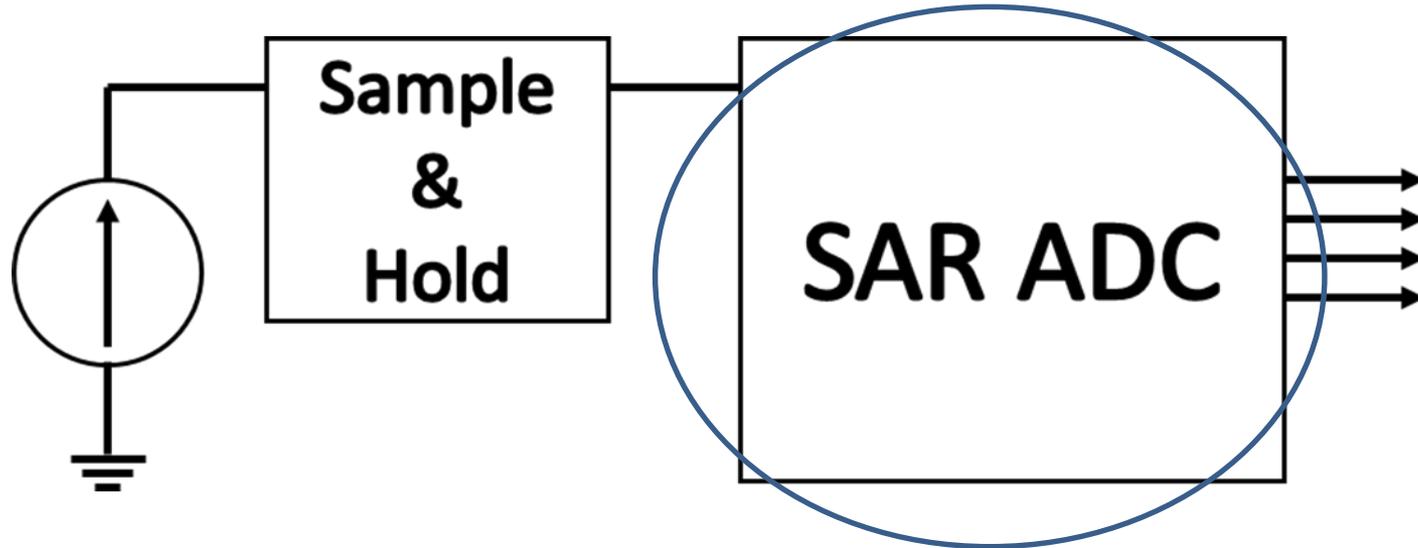
OUTLINE

- はじめに
- SAR ADCと冗長設計
- フィボナッチ数列を用いた冗長設計
- フィボナッチ数列重み付けSAR ADCの新知見
- まとめ

研究背景

逐次比較近似AD変換器(SAR ADC)使用

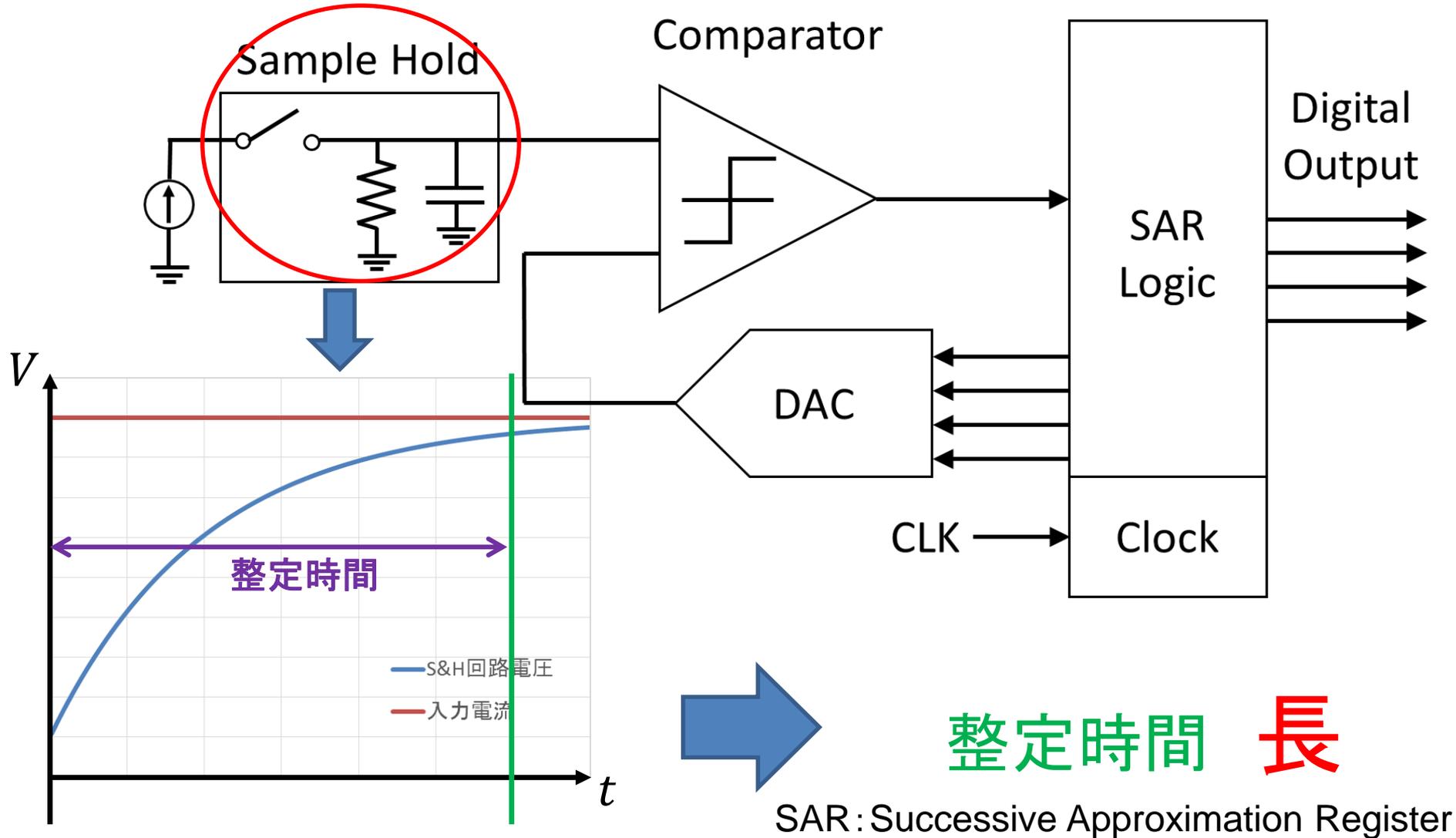
微小電流源の測定



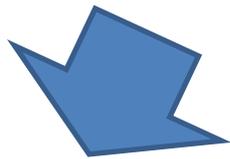
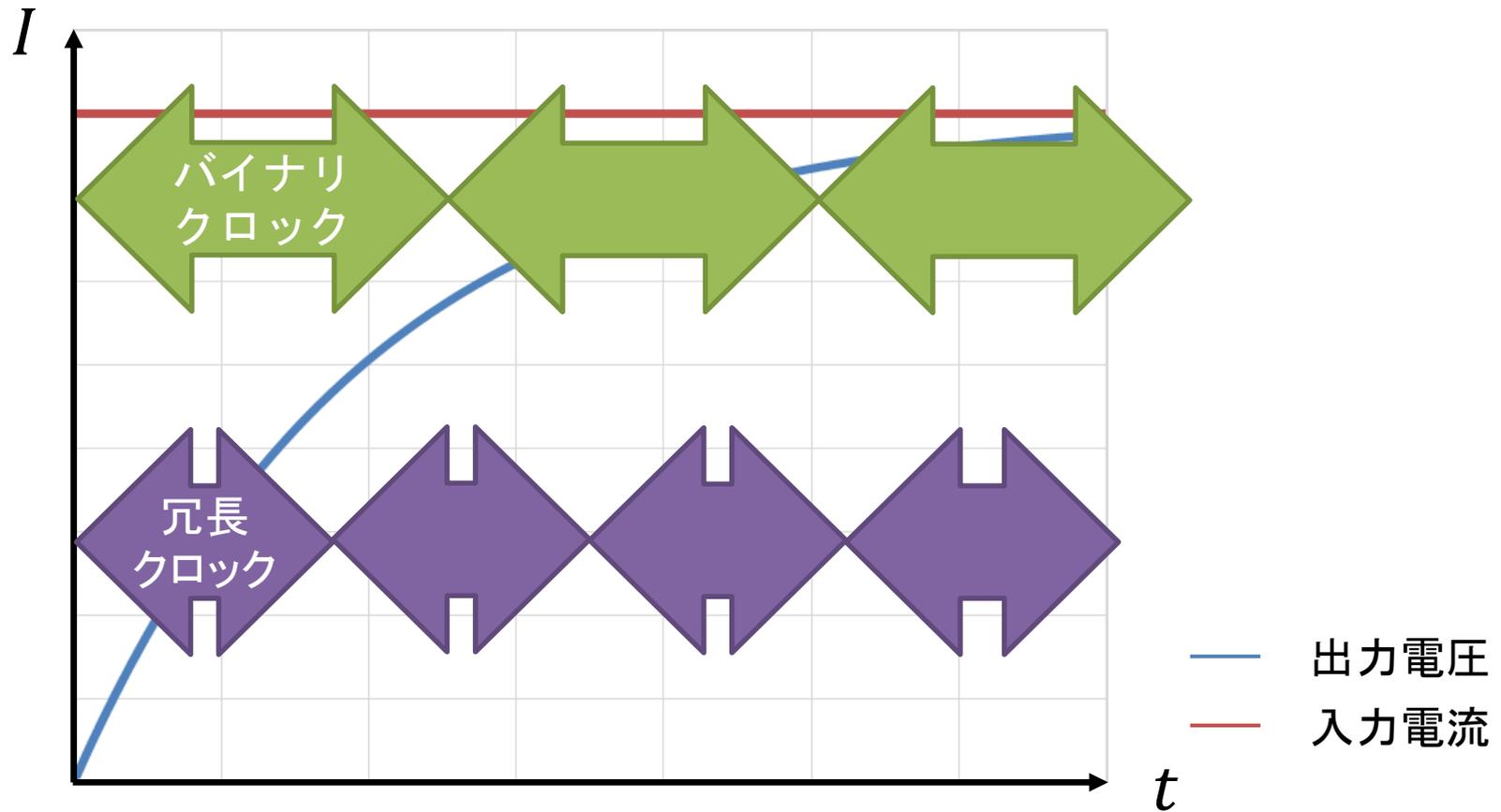
最適な重み付けを導出

微小電流源測定の問題点

SAR ADC使用を考える



導き出した解決策



各ステップ測定時間短縮

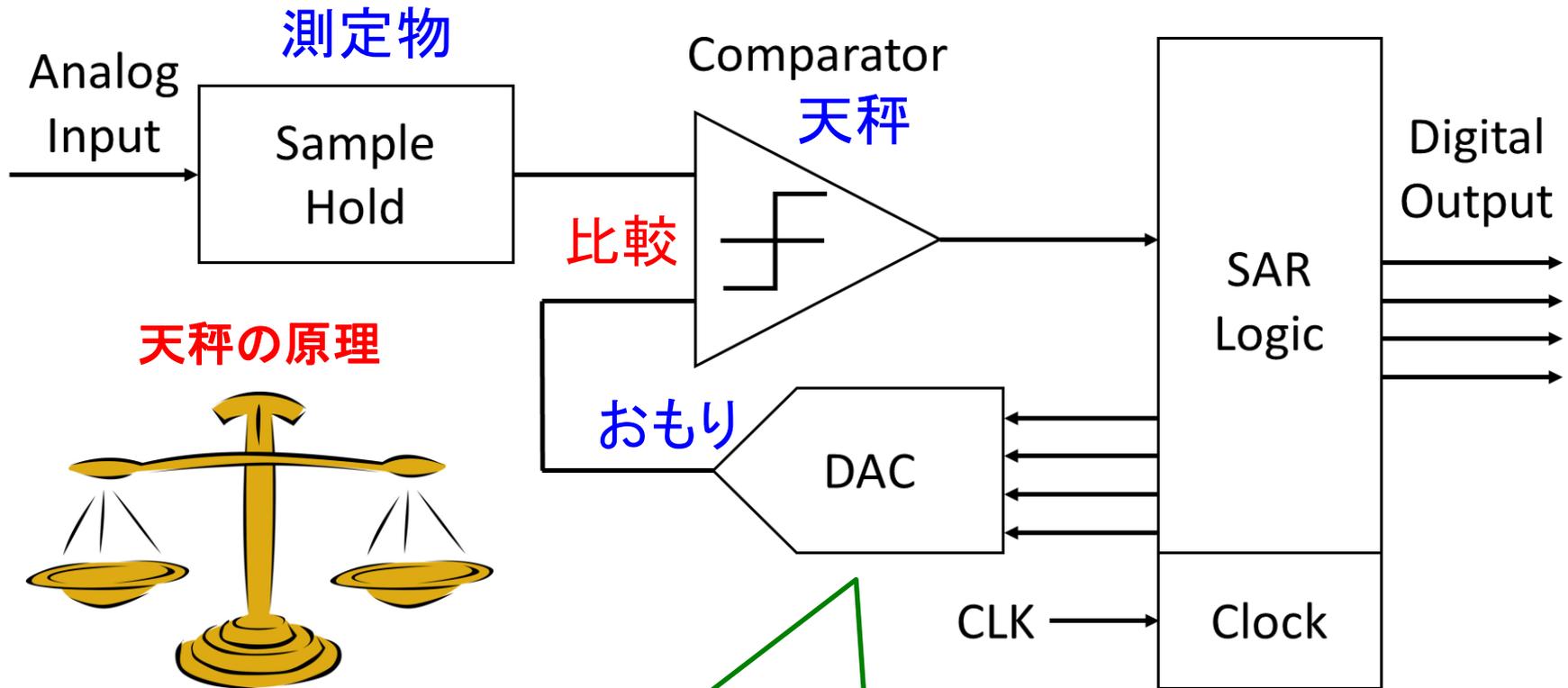


全体の測定時間短縮

OUTLINE

- はじめに
- SAR ADCと冗長設計
 - SAR ADC
 - 冗長性を有するSAR ADC
- フィボナッチ数列を用いた冗長設計
- フィボナッチ数列重み付けSAR ADCの新知見
- まとめ

逐次比較近似AD変換器(SAR ADC)



天秤の原理



一般的には二進重みを利用
(1, 2, 4, 8, 16, 32, 64 ...)



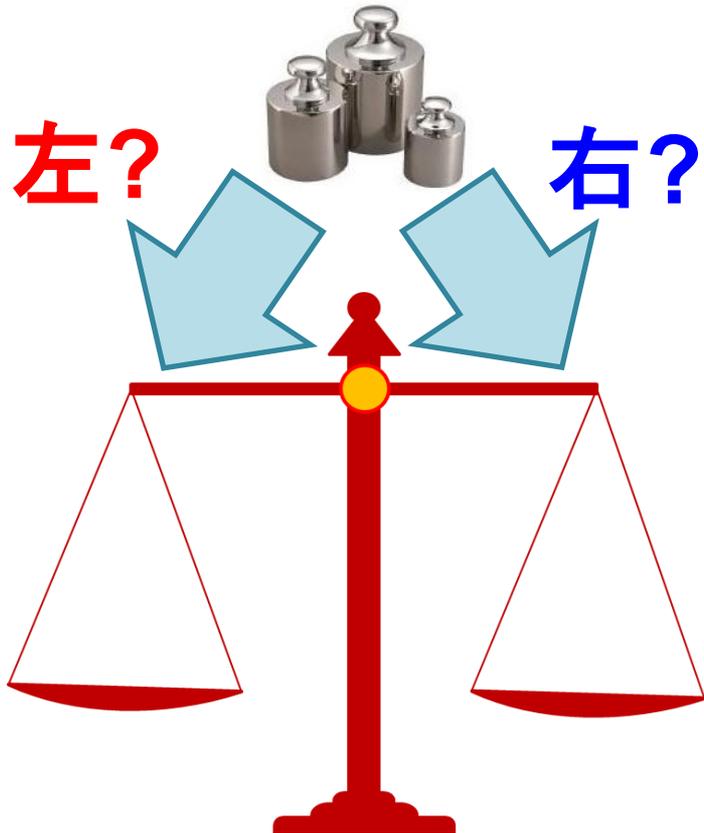
SAR: Successive Approximation Register

二進探索SAR ADCの動作

5bit-5step SAR ADC

- Analog Input: 7.3 [V]
- Binary weight :

16, 8, 4, 2, 1



Step	1st	2nd	3rd	4th	5th	output
Weight $p(k)$	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

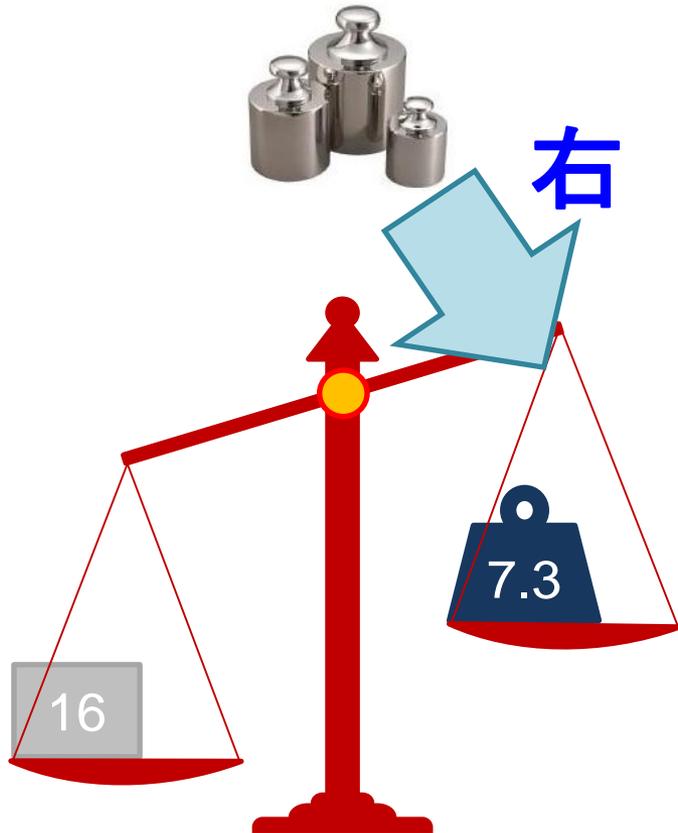
Level

二進探索SAR ADCの動作

5bit-5step SAR ADC

- Analog Input: 7.3 [V]
- Binary weight :

8, 4, 2, 1



Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

Level

Down!

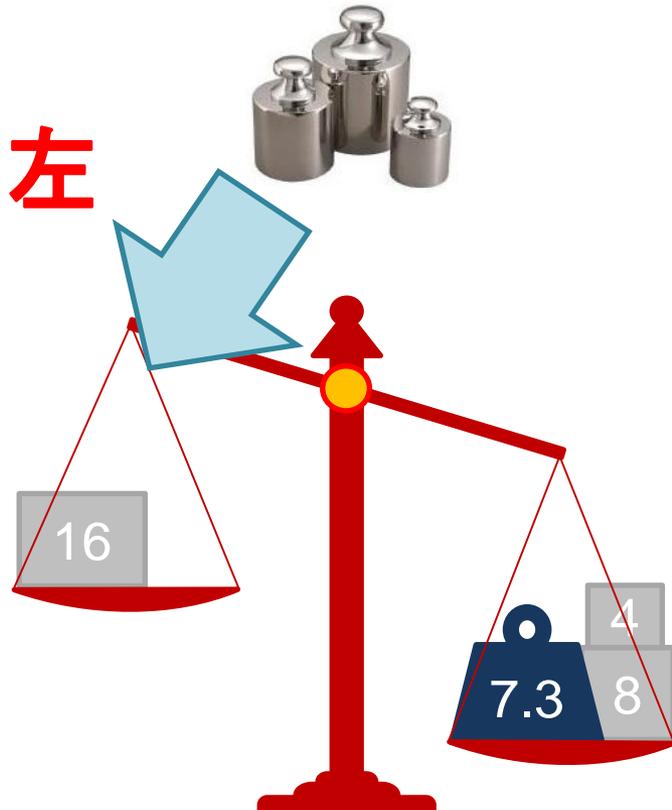
0

二進探索SAR ADCの動作

5bit-5step SAR ADC

- Analog Input: 7.3 [V]
- Binary weight :

2, 1



Step	1st	2nd	3rd	4th	5th	output
Weight $p(k)$	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3	0	0	1			3
2	0	0	1			2
1	0	0	1			1
0						0

Level

UP!

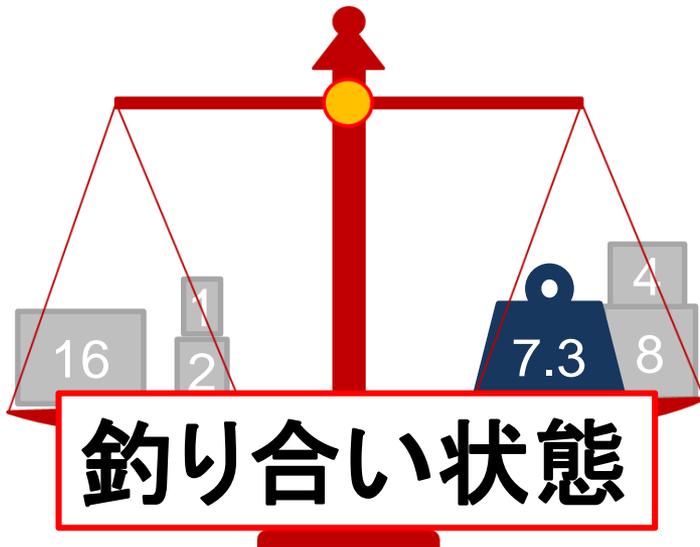
二進探索SAR ADCの動作

5bit-5step SAR ADC

- Analog Input: 7.3 [V]
- Binary weight :

$$7.3 \Rightarrow 00111 \Rightarrow 7$$

$$16 - 8 - 4 + 2 + 1 + 0.5 - 0.5 = 7$$



Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3	0	0	1	1	1	3
2	0	0	1	1	1	2
1	0	0	1	1	1	1
0						0

OUTLINE

- はじめに
- SAR ADCと冗長設計
 - SAR ADC
 - 冗長性を有するSAR ADC
- フィボナッチ数列を用いた冗長設計
- フィボナッチ数列重み付けSAR ADCの新知見
- まとめ

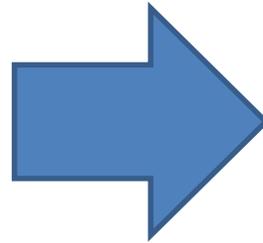
冗長性と誤差補正

冗長・・・余裕・予備

冗長性なし

ステップ数	1	2	3	4
比較電圧の重み	8	4	2	1
レベル	15			
	14			
	13			
	12			
	11			
	10			
	9			
	8			
	7			
	6			
	5			
	4			
	3			
	2			
	1			
	0			

重み変更



+冗長性

誤差補正が可能に！

冗長性あり

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
0					0	
-1					-1	

Radix = 基数

※ $q(k)$: k ステップ目の補正可能範囲

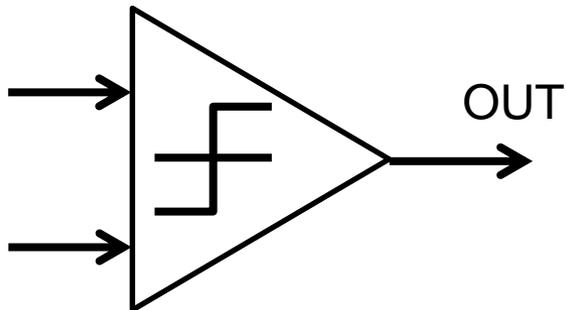
正常動作

正常な動作

アナログ入力



コンパレータ



Step	1	2	3	4	output
Weight	8	4	2	1	
LEVEL	15				15
	14				14
	13				13
	12				12
	11				11
	10				10
	9				9
	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

デジタル出力



冗長性なし

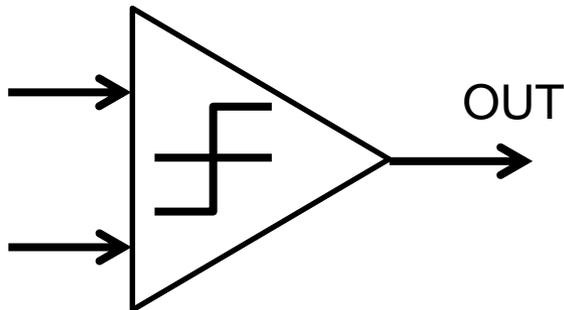
コンパレータの誤判定

コンパレータが
誤動作をすると...

アナログ入力



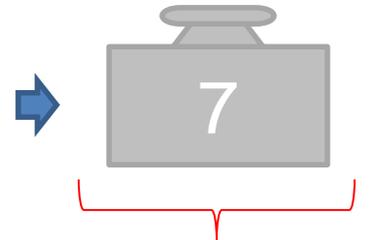
コンパレータ



Step	1	2	3	4	output
Weight	8	4	2	1	
					15
					14
					13
					12
					11
					10
					9
					8
LEVEL	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

誤判定

デジタル出力



7?

誤判定すると
誤りを出力

信頼性 ↓

冗長性なし

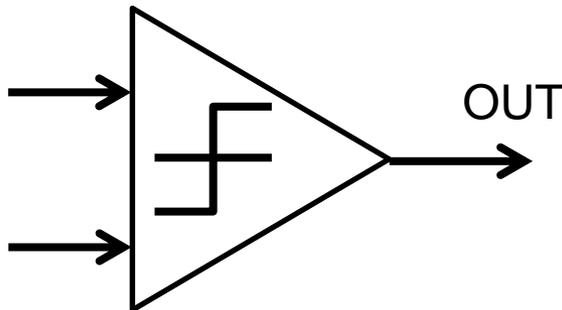
冗長設計による判定補正

コンパレータが
誤動作をすると...

アナログ入力



コンパレータ



step	1	2	3	4	5	output
weight	8	6	3	2	1	
LEVEL 16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0
-1						-1

誤判定

デジタル出力



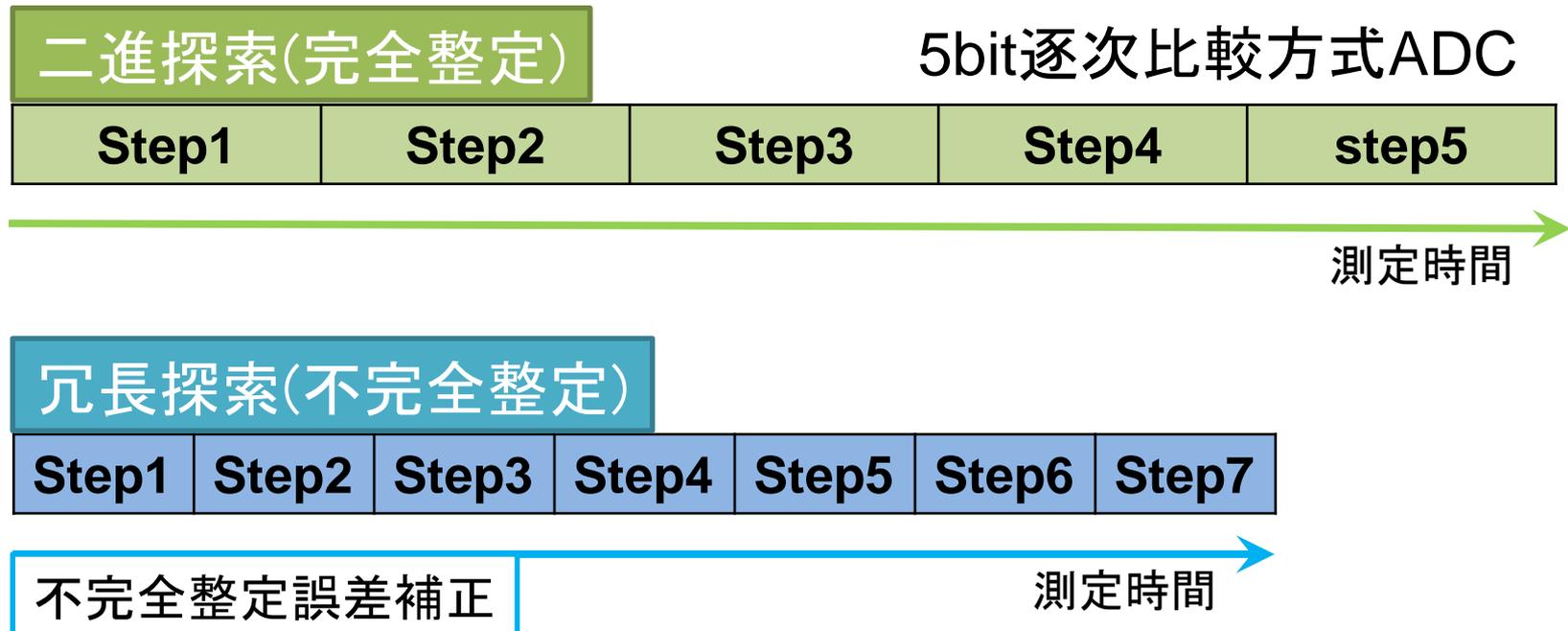
補正可能
正確な出力

信頼性 ↑

冗長性あり

冗長探索SAR ADCの特長

前半の比較条件を緩和し、速度の上昇
後半の比較条件を強化し、誤判定を補正



各ステップが短縮され、全体の測定時間が**短縮**

OUTLINE

- はじめに
- SAR ADCと冗長設計
- **フィボナッチ数列を用いた冗長設計**
- フィボナッチ数列重み付けSAR ADCの新知見
- まとめ

フィボナッチ数列とは？

フィボナッチ数列

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$

初項から計算していくと...

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233...

隣り合う2項の比率を考えると...

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \varphi$$

収束比率 φ

黄金比 (約1.6進数)



Leonardo Fibonacci
(伊:1170~1250年頃)

整数で1.6進数を
表現可能

フィボナッチ数列重み付けSAR ADC

フィボナッチ数列重み付けSAR ADC

錘としてフィボナッチ数列を用いる

黄金比 ϕ を使うことで

- ・無駄なステップ
- ・補正できない入力範囲

がない最も効率のよい設計が可能

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight p(k)	16	8	5	3	2	1	1
32				↕	↕		
31				↕	↕		
30			↕	↕	↕		
29			↕	↕	↕		
28			↕	↕	↕		
27			↕	↕	↕		
26		↕		↕	↕		
25		↕		↕	↕		
24		↕		↕	↕		
23		↕		↕	↕		
22		↕		↕	↕		
21		↕		↕	↕		
20	↕	↕		↕	↕		
19	↕	↕		↕	↕		
18	↕	↕		↕	↕		
17	↕	↕		↕	↕		
16	↕	↕		↕	↕		
15	↕	↕		↕	↕		
14	↕	↕		↕	↕		
13	↕	↕		↕	↕		
12	↕	↕		↕	↕		
11	↕	↕		↕	↕		
10	↕	↕		↕	↕		
9	↕	↕		↕	↕		
8	↕	↕		↕	↕		
7	↕	↕		↕	↕		
6	↕	↕		↕	↕		
5	↕	↕		↕	↕		
4	↕	↕		↕	↕		
3	↕	↕		↕	↕		
2	↕	↕		↕	↕		
1	↕	↕		↕	↕		
0	↕	↕		↕	↕		
-1	↕	↕		↕	↕		
-2	↕	↕		↕	↕		

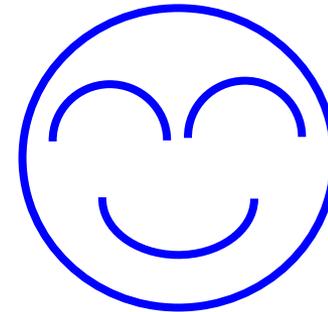
OUTLINE

- はじめに
- SAR ADCと冗長設計
- フィボナッチ数列を用いた冗長設計
- **フィボナッチ数列重み付けSAR ADCの新知見**
 - フィボナッチ・バイナリ比較シミュレーション
 - Radix手法を用いたシミュレーション
- まとめ

証明内容

Sample & Hold回路の整定時間を考慮

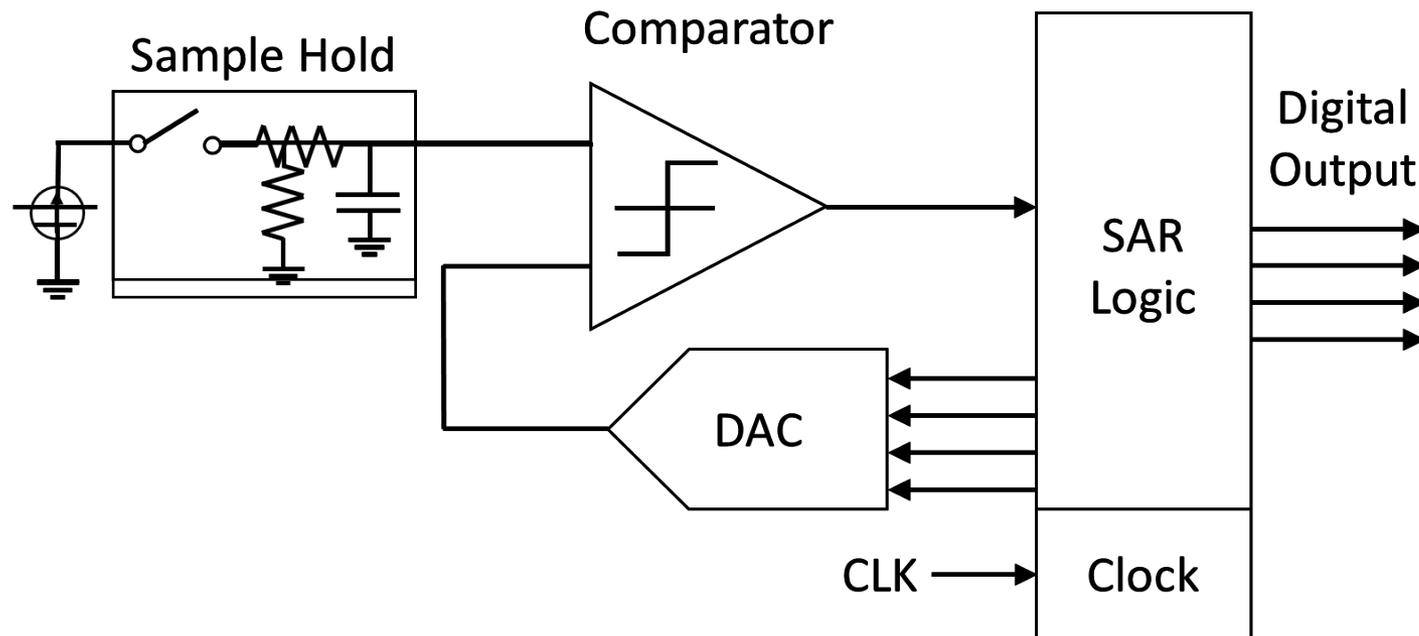
測定時間



バイナリ型SAR ADC > フィボナッチ型SAR ADC

シミュレーション条件(1/2)

- 入力信号: 微小電流源 \Rightarrow 電圧源 (テブナンの等価回路)
- S&H回路の整定時間を考慮



シミュレーション条件(2/2)

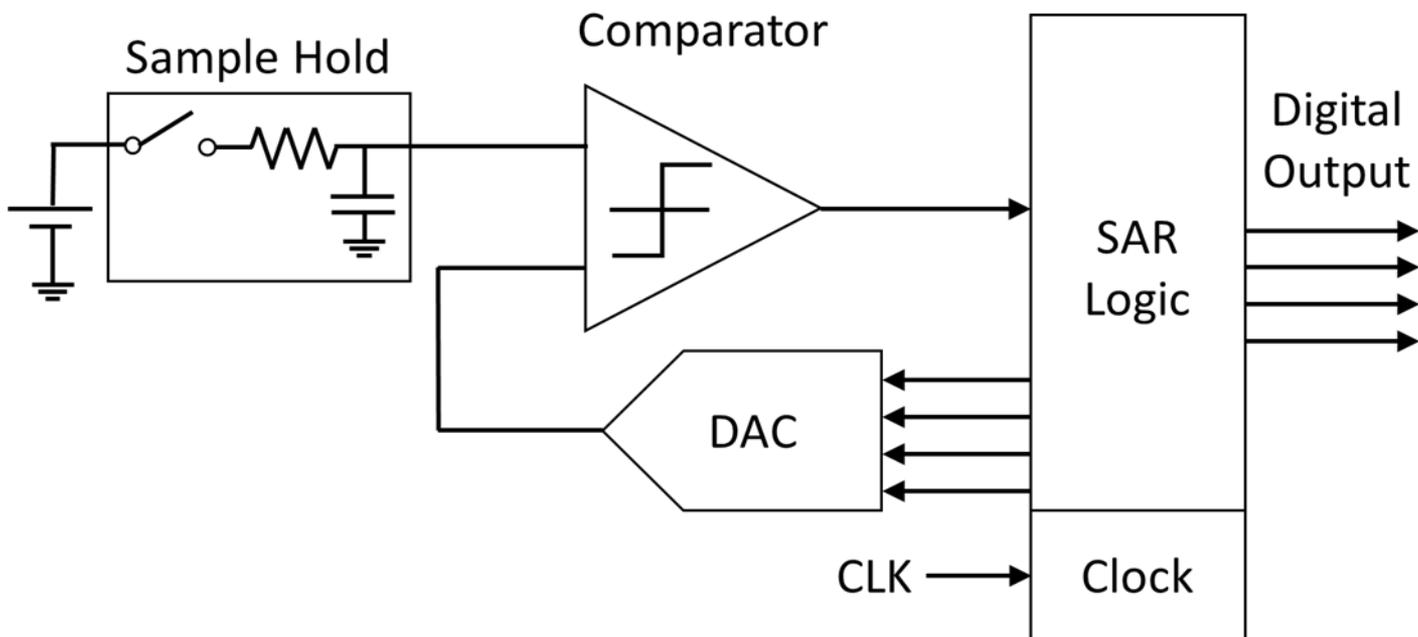
scilabによるシミュレーション

Radix : 1.62(フィボナッチ), 2(バイナリ)

分解能: 1~14bit

精度 : $\frac{1}{2}$ LSB

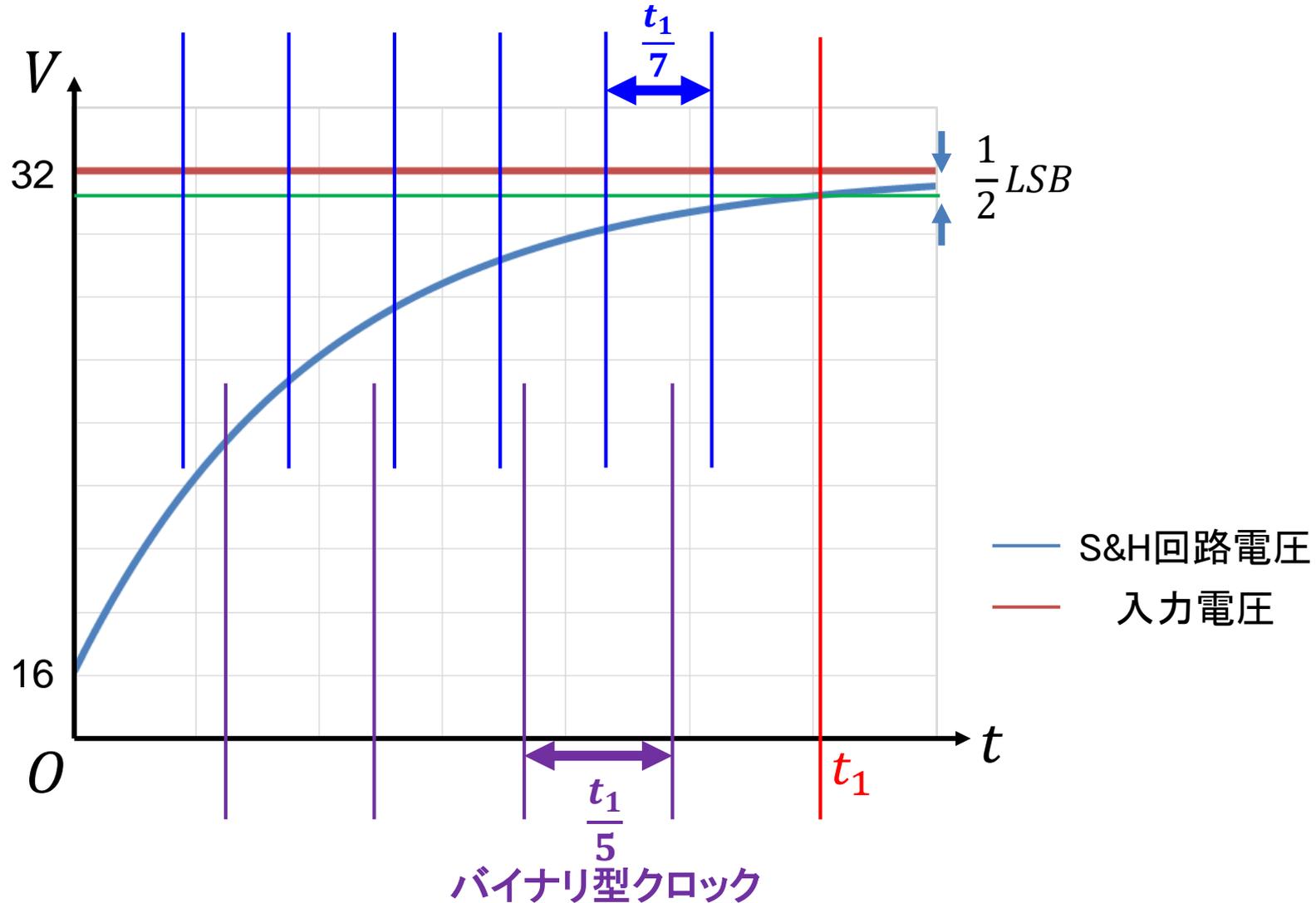
キャパシタ初期電圧: フルスケールの半分



シミュレーション方法(1/2)

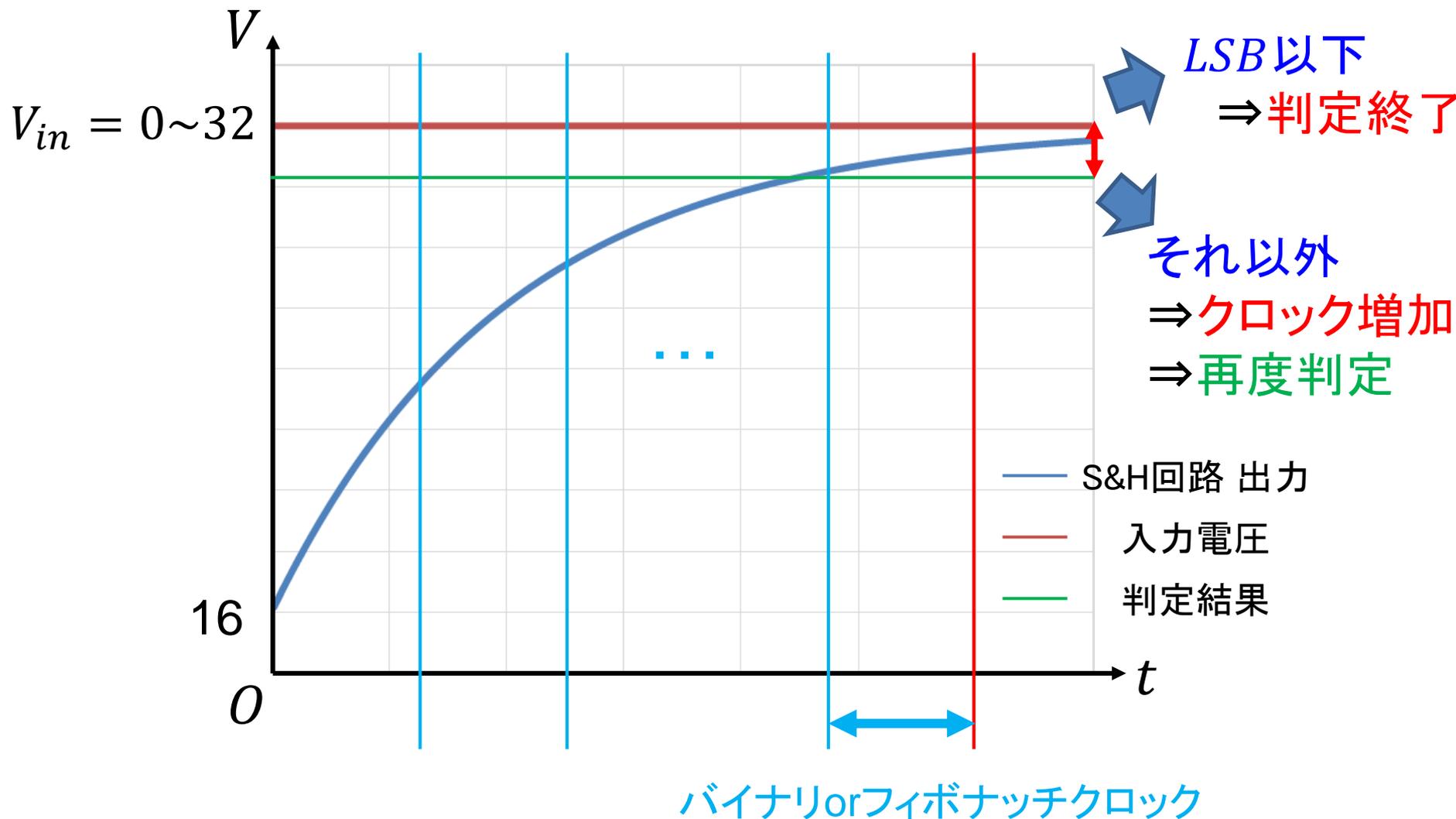
ワーストケースからクロック生成(例:5ビット)

フィボナッチ型クロック



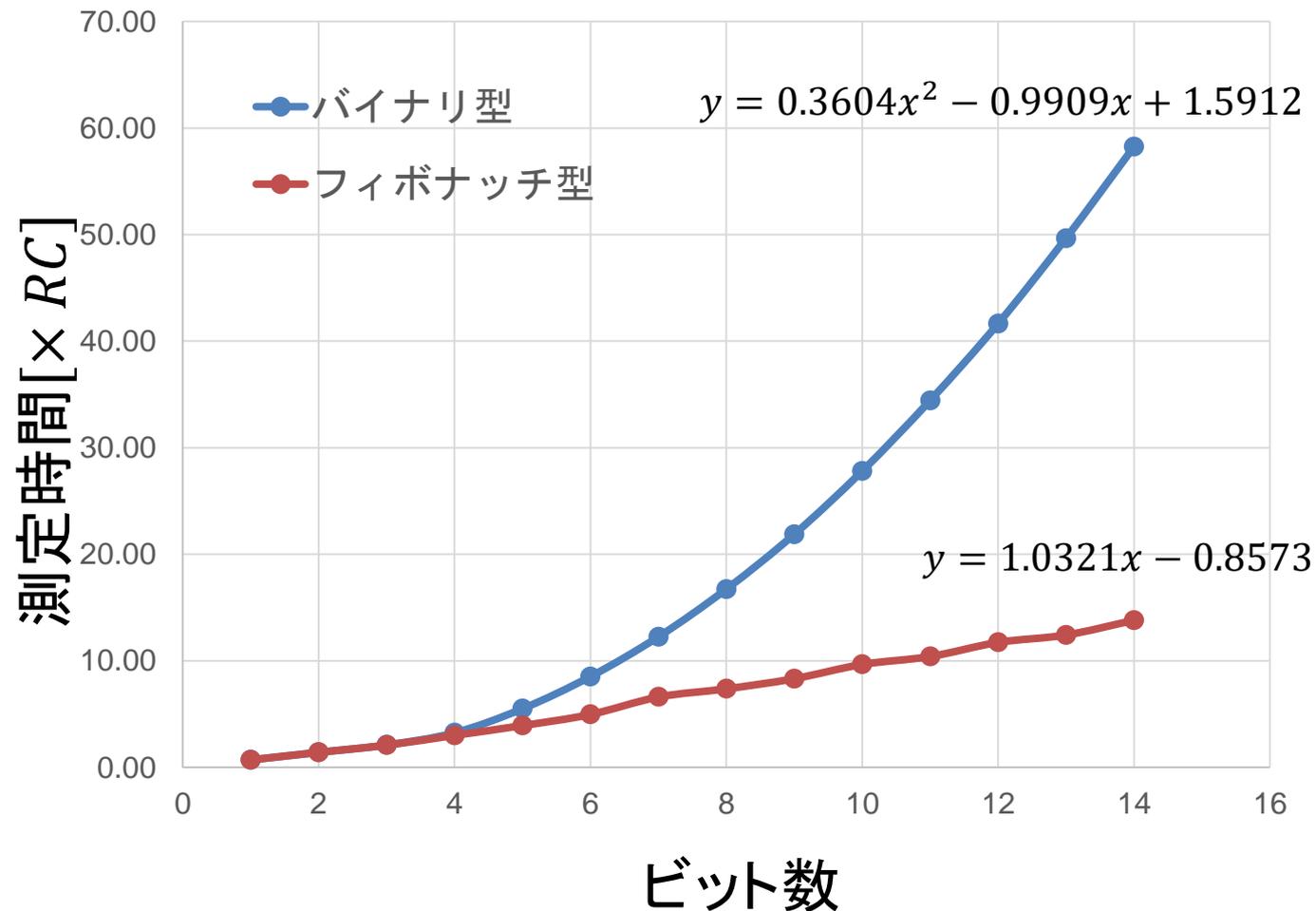
シミュレーション方法(2/2)

判定・変更(バイナリandフィボナッチ)



シミュレーション結果

ビット数を変化させたときの測定時間



OUTLINE

- はじめに
- SAR ADCと冗長設計
- フィボナッチ数列を用いた冗長設計
- **フィボナッチ数列重み付けSAR ADCの新知見**
 - フィボナッチ・バイナリ比較シミュレーション
 - Radix手法を用いたシミュレーション
- まとめ

シミュレーション条件

- 入力信号: 電流源⇒電圧源
- S&H回路の整定時間を考慮

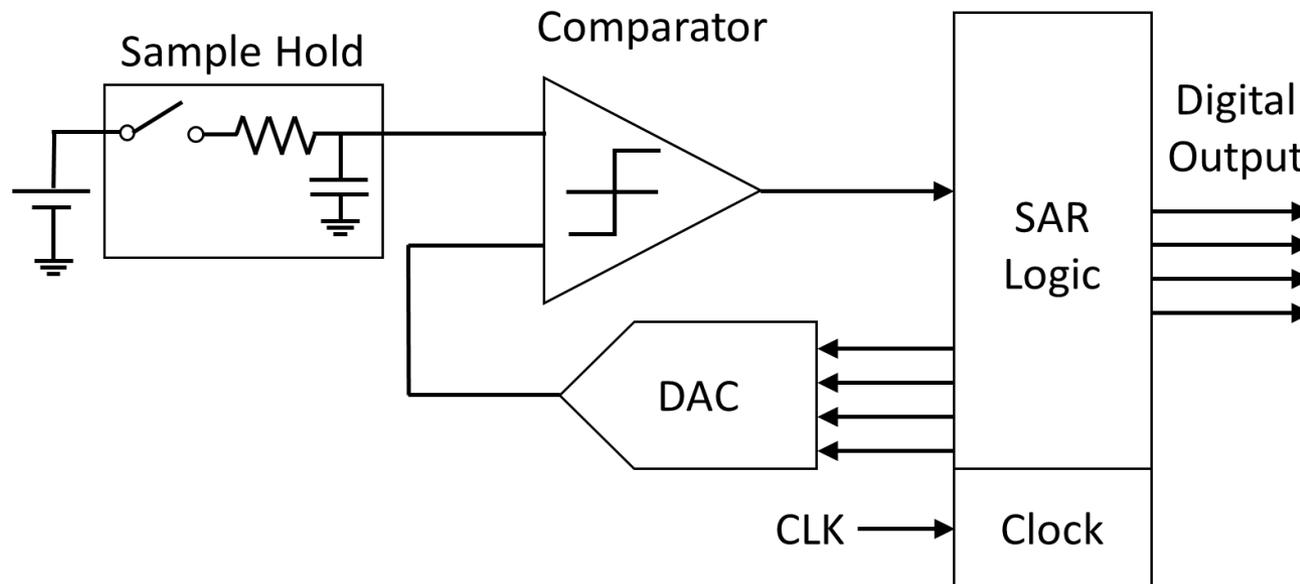
scilabによるシミュレーション

Radix : 1.1~1.9

分解能 : 5bit

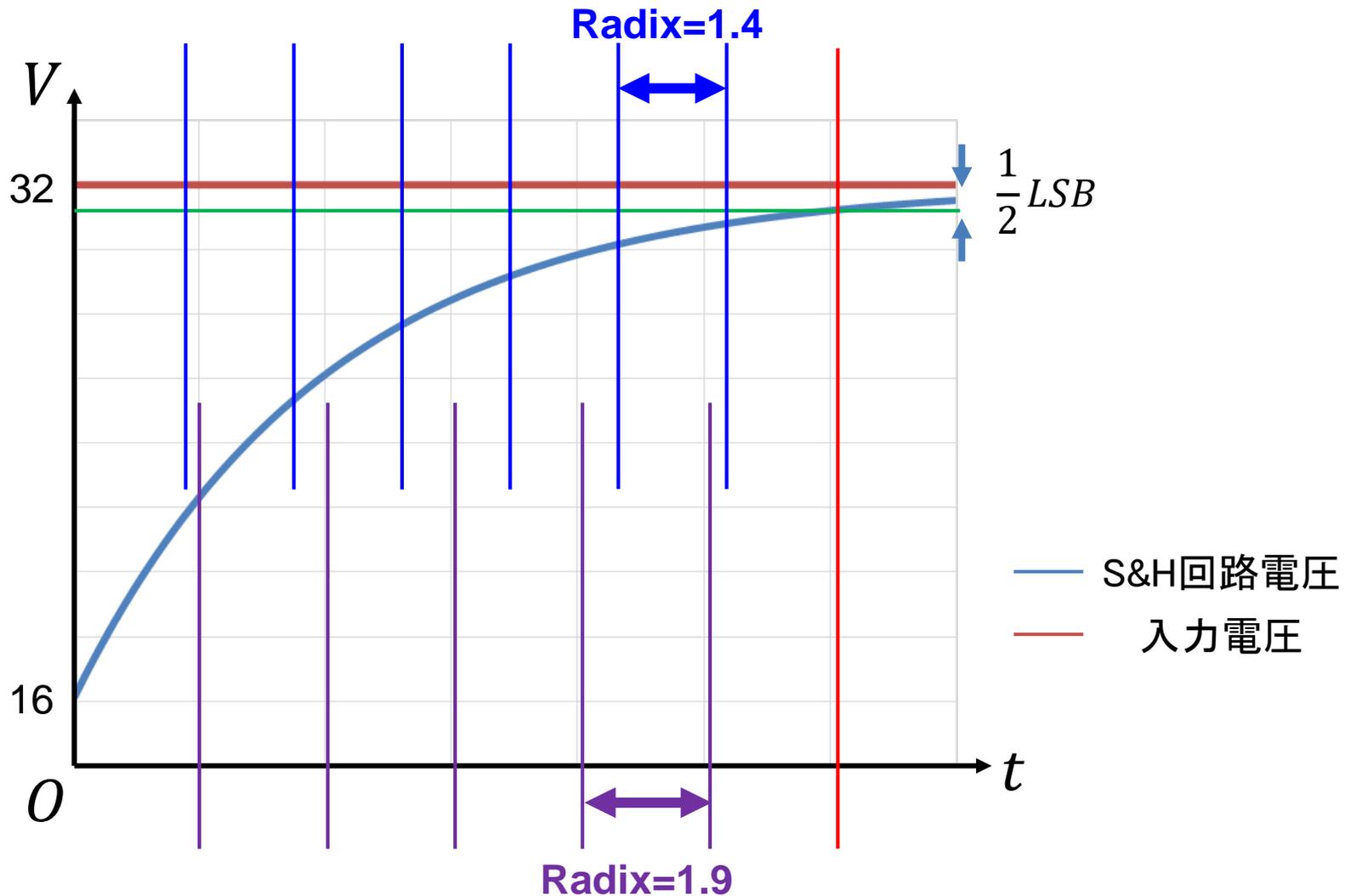
精度 : $\frac{1}{2}$ LSB

キャパシタ初期電圧 : フルスケールの半分



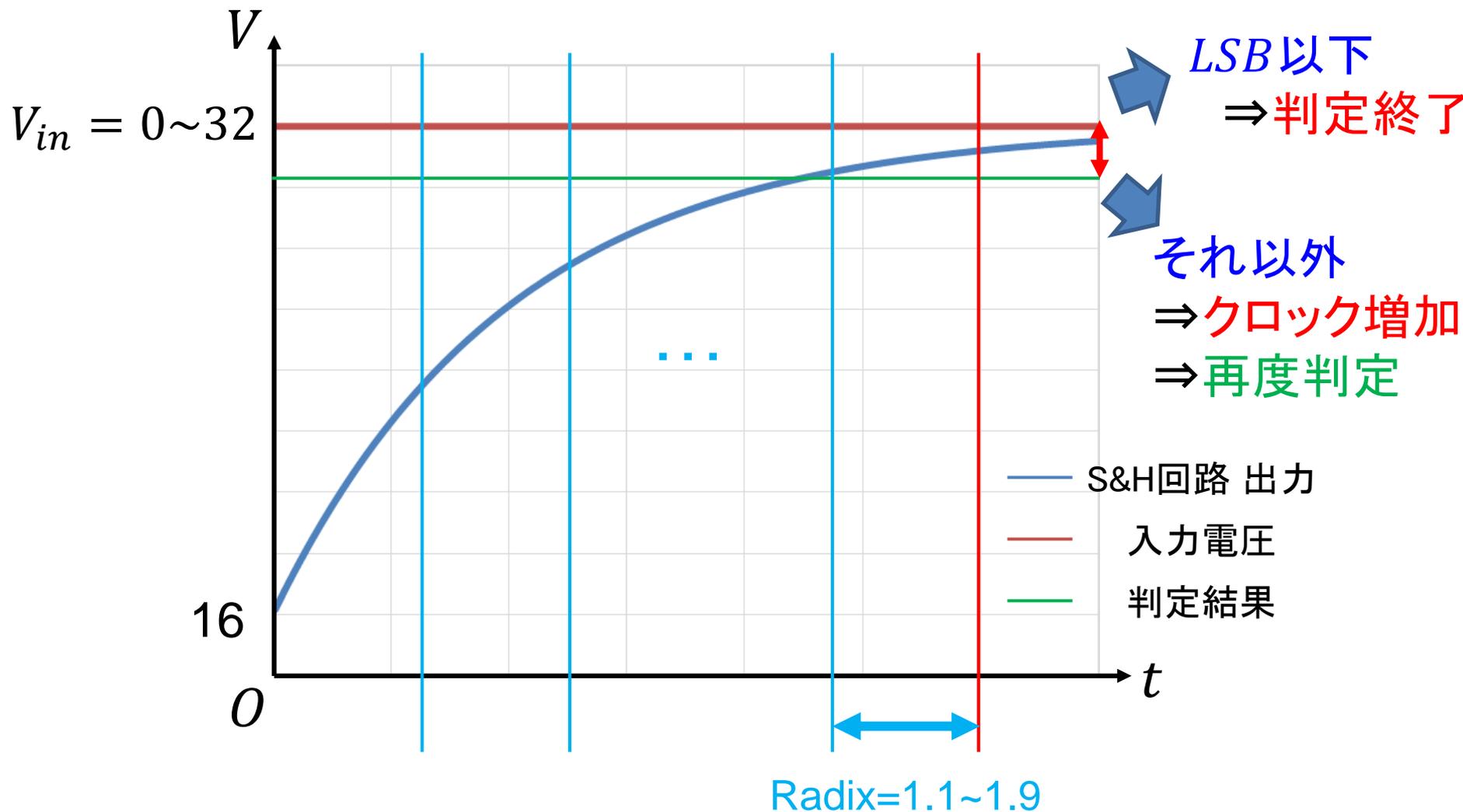
シミュレーション方法(1/2)

ワーストケースをステップ数で分割しクロック生成



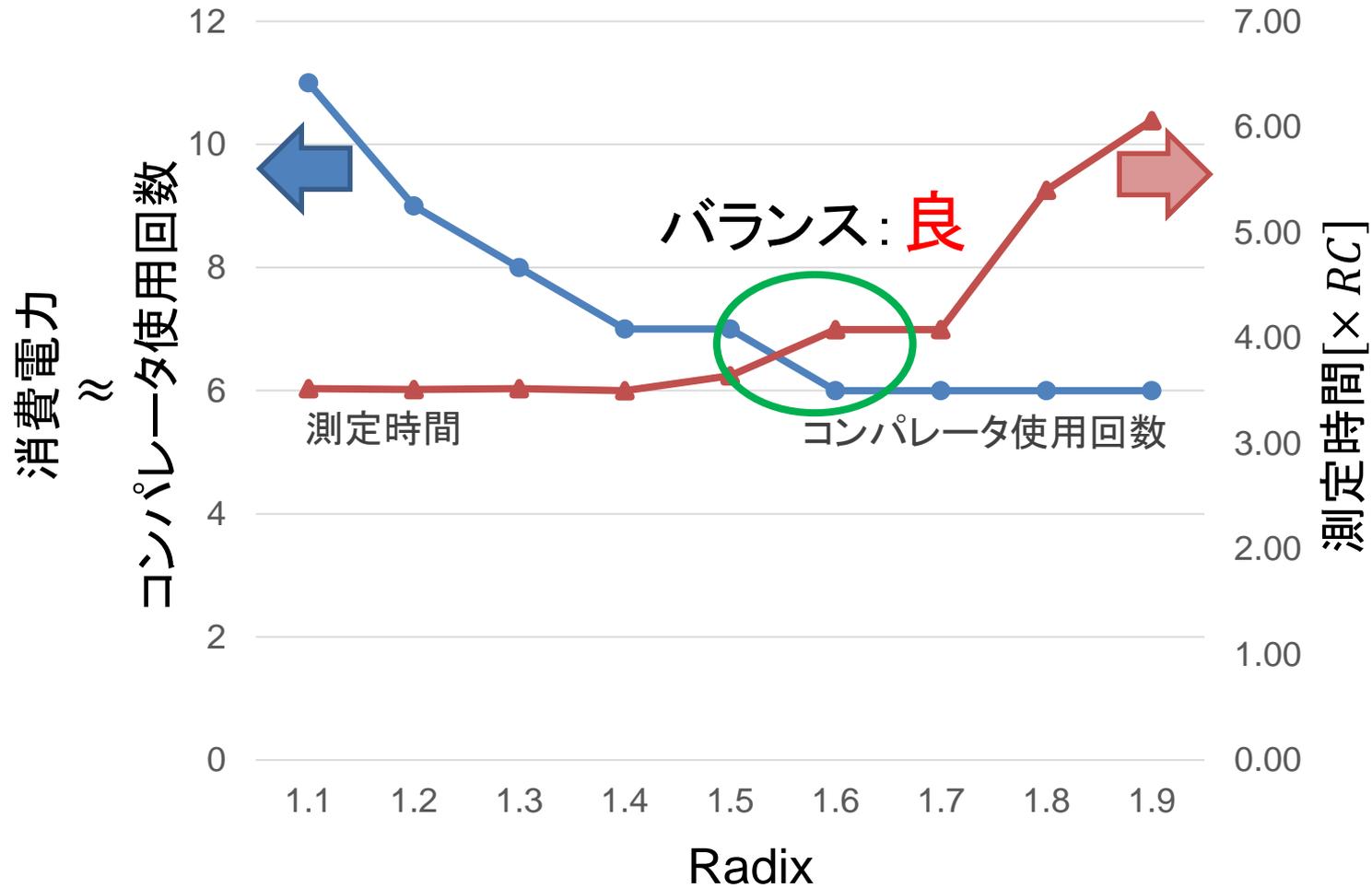
シミュレーション方法(2/2)

判定・変更(バイナリandフィボナッチ)

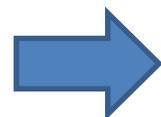


シミュレーション結果

分解能: 5bit



Radix=1.6付近



フィボナッチ手法が適する

OUTLINE

- はじめに
- SAR ADCと冗長設計
- フィボナッチ数列を用いた冗長設計
- フィボナッチ数列重み付けSAR ADCの新知見
- まとめ

まとめ

SAR ADC使用 微小電流源測定



Sample & Hold回路の遅延を考慮

- バイナリ型(冗長性:無) :完全整定
- フィボナッチ型(冗長性:有):不完全整定



各step 測定時間短縮



測定時間

バイナリ型SAR ADC > フィボナッチ型SAR ADC

Radix手法を用いたシミュレーション

Radix=1.6付近 測定時間 ← バランス : 良 → コンパレータ使用回数



フィボナッチ手法が適する

Q&A

- 神奈川工科大学 小室先生
 - 電流源が微小である理由は
 - 入力が微小電流源以外の場合はDACの不完全整定の影響が大きく、微小電流源の場合はSample & Hold回路の整定時間が大きく影響する。
- 羽賀先生
 - フィボナッチ数列重み付けSAR ADCで誤差補正できない範囲は
 - 最後の2ステップで誤判定が起こった場合や誤差補正範囲以上のノイズが乗ってしまった場合が誤差補正できない
- 弓仲先生
 - フィボナッチ数列を用いるとなぜよくなるか
 - $\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = \varphi$ となり、黄金比は単峰関数の極値探索に有用であるから