# 積分型時間デジタイザ回路と サンプリングクロックの検討

佐々木優斗、小林春夫

群馬大学 理工学部 電子情報理工学科 小林研究室 学部4年 佐々木 優斗 t14304053@gunma-u.ac.jp

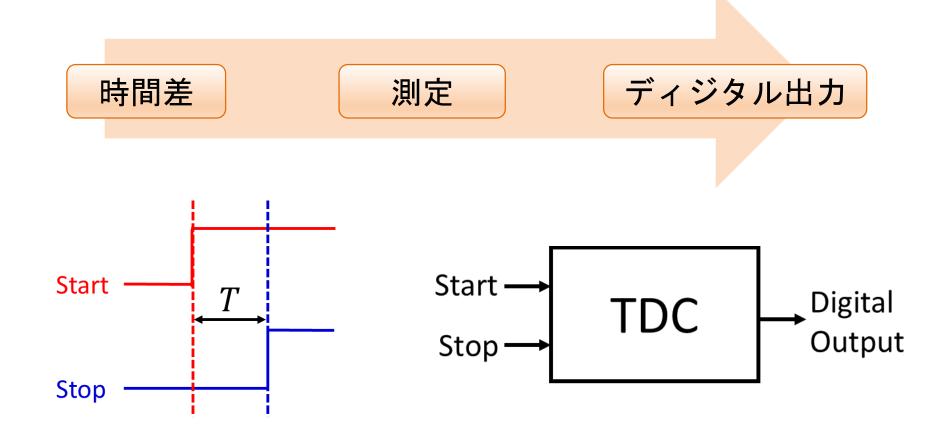
### アウトライン

- 研究目的
- ・ 積分型時間デジタイザ回路
- 効率的波形取得サンプリング周波数
- シミュレーションによる検証
- まとめと課題

### アウトライン

- 研究目的
- 積分型時間デジタイザ回路
- ・ 効率的波形取得サンプリング周波数
- シミュレーションによる検証
- まとめと課題

### 時間デジタイザ回路の役割



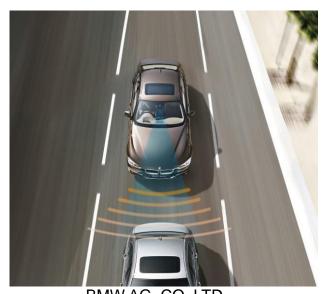
時間デジタイザ回路(Time-to-Digital Converter、TDC); タイミング信号の時間差を測定しデジタル出力

# 具体的な応用例



**SIEMENS** CO.,LTD.

放射線計測器 車間等の距離計測 イオン飛行時間分析 時間領域ADC 等

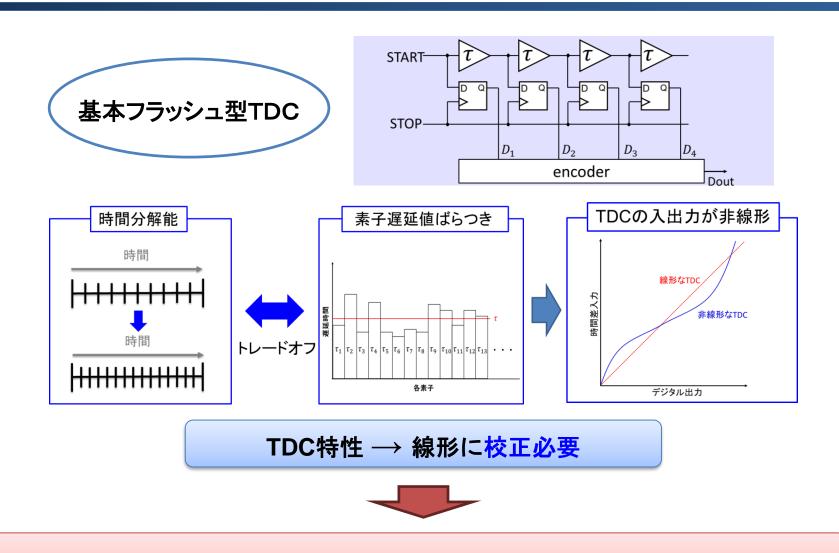


BMW AG CO.,LTD.



JAXA Digital Archives

### 研究目的

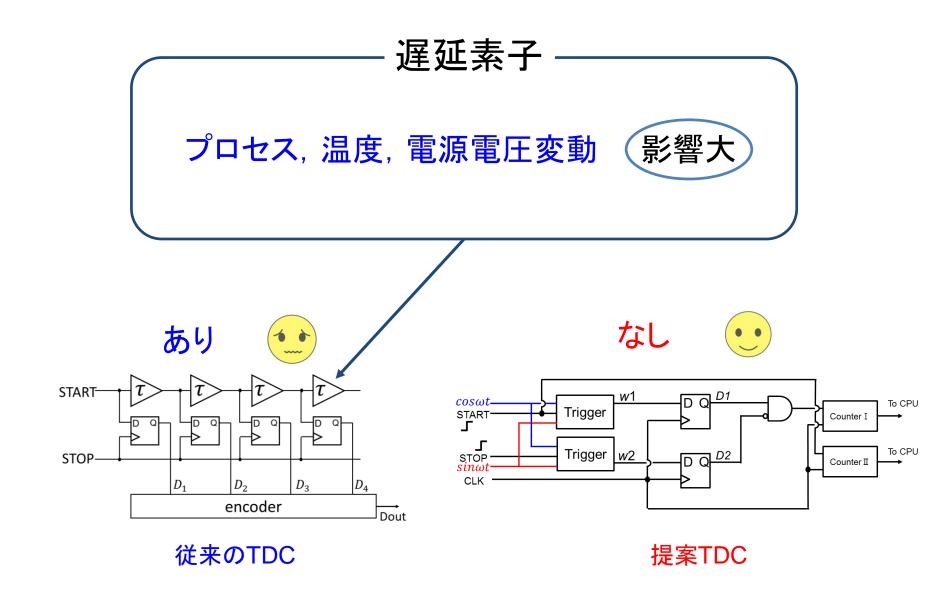


校正不要で線形な細かい時間分解能のTDC

### アウトライン

- 研究目的
- ・ 積分型時間デジタイザ回路
- ・ 効率的波形取得サンプリング周波数
- シミュレーションによる検証
- まとめと課題

## 従来のTDCとの比較



### 積分型時間デジタイザ回路の特徴

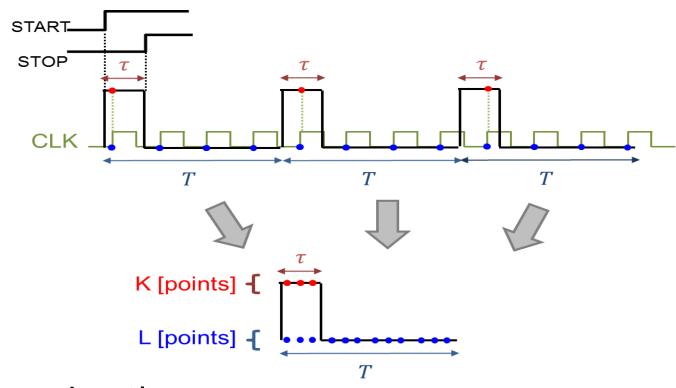
#### 長所

- ▶ 遅延線なし プロセス・温度・電源電圧変動 影響小
- ▶ 測定時間 長 時間分解能 細
- ▶ 線形性を自己校正なしで確保
- ▶ 時間の絶対値を自己校正なしで測定

#### 短所

- ▶ トリガ回路 ------ アナログ回路必要
- ▶ 非同期発振回路2つ必要
- インジェクションロッキングに注意

# 積分型時間デジタイザ回路の原理



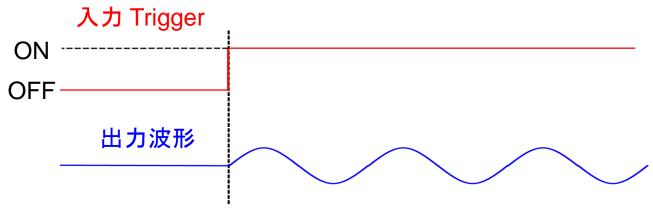
#### モンテカルロ法

非同期なCLKで時間差波形を繰り返しサンプリング

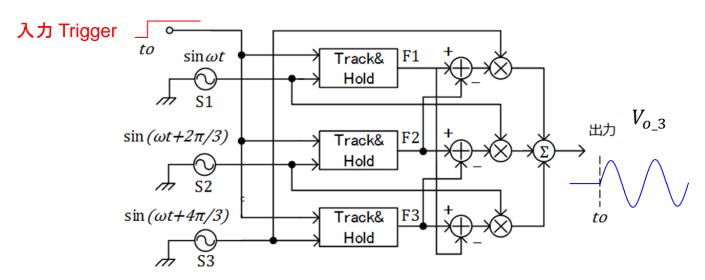


 $\frac{K}{L} = \frac{\mathbf{入}\mathbf{J}\mathbf{B}\mathbf{B}\mathbf{E}\mathbf{\tau}}{\mathbf{E}\mathbf{E}\mathbf{B}\mathbf{B}\mathbf{T}}$ 

# オシロスコープ・トリガ回路



Trigger Time :  $t_0$ 



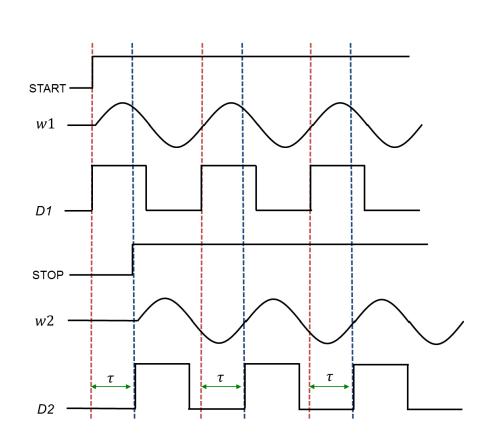
櫻井翔太郎、滝上征弥、井田貴士、小澤祐喜、小林春夫、塩田良治:「多段構成オシロスコープ・トリガ回路の検討」、 第7回 電気学会東京支部栃木・群馬支所 合同研究発表会 (2017)

# トリガ回路を用いた単発タイミング測定

Start、Stop信号を入力



入力のタイミングから 位相0で発振を開始

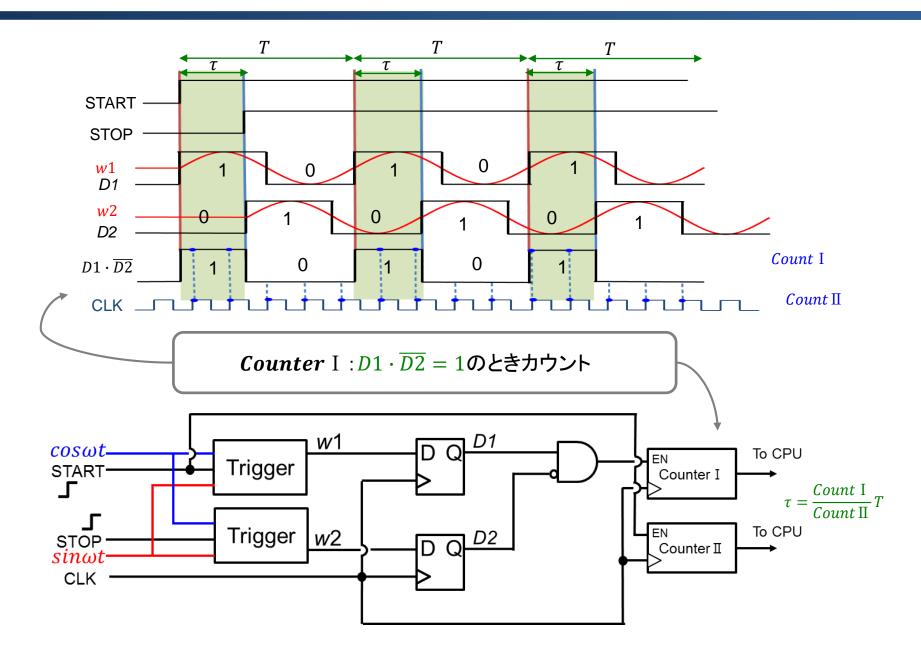


二つのトリガ回路を使用



入力時間差を保持

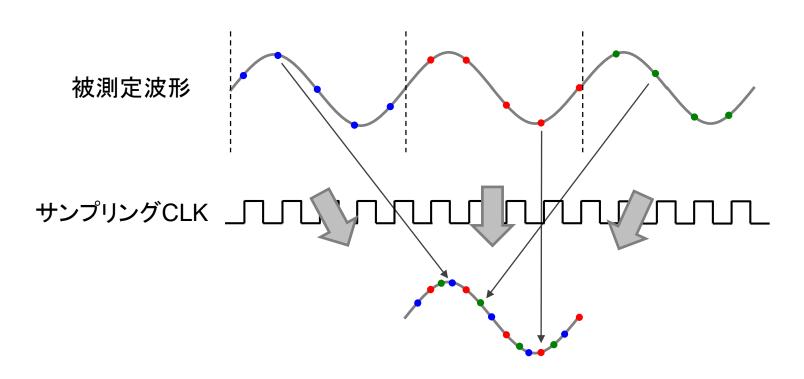
# 積分型デジタイザ回路の構成と動作



### アウトライン

- 研究目的
- 積分型時間デジタイザ回路
- ・ 効率的波形取得サンプリング周波数
- シミュレーションによる検証
- まとめと課題

# 等価時間サンプリングの原理



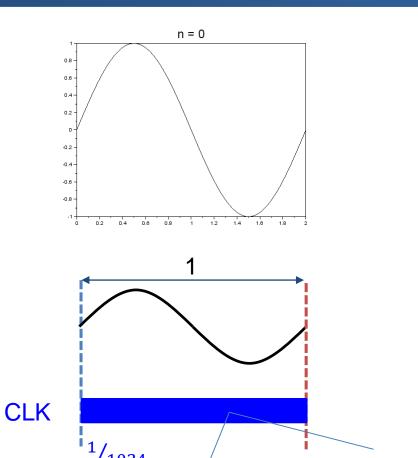
繰り返し波形を非同期CLKでサンプリング → 単波形を構成

# 波形抜け(1/3)

 $f_{CLK} \gg f_{sin}$ 



位相が 少しずつしか 進まない



波形抜けが発生

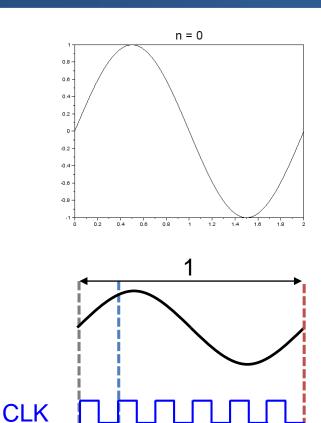
# 波形抜け(2/3)

$$f_{CLK} \approx \frac{1}{\alpha} f_{sin}$$

$$\left(\alpha = 1, \frac{1}{2}, \frac{1}{3}, \frac{2}{3}, \dots, \frac{1}{6}, \dots\right)$$



周期毎に位相が あまりずれない



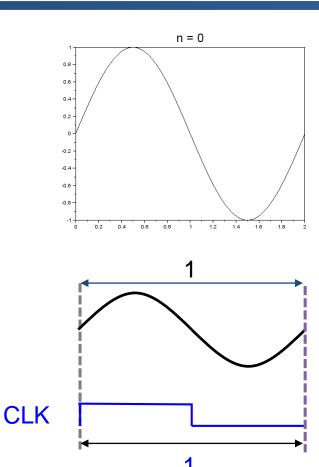
波形抜けが発生

### 波形抜け(3/3)

 $f_{CLK} \approx f_{sin}$ 



周期毎に位相が あまりずれない



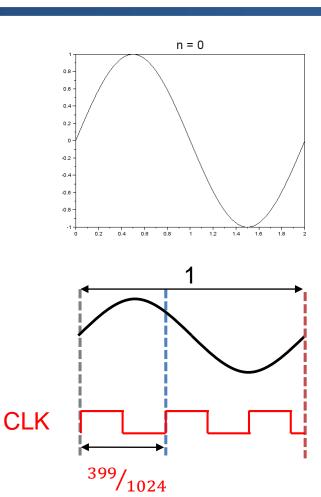
波形抜けが発生

### 効率的波形取得

適切なCLK



周期毎に位相が 少しずつずれたデータ



波形抜けなし

### アウトライン

- 研究目的
- 積分型時間デジタイザ回路
- ・ 効率的波形取得サンプリング周波数
- シミュレーションによる検証
- まとめと課題

# シミュレーション条件

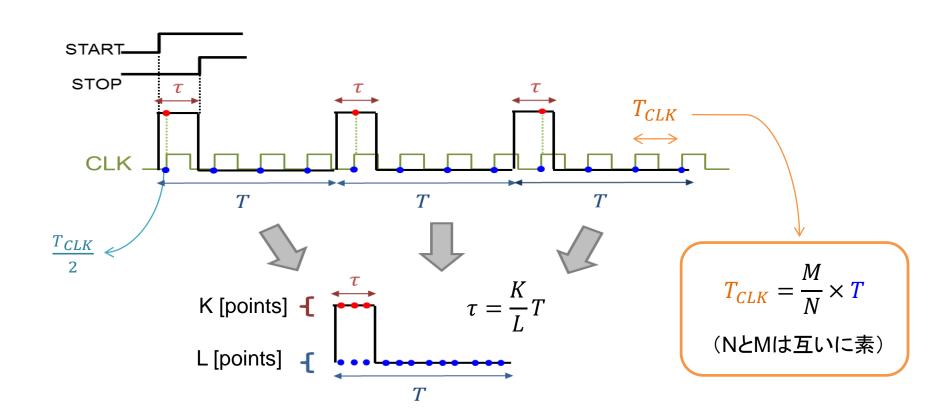
#### Scilabによる数値シミュレーション

正弦波の周期*T* : 2 [ns]

入力時間差τ : 0 ~ 1 [ns] (256 [points])

サンプリング周期 $T_{CLK}$  :  $(M/1024) \times 2$  [ns]

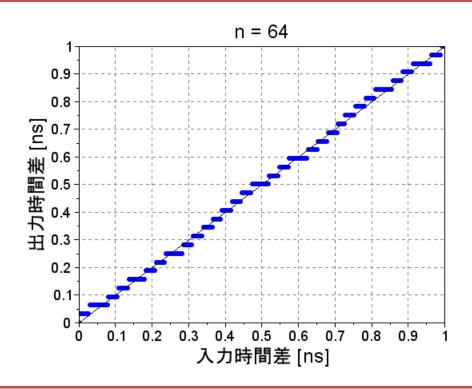
サンプリング開始点 :  $T_{CLK}/2$  [ns]



### 積分型時間デジタイザ回路の出力

波形抜けのないクロック

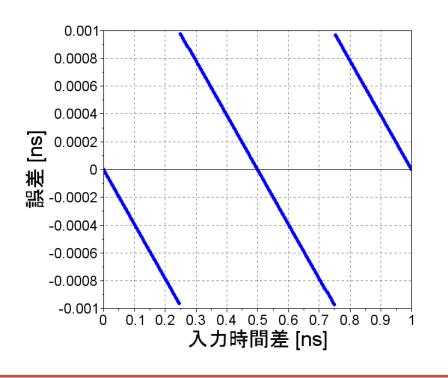
$$f_{CLK} = \frac{1024}{399} \times f_{sin}$$



測定時間をかけるほど細かい時間分解能

### 積分型時間デジタイザ回路の誤差

### 測定点数 1024 [points]



量子化誤差

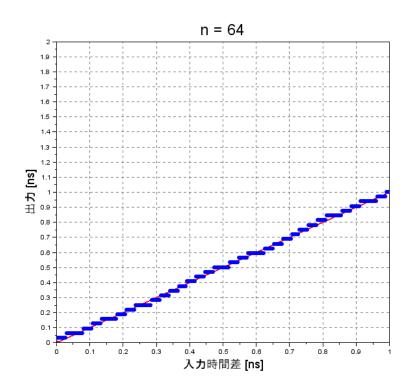
誤差のRMS 約0.56 [ps] ◆ 時間差間隔 約3.92 [ps]

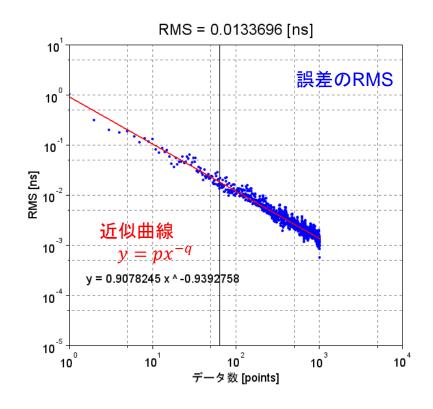


### 誤差のRMSの推移(1/4)

### 波形抜けのないクロック

$$f_{CLK} = \frac{1024}{399} \times f_{sin}$$

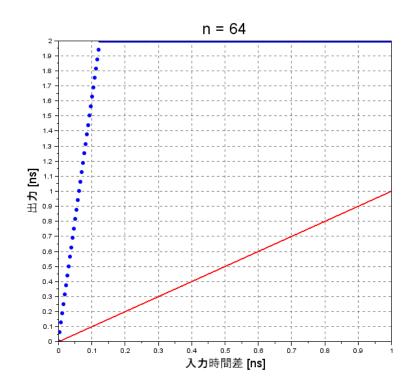


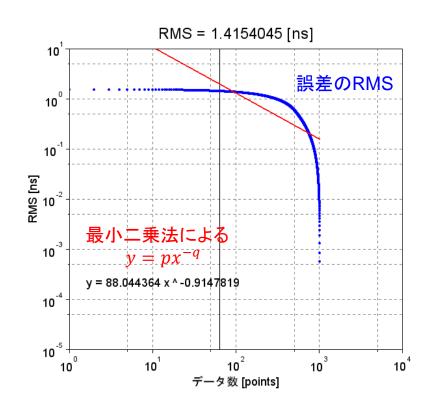


### 誤差のRMSの推移(2/4)

$$f_{CLK} \gg f_{sin}$$

$$f_{CLK} = 1024 \times f_{sin}$$

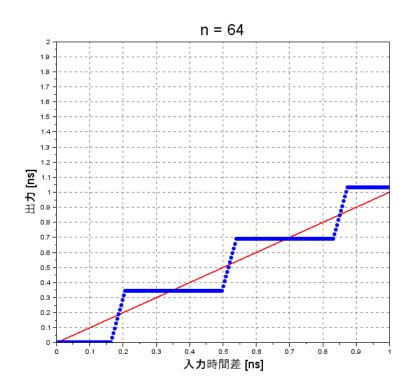


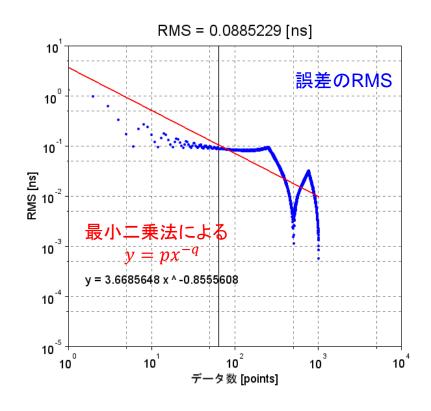


### 誤差のRMSの推移(3/4)

$$f_{CLK} \approx 6 \times f_{sin}$$

$$f_{CLK} = \frac{1024}{171} \times f_{sin}$$

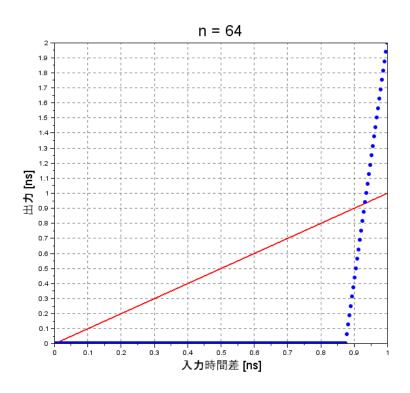


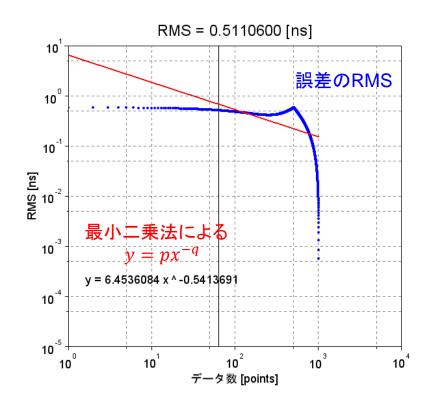


### 誤差のRMSの推移(4/4)

$$f_{CLK} \approx f_{sin}$$

$$f_{CLK} = \frac{1024}{1023} \times f_{sin}$$





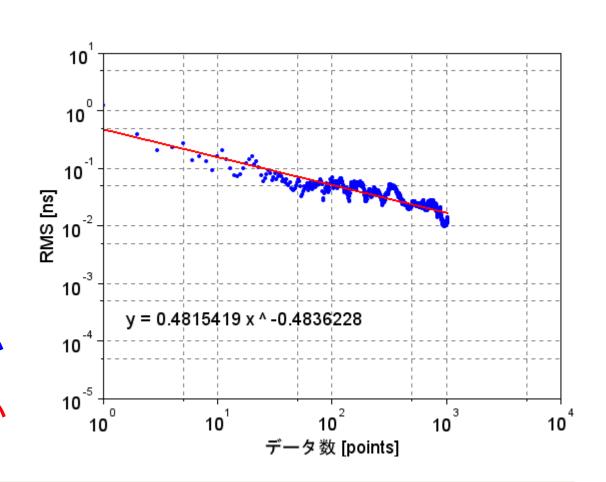
## ランダムクロックの場合

#### 乱数クロック

 $T_{sin}$ の範囲で サンプリング点を 乱数で生成



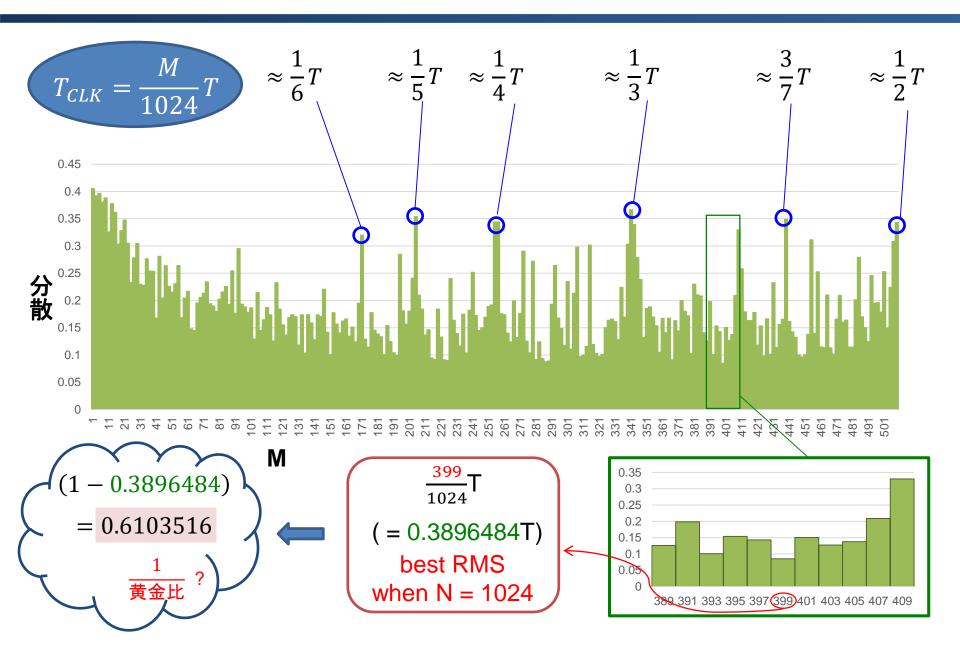
近似曲線 付 分散 小



分散**小** → ランダム

傾き大 → 均一

### Mの値と近似曲線からの分散



# 黄金比クロックの場合(1/2)

### 黄金比

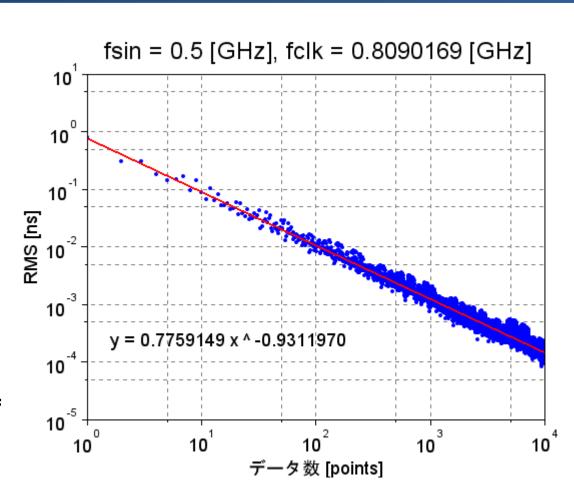
1:1.6180339



傾き 大

分散 小

効率的 波形取得



効率良&最大計測可能点数大

# 黄金比クロックの場合(2/2)

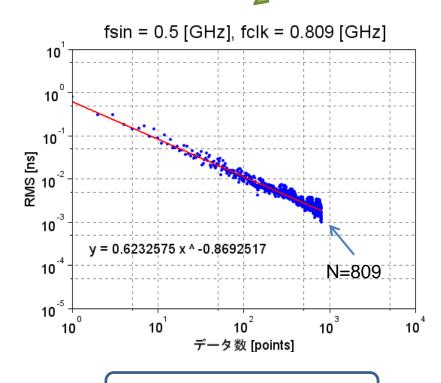
### 黄金比

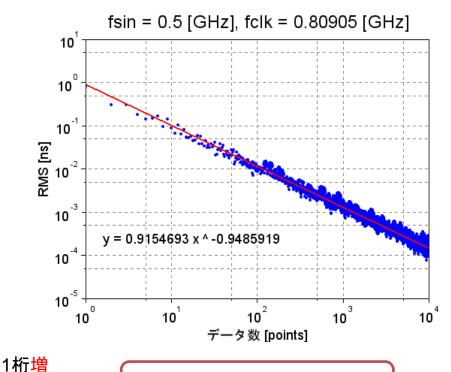
相対誤差 0.02%

1 : 1.6180339



相対誤差 0.04%





1:1.618

測定点数<mark>増</mark>

1:1.6181

### アウトライン

- 研究目的
- 積分型時間デジタイザ回路
- ・ 効率的波形取得サンプリング周波数
- シミュレーションによる検証
- まとめと課題

### まとめ

✓ 遅延素子を用いない積分型時間デジタイザ回路を提案

✓ 測定時間をかけるほど時間分解能向上

✓ 効率的波形取得サンプリング周波数を検討

✓ 被測定波形とサンプリング周波数の比を黄金比にすると 効率的にサンプリングできることを発見

## 今後の課題

□ 回路レベルでのシミュレーションおよび 試作・実機検証





### 質疑応答

- 不明な周波数を測定するのにどうやって黄金比にするのか?
  - ▶ 測定するのは周波数ではなく入力時間差。 内部で発振する基準波とサンプリング周波数を黄金比にして、 外部から入力された時間差を測定する。
- サンプリングにはナイキスト周波数を考慮しているか?
  - ▶ 等価時間サンプリングなのでナイキスト周波数以下でも問題ない
- 黄金比を用いるとなぜ良い?
  - 今回はシミュレーションで結果が出ただけ。
     今後黄金分割探索との近似性からアプローチしたいと思う。