

# デジタル信号処理を用いた $\Delta\Sigma$ DA変換器の線形性向上の検討

小島 潤也\* 串田弥音 村上 正紘 小林 春夫 (群馬大学)

キーワード:  $\Delta\Sigma$ 変調, DA変換, マルチビット, DWA, 自己校正

(Delta Sigma Modulation, DA Converter, Multi-bit, Data-Weighted Averaging, Self-Calibration)

## 1. 研究背景

$\Delta\Sigma$  DA変換器 (Digital-to-Analog Converter: DAC) は大部分がデジタル回路で構成され, 直流信号/低周波信号を高分解能・高線形に生成できるので, 電子計測器・LSI試験装置等に多用される (図1)<sup>(1)</sup>. ここでデジタル変調器の後段に (1ビットではなく) マルチビット Digital to Analog Converter (DAC) を使用する場合を考える. 次のメリットがある. (i)同じオーバーサンプリング比で高い Signal-to-Quantization Noise Ratio (SQNR) に繋がる. (ii)高次変調器のためのループ安定性が向上する. (iii)後段のアナログフィルタの要求性能を緩和できる. しかしながら変調器後段の DAC が, 単一ビット DAC は原理的に直線性が保証されるが, マルチビット DAC は保証されず, わずかではあるが非線形性が生じ, それが  $\Delta\Sigma$ DA変換器の全体の線形性を劣化させる問題がある.

本研究ではマルチビット DAC 使用の場合も高線形性を得るために Data-Weighted Averaging (DWA) と自己校正を用いたアルゴリズムを検討する. さらに, 今回 DAC 出力を正, 0, 負の3つとし, これを3値と定義する (従来は正, 0の2値). DWA と自己校正アルゴリズムの組み合わせを変え, MATLAB にて3値の場合でシミュレーションを行い, 提案手法の効果を確認した<sup>(2,3)</sup>.

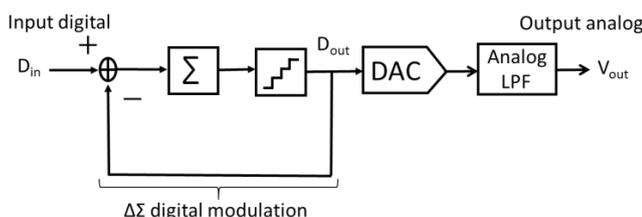


図1  $\Delta\Sigma$ DA変換器の構成

Fig. 1. Block diagram of a  $\Delta\Sigma$ DA converter

## 2. $\Delta\Sigma$ DA変調器 (デジタル変調器)

### (2.1) $\Delta\Sigma$ DA変調器の構成

$\Delta\Sigma$ DA変調器は積分器とデジタル量子化器のフィードバック構成であり, 全てデジタル回路で実現される (図1). 入力信号をオーバーサンプリングして積分器で累積し, デジタル量子化器で上位ビットのみを取り出し, DACへ入力する. デジタル量子化器は  $\Delta\Sigma$ 変調の出力値となると同時に, 変調器入力にフィードバックされ入力とフィードバック値の差が累積値される. 変調器出力信号を高速フーリエ変換 (FFT) すると, 量子化ノイズが低周波数帯域で減少し

高周波数帯域で増加する (ノイズシェーブされている) ことが確認できる.

図2に正弦波 (振幅: 1V, 正規化された周波数:  $f_{in}/f_s = 1/2^{14}$ ) を入力したときの  $\Delta\Sigma$ 変調器の出力スペクトルを示す. 正規化周波数  $f_{in}/f_s = 1/2^{14}$  で信号スペクトルが確認できる. 入力信号近辺帯域で量子化ノイズが減少しており, DAC出力をアナログLPFへ通すことで高SNR信号  $V_{out}$  が得られる.

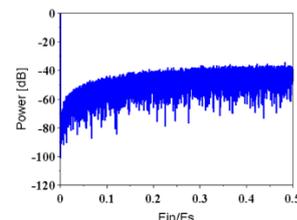


図2  $\Delta\Sigma$ 変調器の出力パワースペクトル

(振幅: 1V, 正規化周波数:  $1/2^{14}$  正弦波入力)

Fig. 2. Power spectrum of the  $\Delta\Sigma$  modulator output (Input sine wave amplitude: 1, Input frequency:  $1/2^{14}$ )

### (2.2) セグメント型 DAC の電流セルのミスマッチ

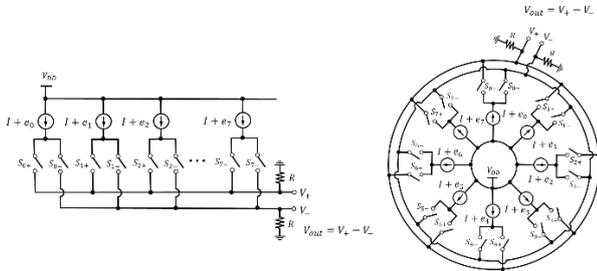
図3(a)に示す17レベルの分解能を持つセグメント型DACを考える. DACは8個の電流源と抵抗から構成される.  $k$ 番目の電流源を  $I_k$  ( $k = 0, 1, 2, \dots, 7$ ) とすると, 理想的にはすべての電流は等しいが実際にはICチップ製造上においてプロセスのばらつきにより電流が異なる. 図3の  $e_k$  は電流源のミスマッチ (平均電流からのズレ) であり, これが原因で変調器全体の出力パワースペクトラムは信号帯域内で歪み成分が生じ信号帯域に量子化ノイズが回り込み全体のSNDRの劣化を生じさせる.

### (2.3) DWAアルゴリズム

マルチビットDACの非線形性で生じる誤差を低減するためDWA DACを考える. 構成はセグメント型DACをリング状に配列した形で考える (図3(b)). DACの電流源に番号をつけ, ONになる電流源の位置を記憶するPointerを設ける. 時刻  $n$ でのDACのPointerを  $P(n)$ とし, 電流源をローテーションして使用する.

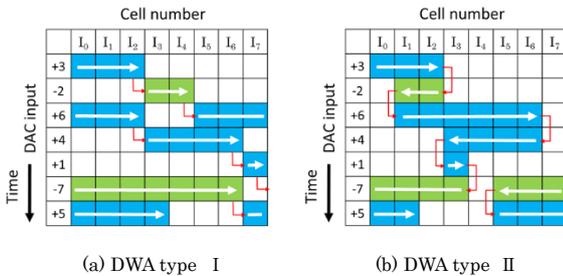
図4に入力データが+3, -2, ...と変化する場合にONになる電流セルを記す. 図4(a)では入力データ+3のときには電流セル0, 1, 2がON, 次に入力データ-2のとき3, 4がON

になる。電流源が時間平均として万遍なく均等に選択され、マルチビット DAC 非線形性誤差はノイズシェーブされる。図 4(b)では入力データ+3 のとき電流セル 0, 1, 2 が ON, 次に入力データ-2 のとき 2, 1 が ON になる。電流セル選択が前・後と交互に選択され、Type I と比べて不均等の選択となり得る。



(a) An 8-unit segmented current steering DAC. (b) Its Ring configuration.

図 3 電流 DAC  
Fig. 3. Current DAC



(a) DWA type I (b) DWA type II  
図 4 DWA アルゴリズムの電流セルの選択方法  
Fig. 4. Selection method of current cells with DWA.

#### (2.4) 自己校正アルゴリズム

図 5 で、あるタイミングでの変調器出力 (DAC 入力) が 2 のとき、マルチビット DAC の非線形性により例えば DAC の出力が 2.135... の場合を考える。この 2.135 を SoC 内高分解能  $\Delta\Sigma$  ADC 等で計測し、クロックタイミングで変調器入力から減算 (フィードバック) するのが自己校正である。

具体的な方法として、ルックアップテーブル (Look Up Table : LUT) を用いて実現する。例えば、あるデータベースで項目を選択し、その項目に対応するデータを取り出したい場合、予め対応するデータを LUT として保存しておけば、対応する値を参照してデータが求められる。

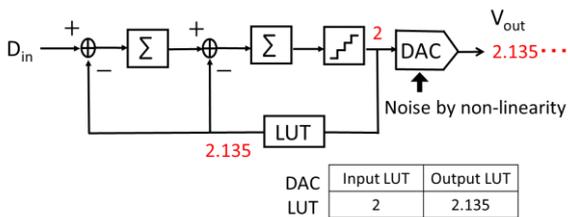


図 5 LUT ブロックを用いた  $\Delta\Sigma$  DAC 回路  
Fig. 5.  $\Delta\Sigma$  DAC with LUT block.

#### (2.6) SNDR による評価

DA 変換の性能評価の 1 つに Signal to Noise and Distortion Ratio (SNDR) がある。これは出力での信号成分電力と発生したノイズ電力の比である。ここでは SNDR を用いてシミュレーション結果を評価する。SNDR が向上すれば、DA 変換の性能向上を意味する。

### 3. シミュレーションによる検証

#### (3.1) シミュレーション回路の構成

以下の 4 つの回路で DWA, 自己校正の組み合わせを変えてシミュレーションを行い、Low Pass (LP) 型と High Pass (HP) 型の回路で性能の向上を確認する。DWA は type I (図 4(a)) を用いる。図 6 に LP 型④の回路を示す。④と比べて①~③は DWA と自己校正の「あり」、「なし」が異なる。DAC 出力は 3 値とした。

- ① 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC
- ② 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC + DWA
- ③ 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC + 自己校正
- ④ 2次  $\Delta\Sigma$  DA 変調器 + 非線形 DAC + DWA + 自己校正

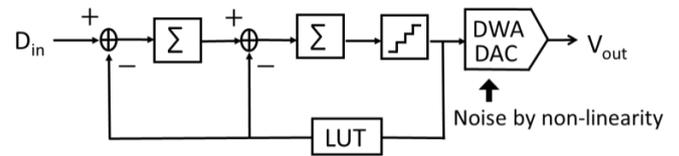
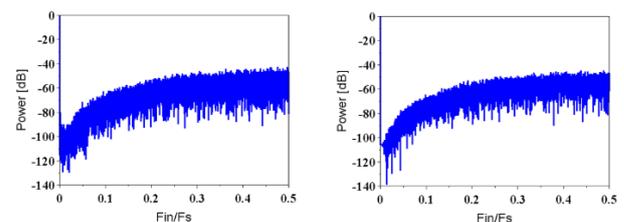


図 6 DWA と自己校正を使用する提案回路 (LP 型④)  
Fig. 6. Proposed circuit (LP model ④).

#### (3.2) LP 型回路での SNDR 向上

LP 型①~④の回路でシミュレーションを行い、効果を検証した。入力信号には正規化周波数  $1/2^{14}$  の正弦波を入力し、データ数を  $2^{14}$  とした。自己校正「あり」の場合は DAC からの  $V_{out}$  の値を、「なし」では DAC で得られた値に相当するデジタル値をフィードバックした。

電流セルのばらつき標準偏差  $\sigma = 1.0\%$  を持たせたパワースペクトラムのシミュレーション結果を図 7 に示す。回路④では信号付近で最もノイズが低減されている。図 8 に SNDR の比較を示す。 $\sigma = 5.0\%, 0.05\%$  を 5 セット,  $1.0\%, 0.1\%$  を 10 セット用意し、縦軸の SNDR はその平均である。図 8 から、回路④ではすべてのばらつきの場合で回路①②③よりも SNDR 向上が確認できる。特にばらつきが大きい時ほど有効である。また、ばらつきが小さいほど理想状態に近づくため、SNDR が向上する。



(a) LP model ① (b) LP model ②

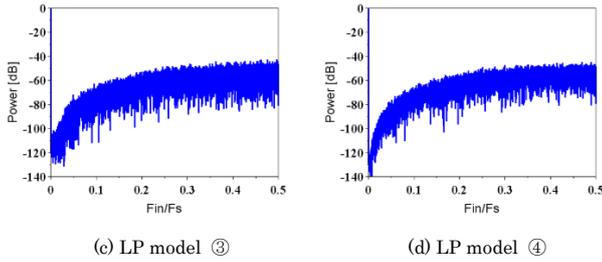


図 7 LP 型のパワースペクトラム ( $\sigma = 1.0\%$ )  
Fig. 7. Power spectrum of LP model.

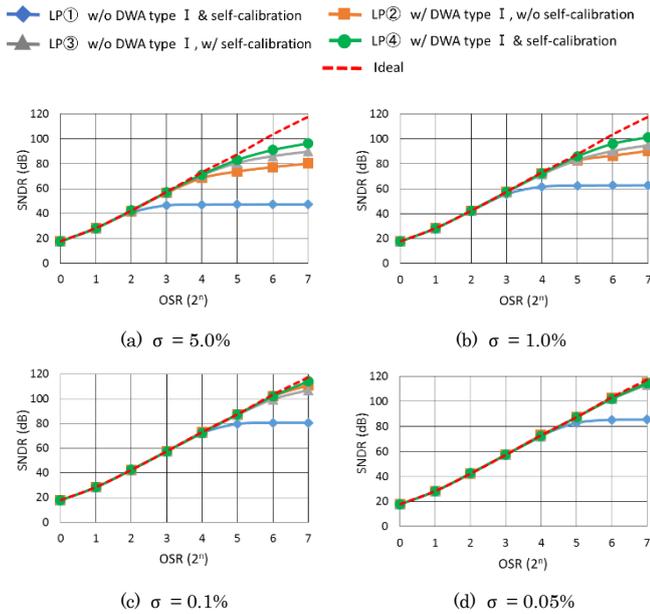


図 8 SNDR の比較  
Fig. 8. SNDR comparison.

### (3.3) HP 型回路での SNDR 向上

LP 型と同様に HP 型回路 (図 9) でも検証した。①~④の DWA と自己校正の組み合わせを変え、有効性を確認した。入力信号には正規化周波数  $8191/2^{14}$  の正弦波を入力し、データ数を  $2^{14}$  とした。HP 型でも回路④で信号付近のノイズが低減でき、SNDR 向上を確認した (ここでは結果を省略する)。

この研究を進める中で、3 値の HP 型回路では DWA type I が有効と新たに発見した。2 値の HP 型では DWA type II が有効であることが既に知られていた。表 1 に有効な DWA type を示す。この考察を第 4 章で行う。

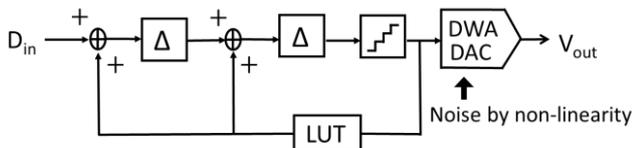


図 9 DWA と自己校正を使用する提案回路 (HP 型④)  
Fig. 9. Proposed circuit (HP model ④).

表 1. 2 値と 3 値の有効な DWA タイプ

Table 1. Effective DWA type for binary and ternary.

|                   | LP     | HP      |
|-------------------|--------|---------|
| Binary (+, 0)     | Type I | Type II |
| Ternary (+, 0, -) | Type I | Type I  |

## 4. HP 型 $\Delta\Sigma$ DAC で有効な DWA とその考察

### (4.1) HP 型回路による DWA type I, II の結果

2 値と 3 値における DWA type のスペクトラムと SNDR を図 10~13 に示す。SNDR は図 8 と同じばらつきの平均である。これらから、2 値では type II, 3 値では type I が信号付近でノイズが低減でき、SNDR 向上が確認できる。

次に、なぜ有効な DWA が異なるのかを考察する。考察として「DAC 出力の理想値とシミュレーション値の比較」を行った。DAC 出力にはばらつきのためズレがある。2 値と 3 値でそのズレを比較した。ここで、シミュレーション値の方が理想値よりも大きい時を + (プラス)、小さい時を - (マイナス) と振り分ける。すると、「+  $\rightarrow$  -」の変化が少ないとノイズ低減、多いとノイズ増加する傾向があるとわかった。

表 2, 3 に 2 値と 3 値の「+  $\rightarrow$  -」の平均変化数を示す。DWA type II が有効である 2 値では、「+  $\rightarrow$  -」の数はどのばらつきの場合でも type I と比べて少ない。一方、DWA type I が有効である 3 値では、「+  $\rightarrow$  -」の数は type II と比べて少ない。

「+  $\rightarrow$  -」の変化が多いと、パワースペクトラムにどのような影響を及ぼすかを考える。理想値を 1 とし、その値に  $\pm 0.05$  のばらつきを持たせ、FFT すると図 14 が得られる。 $Fin/Fs = 0.5$  の位置でノイズが発生しており、この位置は HP 型の信号付近である。つまり、「+  $\rightarrow$  -」の変化数が多いと信号付近でノイズを増加させ、SNDR の劣化に影響を与えると考えられる。

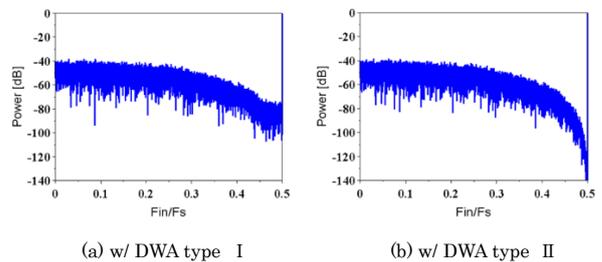


図 10 2 値 HP 型のパワースペクトラム ( $\sigma = 1.0\%$ )  
Fig. 10. Power spectrum of HP model in the case of the binary ( $\sigma = 1.0\%$ ).



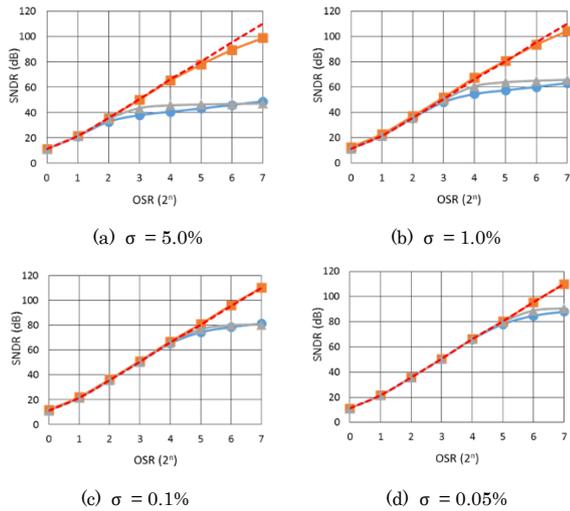


図 11 2 値 HP 型の SNDR 比較

Fig. 11. SNDR comparison of HP model (binary).

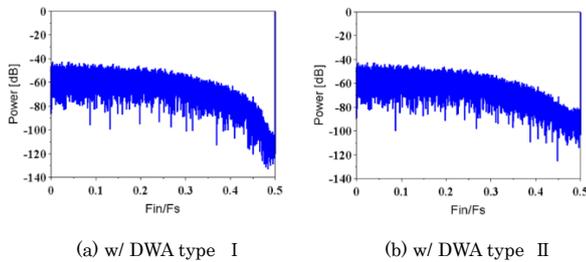


図 12 3 値 HP 型のパワースペクトラム ( $\sigma = 1.0\%$ )

Fig. 12. Power spectrum of HP model in the case of the ternary ( $\sigma = 1.0\%$ ).

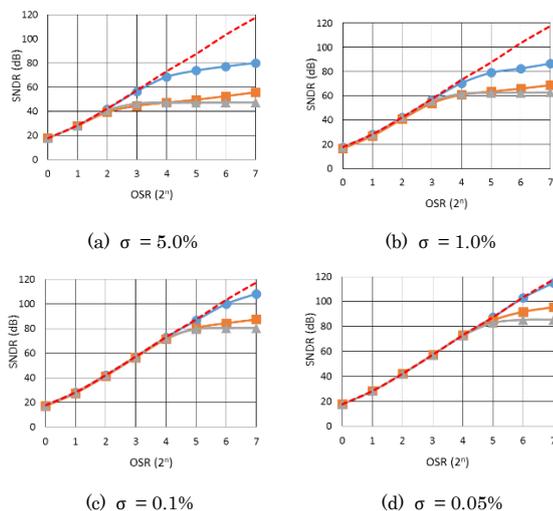


図 13 3 値 HP 型の SNDR 比較

Fig. 13. SNDR comparison of HP model (ternary).

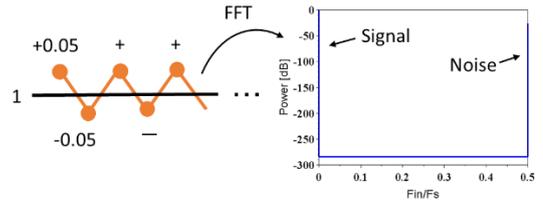


図 14 「+ → -」の変化によるパワースペクトラム  
Fig. 14. Power spectrum for changed “+ to -”.

表 2. 2 値で「+ → -」の変化をした平均数

| Table 2. Average number of changed “+ to -” (binary). |        |         |                   |        |         |
|---|--------|---------|-------------------|--------|---------|
| $\sigma = 5.0\%$                                      | Type I | Type II | $\sigma = 1.0\%$  | Type I | Type II |
| + → -   | 4949   | 2180    | + → -             | 4733   | 1986    |
| $\sigma = 0.1\%$                                      | Type I | Type II | $\sigma = 0.05\%$ | Type I | Type II |
| + → -   | 4790   | 2011    | + → -             | 4663   | 1885    |

表 3. 3 値で「+ → -」の変化をした平均数

| Table 3. Average number of changed “+ to -” (ternary). |        |         |                   |        |         |
|--|--------|---------|-------------------|--------|---------|
| $\sigma = 0.1\%$                                       | Type I | Type II | $\sigma = 0.05\%$ | Type I | Type II |
| + → -  | 2051   | 4836    | + → -             | 2037   | 4815    |
| $\sigma = 5.0\%$                                       | Type I | Type II | $\sigma = 1.0\%$  | Type I | Type II |
| + → -  | 2239   | 5055    | + → -             | 2171   | 4907    |

## 5. まとめ

マルチビット  $\Delta\Sigma$ DA 変換器について以下の 2 つを示した。

- 線形性向上のために DWA と自己校正アルゴリズムを使用し、それらの組み合わせを変えて有効性を比較した。DAC 出力を 3 値として LP 型と HP 型の回路でシミュレーションを行い、DWA と自己校正の両方用いる回路が最も SNDR が向上し、高線形性が得られることを確認した。
- HP 型では 2 値 (正, 0) と 3 値 (正, 0, 負) の場合で有効な DWA が異なることを示し、その考察を行った。2 値では DWA type II, 3 値では DWA type I が有効である。「+」「-」の変化数がノイズ増減に関わることを考察した。

## 文 献

- (1) R.Schreier, G.C. Temes, Understanding Delta-Sigma Data Converters, Wiley-IEEE press (2009).
- (2) M. Murakami, H. Kobayashi, S. N. Mohyar, O. Kobayashi, T. Miki, J. Kojima, "I-Q Signal Generation Techniques for Communication IC Testing and ATE Systems", IEEE International Test Conference, Fort Worth, TX (Nov. 2016).
- (3) J. Kojima, N. Kushita, M. Murakami, H. Kobayashi, "Linearity Improvement Algorithms of Multi-bit  $\Delta\Sigma$ DA Converter - DWA, Self-Calibration and Their Combination", International Conf. on Mechanical, Electrical and Medical Intelligent System, Kiryu, Japan (Nov. 2017).