

低スイッチング損失かつ低特性オン抵抗のスケラブル 20-40 V LDMOS トランジスタ

小島 潤也* 松田 順一 築地 伸和 神山 雅貴 小林 春夫 (群馬大学)

キーワード：横方向二重拡散MOS, スwitching損失, 安全動作領域, 信頼性, ホットキャリア, 電流増大 (LDMOS, Switching Loss, SOA, Reliability, Hot Carrier, Current Expansion)

1. はじめに

LDMOS (Lateral Double Diffused MOS) トランジスタはスイッチング電源の素子として民生用だけではなく、車載用にも広く用いられている。車載用には、一層の広 SOA (Safe Operating Area) 及び高信頼性が要求される。広 SOA を得るには、高ゲート電圧及び高ドレイン電圧で発生するドレイン電流増大 (Current Expansion: CE)⁽¹⁾ を抑える必要がある。高信頼性を得るには、ドレイン側のゲート端近傍で発生するインパクトイオン化を抑えてホットキャリア耐性を上げる必要がある。これらに対応するため、我々は 0.35 μm CMOS デュアル RESURF 30-50 V LDMOS トランジスタを提案した⁽²⁾⁽³⁾。また、低消費電力化してデバイスの発熱を抑制するために低特性オン抵抗及び低スイッチング損失も求められる。これらに対応するため、我々は前記 LDMOS トランジスタのフィールド・プレート接地し、ゲート長を短縮した構造の 0.18 μm CMOS デュアル RESURF 40 V LDMOS トランジスタを提案した⁽⁴⁾⁽⁵⁾。しかしながら、実際の車載用のスイッチング電源を含む回路では、用途に応じて、例えば 1 チップ上で 40 V 動作のみではなく、20-40 V の複数の電圧で動作する LDMOS トランジスタを必要とする場合がある。

本論文では、これに対応するため、我々が提案した前記 40 V LDMOS トランジスタのドリフト領域を比例縮小し、20-40 V で動作する LDMOS トランジスタ特性をシミュレーションで確認した。次節で、従来型と提案型 LDMOS トランジスタ構造、及びドリフト領域の比例縮小の方法を説明する。次に、20 V 動作の LDMOS トランジスタは CE を抑えて十分な SOA を確保できており、特性オン抵抗-耐圧の特性は先端レベルにあることを示す。

2. 従来型と提案型 LDMOS トランジスタ

(2-1) 従来型 LDMOS トランジスタ

0.35 μm CMOS プロセスをベースにした従来型 LDMOS トランジスタの断面構造を図 1(a)に示す⁽²⁾⁽³⁾。ドリフト領域は、二つの p 型埋め込み層 (PBL1 と PBL2) で囲まれたデュアル RESURF 構造になっている。PBL1 はゲート側ドリ

フト端周りの RESURF を強化しており、その領域の電界を一層弱める効果がある。PBL2 はドリフト領域全体の RESURF に有効に寄与する。PBL2 がドレイン領域下部で除去してあるのは、ドレイン-基板 (ソース) 間ブレークダウンの低下を防ぐためである。ドリフト領域は、二つの n 型層 (深い NDL1 と浅い NDL2) からなっており、NDL2 がドリフト表面層の不純物濃度を高めるため、CE を抑えて広 SOA 化する⁽⁶⁾。フィールド・プレート (Field Plate: FP) は RESURF を補助するが、ゲートに接続されており、ミラー容量を大きくし、スイッチング損失を増大させている。

(2-2) 提案型 LDMOS トランジスタ

提案型 LDMOS トランジスタでは、0.18 μm CMOS プロセスをベースにして従来型を改善した⁽⁴⁾⁽⁵⁾。その断面構造を図 1(b)に示す。提案型の x 方向 (ソースドレイン方向) セルピッチは従来型よりチャンネル長分 (0.17 μm) だけ縮まり、3.555 μm である。ドリフト領域の長さは 2.650 μm 、ゲート端からの FP の長さは 1.625 μm であり、それらはそれぞれ従来型と同じ長さである。提案型では、ミラー容量を低減するため、FP を接地した GFP (Grounded Field Plate) 構造を採用した。GFP 構造では、オン時にドリフト領域に誘起される電子密度が従来の FP 構造に比べて低下し、オン抵抗が増大する。したがって、この増大を抑え、むしろ低減させるためにゲート端周りを除いた浅いドリフト領域に三つ目の n 型層 (NDL3) を導入した。NDL3 は CE 抑制にも有効である。

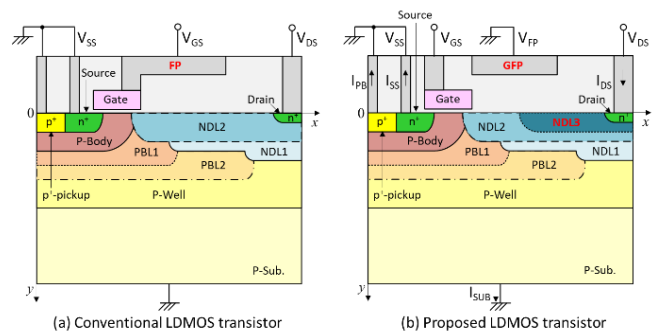


図 1 従来型と提案型 LDMOS トランジスタの断面図
Fig. 1. Cross sectional views of the conventional and the proposed LDMOS transistors.

提案型 LDMOS トランジスタをスケラブルにする場合、ドリフト領域の長さを 50%まで短縮した。このとき、PBL1、PBL2、FP の各長さはドリフト領域の長さの短縮率と同じ（比例縮小）にしてあるが、NDL3 の層は短縮していない。

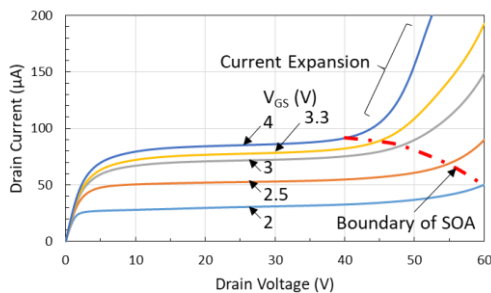
〈2・3〉 シミュレーション

アドバンスソフト社の 3 次元デバイス・シミュレータ Advance/DESSERT (サンプル版)⁽⁹⁾を用いて、デバイス幅を全て 0.3 μm とした実質 2 次元構造でシミュレーションを行った。不純物濃度プロファイルの形成は関数入力による。

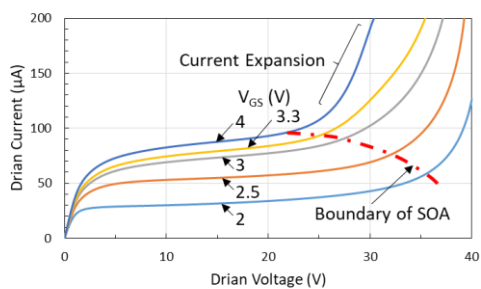
3. シミュレーション結果

〈3・1〉 $I_{\text{DS}}\text{-}V_{\text{DS}}$ 特性

図 2(a)に提案型 LDMOS トランジスタのドレイン電流 I_{DS} ・ドレイン電圧 V_{DS} 特性、また図 2(b)にそのトランジスタのドリフト長を 50%比例縮小したそれを示す。CE 領域を除く SOA の境界は、ドリフト長を縮小しない場合、ゲート電圧 V_{GS} の最大定格値 (4 V) で、 $V_{\text{DS}} = 40\text{ V}$ になっており、ドレインの動作電圧 40 V に対し余裕がある。また、ドリフト長を 50%比例縮小した場合の SOA の境界は、同じ V_{GS} の最大定格値で、 $V_{\text{DS}}=22\text{ V}$ になっており、ドレインの動作電圧 20V に対し余裕がある。



(a) Drift Length: No Reduction (One Cell: 3.555 μm \times 0.3 μm)



(b) Drift Length: 50% Reduction (One Cell: 2.23 μm \times 0.3 μm)

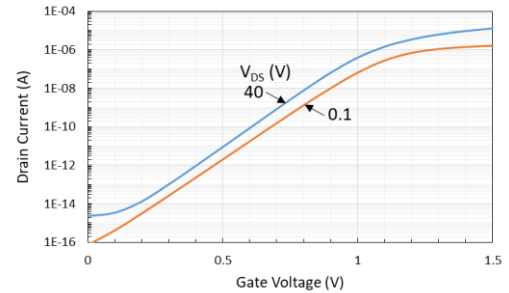
図 2 提案型 LDMOS トランジスタの $I_{\text{DS}}\text{-}V_{\text{DS}}$ 特性

Fig. 2 $I_{\text{DS}}\text{-}V_{\text{DS}}$ characteristics of the proposed LDMOS transistor.

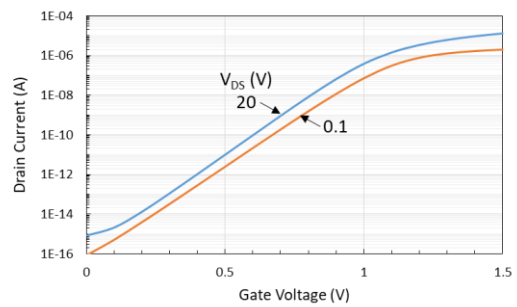
〈3・2〉 $I_{\text{DS}}\text{-}V_{\text{GS}}$ 特性

図 3(a)に提案型 LDMOS トランジスタの $I_{\text{DS}}\text{-}V_{\text{GS}}$ 特性、また図 3(b)にそのトランジスタのドリフト長を 50%比例縮

小したそれを示す。ドリフト長を縮小しない場合のしきい値電圧 V_{t} は、1.026 V (at $I_{\text{DS}} = 0.1\ \mu\text{A}$ and $V_{\text{DS}} = 0.1\text{ V}$)、0.922 V (at $I_{\text{DS}} = 0.1\ \mu\text{A}$ and $V_{\text{DS}} = 40\text{ V}$)であり、ドリフト長を 50%比例縮小した場合の V_{t} は、1.023 V (at $I_{\text{DS}} = 0.1\ \mu\text{A}$ and $V_{\text{DS}} = 0.1\text{ V}$)、0.923 V (at $I_{\text{DS}} = 0.1\ \mu\text{A}$ and $V_{\text{DS}} = 20\text{ V}$)である。これから、 $V_{\text{DS}} = 0.1\text{ V}$ からそれぞれの前記ドレイン動作電圧を印加した場合のしきい値電圧のシフト量はドリフト長を縮小しない場合と 50%縮小した場合とでほぼ同じであり、どちらもリーク電流が低く抑えられていることが分かる。



(a) Drift Length: No Reduction (One Cell: 3.555 μm \times 0.3 μm)



(b) Drift Length: 50% Reduction (One Cell: 2.23 μm \times 0.3 μm)

図 3 提案型 LDMOS トランジスタの $I_{\text{DS}}\text{-}V_{\text{GS}}$ 特性

Fig. 3. $I_{\text{DS}}\text{-}V_{\text{GS}}$ characteristics of the proposed LDMOS transistor.

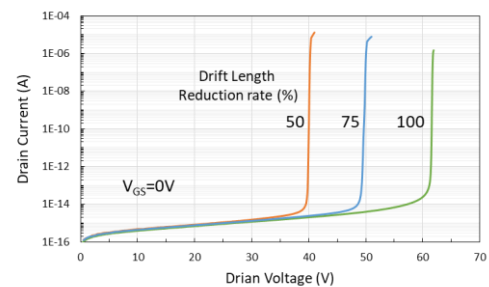


図 4 提案型 LDMOS トランジスタのブレイクダウン特性

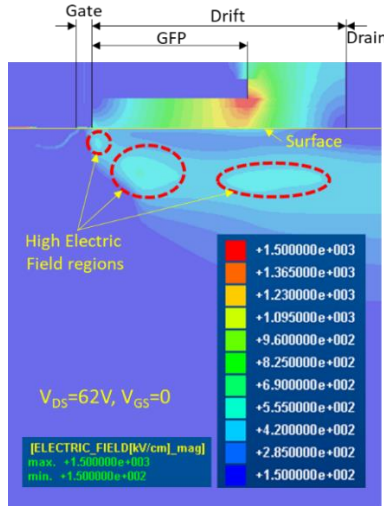
Fig. 4. Breakdown characteristics of the proposed LDMOS transistor.

〈3・3〉 ブレイクダウン特性

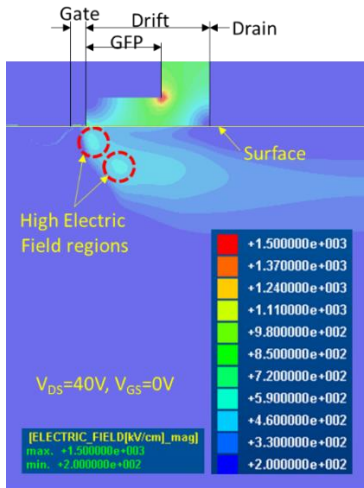
図 4 に提案型 LDMOS トランジスタのブレイクダウン特性を示す。ドリフト長を 50%縮小してもブレイクダウン電圧 BV_{DS} は 40 V あり、動作電圧 20 V に対し十分な余裕が

ある。

図5に提案型 LDMOS トランジスタのブレイクダウン時における電界強度分布を示す。ドリフト長を 50%縮小しても電界強度の高い領域即ちブレイクダウン箇所は、半導体の表面ではなく内部にある。これは、ブレイクダウンが発生した場合、ゲート酸化膜及び半導体表面への損傷を抑えることができることを意味し、ドリフト長を縮小しない場合と同様に ESD (Electro Static Discharge) に対し耐性があるものと推定する。



(a) Drift Length: No Reduction



(b) Drift Length: 50% Reduction

図5 提案型 LDMOS トランジスタのブレイクダウン時の電界強度分布

Fig. 5. Distribution of the electric field magnitude of the proposed LDMOS transistor.

〈3・4〉 特性オン抵抗対ブレイクダウン電圧特性

図6に特性オン抵抗対ブレイクダウン電圧特性を示す。提案型 LDMOS トランジスタのこの特性は、ドリフト長が縮小するに伴い、ほぼ直線的に低下しており、特性オン抵抗

RonA (at $V_{GS} = 3.3 \text{ V}$, $V_{DS} = 0.6 \text{ V}$) は、ドリフト長を縮小していない場合、 $40.9 \text{ m}\Omega \cdot \text{mm}^2$ (at $BV_{DS} = 62 \text{ V}$)、ドリフト長を 50%縮小した場合、 $18.4 \text{ m}\Omega \cdot \text{mm}^2$ (at $BV_{DS} = 40 \text{ V}$) を得ている。この特性は、最近発表されたルネサスセミコンダクタマニュファクチャリング社のデータ (信頼性に注目した特性)⁽⁸⁾より低く、UMC 社のデータ⁽⁹⁾と同等であり、先端レベルにあると考える。

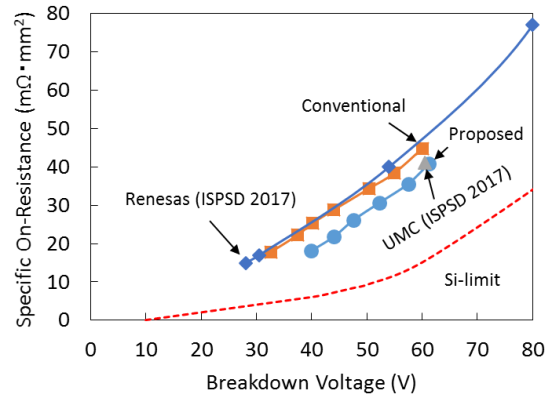


図6 特性オン抵抗対ブレイクダウン電圧特性

Fig. 6. Characteristics of specific on-resistance vs. breakdown voltage.

〈3・5〉 ホットキャリア耐性

図7に提案型 LDMOS トランジスタの P-Body 電流 I_{PB} と基板電流 I_{SUB} の和 (正孔電流) のゲート電圧依存性を示す。この正孔電流は、主にドレイン側ゲート端近傍のインパクトイオン化によって発生したものである (図8参照)。ドリフト長を 50%縮小したものの正孔電流は、縮小しないものに対して、より低くなっており、ホットキャリアによる特性変動は、ドリフト長を 50%縮小した方で同等もしくは小さくなるものと推定する。ドリフト長を縮小しない提案型 LDMOS トランジスタで高ホットキャリア耐性を得るものと推定されている⁽⁴⁾ため、それを 50%縮小した方で同様に高ホットキャリア耐性を得るものと考えられる。

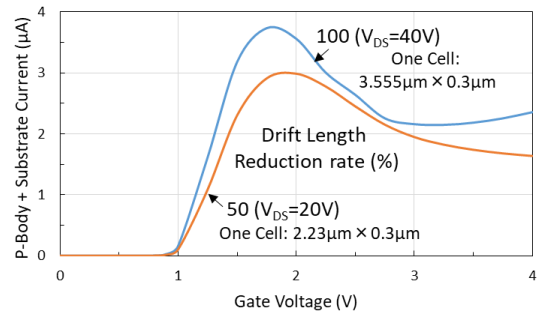


図7 提案型 LDMOS トランジスタの P-Body 電流と基板電流の和 (正孔電流) のゲート電圧依存性

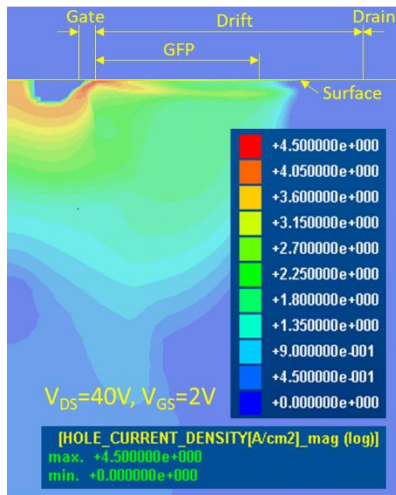
Fig. 7. Gate voltage dependence of the sum of P-body and substrate currents for the proposed LDMOS transistor.

謝辞

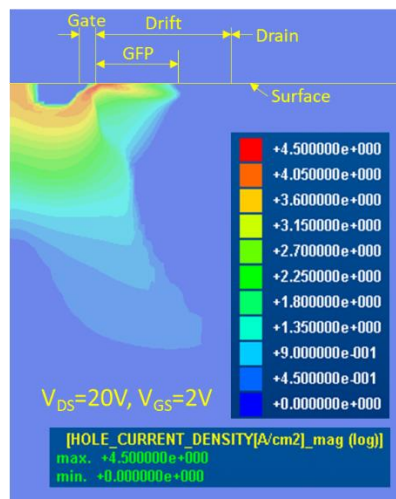
本研究で用いたデバイス・シミュレータは、アドバンスソフト社から借用させて頂いているものであり、アドバンスソフト社に深謝申し上げる。なお、このシミュレータは、国立研究開発法人科学技術振興機構の助成を受けて（A-STEP プログラム）アドバンスソフト社で開発されたものである。

文 献

- (1) S. Poli, S. Reggiani, R. K. Sharma, M. Denison, E. Gnani, A. Gnudi, and G. Baccarani : "Optimization and Analysis of the Dual n/p-LDMOS Device", IEEE Trans. Electron Devices, Vol. 59, No. 3, pp. 745-753 (2012).
- (2) 松田順一, 神山雅貴, 築地伸和, 小林春夫 : 「高信頼性 Nch-LDMOS の提案」, 電気学会研究会資料, 電子デバイス 半導体電力変換 合同研究会, EDD-15-066, SPC-15-148, pp. 11-16 (2015).
- (3) J. Kojima, J. Matsuda, M. Kamiyama, N. Tsukiji, and H. Kobayashi : "Optimization and Analysis of High Reliability 30-50V Dual RESURF LDMOS", in Proc. ICSICT, Hangzhou, China, S25-3 (2016).
- (4) 松田順一, 小島潤也, 築地伸和, 神山雅貴, 小林春夫 : 「低スイッチング損失、広 SOA かつ低特性オン抵抗の 40V LDMOS トランジスタ」, 電気学会研究会資料, 電子デバイス 半導体電力変換 合同研究会, EDD-17-082, SPC-17-181 (2017).
- (5) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiyama, Haruo Kobayashi : "A Low Switching Loss 40 V Dual RESURF LDMOS Transistor with Low Specific On-Resistance ", International Conference on Mechanical, Electrical and Medical Intelligent System, Kiryu Japan (2017).
- (6) P. L. Hower, J. Lin, and S. Merchant : "Snapback and Safe Operating Area of LDMOS Transistors", Technical Digest of International Electron Devices Meeting, IEDM'99, pp. 193-196 (1999).
- (7) 山口憲, 原田昌紀, 桑原匠史, 大倉康幸 : 「デバイスシミュレーション」, アドバンスシミュレーション (アドバンスソフト株式会社), Vol. 21, pp. 39-69 (2015).
- (8) H. Fujii, S. Tokumitsu, T. Mori, T. Yamashita, T. Maruyama, T. Maruyama, Y. Maruyama, S. Nishimoto, H. Arie, S. Kubo and T. Ipposhi "A 90nm Bulk BiCDMOS Platform Technology with 15-80V LD-MOSFETs for Automotive Applications", 29th International Symposium on International Power Semiconductor Devices & IC's (ISPSD), pp.73-76 (2017).
- (9) H.-L. Liu, Z.-W. Zhou, S.-T. Huang, S.-W. Lin, K.-F. Lin, C.-T. Lee, and C.-C. Wang : "A Novel High-Voltage LDMOS with Shielding Contact Structure for HCI SOA Enhancement", 29th International Symposium on International Power Semiconductor Devices & IC's (ISPSD), pp.311-314 (2017).



(a) Drift Length: No Reduction



(b) Drift Length: 50% Reduction

図 8 提案型 LDMOS トランジスタの正孔電流密度分布

Fig. 8. Hole current density distribution of the proposed LDMOS transistor.

4. まとめ

車載用に提案した低スイッチング損失かつ低特性オン抵抗を持つ 40 V 動作の LDMOS トランジスタのドリフト領域を比例縮小し、その特性をシミュレーションで確認した。ドリフト領域を 50%縮小した 20 V 動作の LDMOS トランジスタでは、ゲートの最大定格電圧範囲内で CE は発生せず、広 SOA が得られた。特性オン抵抗対ブレークダウン電圧特性は先端レベルにあり、高ホットキャリア耐性が得られるものと推定する。また、本方法により、製造プロセスコストを上げることなく、車載用に 20-40 V の複数の電圧で動作する LDMOS トランジスタを 1 チップ上に作製でき、回路設計の自由度が上がる。