

微小信号測定用 SAR ADC での冗長性度合いの検討

新井 宏崇* 荒船 拓也 澁谷 将平 小林 佑太朗 浅見 幸司 小林 春夫 (群馬大学)

SAR ADC Redundancy for Minute Signal Measurement
Hirotaka Arai*, Takuya Arafune, Shohei Shibuya, Yutaro Kobayashi,
Koji Asami, Haruo Kobayashi (Gunma University)

キーワード：微小電流源測定, 逐次比較近似 AD 変換器, フィボナッチ数列, 黄金比, 冗長性度合い
(Minute Current Measurement, SAR ADC, Fibonacci Sequence, Golden Ratio, Redundancy Degree)

1. はじめに

この論文では正確な電流源トリミングなどの微小電流を測定するための AD 変換器の冗長性の最適化を検討する。広く使用されているバイナリ型逐次比較近似 AD 変換器 (SAR ADC) は冗長性を有していないため Sample & Hold (SH) 回路のサンプリング動作後の信号が完全に整定した後(図 1)に後段の SAR ADC 動作を開始するため長い変換時間がかかってしまう。一方冗長型 SAR ADC は前段の判定誤りを後段で補正可能なため SH 回路が安定する前に動作を開始できる。

この論文ではフィボナッチ数重みづけ SAR ADC を用いることで微小電流源測定時の測定時間を短縮することができること、および冗長度を変化させたときの測定時間との関係をシミュレーションにて示す。

2. 微小電流源測定の問題点と解決策

SAR ADC を用いた微小電流源測定を考える。前段の SH 回路の整定時間が長くなり、測定時間が長くなってしまふ。そのため、後段をバイナリ型からフィボナッチ型に変えた構成で、各ステップの測定時間が短縮されることを示す。

3. SAR ADC と冗長設計

(1) SAR ADC

SAR ADC は高分解能(8~18bit 程度)、中速サンプリング(5~20MSps 程度)の AD 変換器である。低消費電力かつ小チップ面積であるという特徴から、自動車や工業用機械などで広く用いられている。またオペアンプを使用しない回路構成であるため微細 CMOS での実現に適する方式である。

SAR ADC の構成要素は図 2 のように SH 回路、DA 変換器(DAC)、コンパレータ、逐次比較レジスタ(SAR) ロジック回路、クロック発生回路の 5 つである。正確な変換のためには、SH 回路と DAC に精度が必要である。

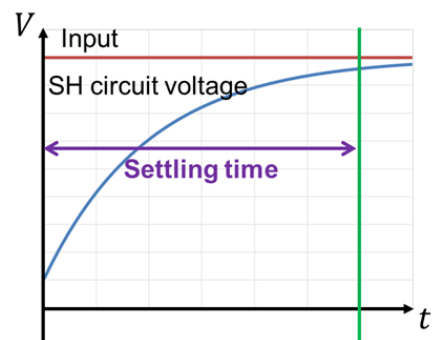


図 1 : SH 回路の整定時間

Fig. 1. Settling time of an SH circuit

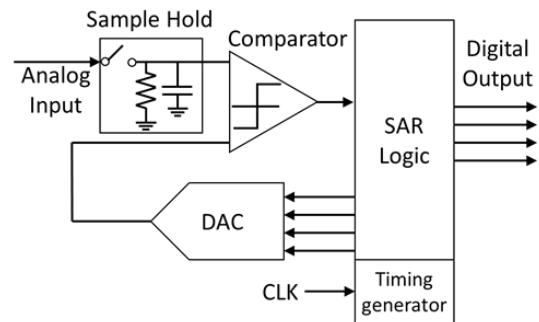


図 2 : SAR ADC のブロック図

Fig. 2. Block diagram of an SAR ADC

SAR ADC の動作は“天秤の原理”を用いるもので、一般には二進探索アルゴリズムを適用する。SH 回路でアナログ入力を保持し、コンパレータ(天秤)によって DAC 出力電圧(錘)と比較し、これら二入力の大小比較結果から出力デジタル値の 1 ビット分を決定する。続けて前ステップの比較結果によって SAR ロジック回路を動作させて比較電圧の大きさを決定し、DAC を通してアナログ信号に変換する。このようにして変更された比較電圧と SH 回路からの入力電圧とを一回目と同様に比較する。これらの比較操作と比較電圧変更操作を繰り返してアナログ信号をデジタル信号へ変換する方式が SAR ADC である。図 3 に二進探索アルゴリ

ズム 4bit SAR ADC の解探索動作を示す。図 3 において太線は各ステップでの比較電圧を示し、重みを $p(k)$ と表す。

(2) 冗長性を有する SAR ADC

冗長設計とは回路およびシステムの性能を向上させるための手法である。SAR ADC に時間冗長設計を適用することは、比較を追加することを意味する。この方法は、二進数重みを DAC の非二進数重みに変更し、冗長性を持つデジタルエラー補正を実現する。

図 4 に 4-bit 5-step SAR ADC の 2 つの冗長検索動作の例を示す。ここで、入力電圧は 8.3LSB であり、基準電圧重み $p(k)$ は 1,2,3,6 および 8 である。一方の動作 (実線の矢印) の比較は正しく、他方 (点線の矢印) は間違っていると仮定する。しかし、両方とも誤差補正によって正しいデジタル出力 8 を得る。図 4 に示す 4-bit 5-step SAR ADC では、25 の比較パターンと 24 の出力パターンがある。言い換えれば、出力レベルは、複数の比較パターンによって表すことができる。したがって、いくつかのステップでコンパレータの判定が間違っても、正しい ADC 出力を得ることができ、信頼性の高い SAR ADC を作成できる。

また、比較ステップ数を増加させても、デジタルエラー補正では DAC の不完全整定を処理できるため、高速 AD 変換が可能である。したがって冗長設計は高信頼性・高速な SAR AD 変換の可能性を有する。

(3) 従来の冗長設計の問題点

基準電圧の重み $p(k)$ は冗長 SAR ADC の性能に大きく影響し、式(1)を用いて $p(k)$ を選択した。ここでは、 M は全体のステップ数であり、 k は比較ステップ数である。

$$p(k) = R^{M-k} \quad (1)$$

しかし、基準電圧重み $p(k)$ の従来の決定方法には、以下のようにいくつかの問題がある。

1. 式(1)の基準電圧 $p(k)$ は整数ではなく回路設計に適さない。整数を用いた容易な設計と正確な変換のためには $p(k)$ を丸める必要がある。しかし、丸める操作は各ステップで補正能力の可変性を引き起こし、性能向上を妨げる可能性がある。
2. 適切な基数選択の難しさがあり、ADC 設計者は式(1)の適切な基数 R ($1 \leq R < 2$) を選択する必要がある。図 5 に基数 1.80 で丸めた場合の例を示す。図 5 において双方向の矢印は補正可能範囲を示しており、補正できない範囲が存在することを意味する。補正能力と変換速度はトレードオフであり、適切な基数を探す必要がある。
3. 内部 DAC 構成の問題がある。二進探索 SAR ADC では、binary network topology を使用して内部 DAC を容易に実現する。しかし、冗長 SAR ADC の内部 DAC を設計することは困難である。従来の手法では、複雑で大規模な回路で内部 DAC を実現していた。

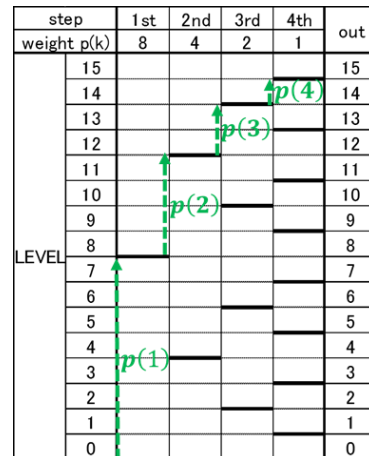


図 3 : 二進探索 4-bit 4-step SAR ADC.

Fig. 3. Binary search algorithm of a 4-bit 4-step SAR ADC.

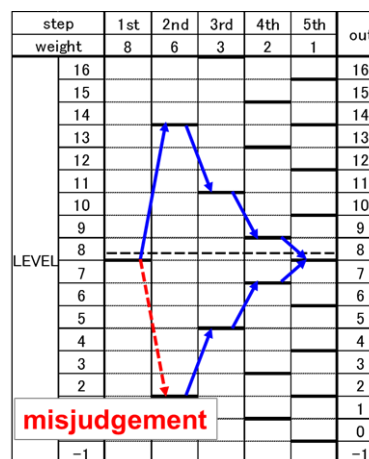


図 4 : 正確な場合と判定誤りが起きた場合の 4-bit 5-step SAR ADC の動作

Fig. 4. Operation of a 4-bit 5-step SAR ADC in case of correct and incorrect judgments.

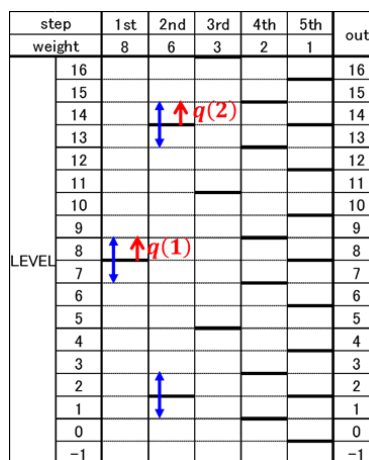


図 5 : 4-bit 5-step SAR ADC アルゴリズムと補正可能範囲 $q(k)$ の定義

Fig. 5. 4-bit 5-step SAR ADC algorithm and definition of correctable difference $q(k)$.

4. フィボナッチ数列を用いた冗長設計

(1) フィボナッチ数列

フィボナッチ数列は式(2)に示すような漸化式で定義され、式(2)の n は 0 以上の整数である。フィボナッチ数列は 1202 年にイタリアの数学者 Leonardo Fibonacci によって発表され、最も有名な数式の 1 つとして知られている。

$$\begin{aligned} F_{n+2} &= F_n + F_{n+1} \\ F_0 &= 0, F_1 = 1 \end{aligned} \quad (2)$$

フィボナッチ数列は式(2)より以下のように表される。

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233, 377, ...

このように隣接する 2 つの項の和が次の項となる。

さらにフィボナッチ数列の最も近い項の比は、式(3)のように約 1.62 に収束する。

$$\lim_{n \rightarrow \infty} \frac{F_{n+1}}{F_n} = 1.6180339887 = \varphi \quad (3)$$

この比は“黄金比”と呼ばれ最も美しい比と認識されている。

フィボナッチ数列と黄金比は以上のようにとても簡単なルールに基づいているが、自然など様々な場所で発見でき、多くの興味深い性質を持っている。そのためそれらは 800 年以上にわたり多くの研究者によって研究されてきた。

(2) フィボナッチ冗長設計

3.3 節に示す問題を解決するためにフィボナッチ数列を用いた冗長アルゴリズムを検討した。このアルゴリズムは、電圧重みをフィボナッチ数列にすることで整数のみで 1.62 進数を実現する。以下にフィボナッチ数列を用いたときの利点を示す。フィボナッチ数列は整数で構成されているため丸め演算が必要ない。図 6 はフィボナッチ重み付け SAR ADC が全ての入力範囲で補正が可能であることを示している。これは図 5 の従来の方法とは異なり、高信頼性を実現していることを意味している。

step	1st	2nd	3rd	4th	5th	6th	out
weight	8	5	3	2	1	1	
17							17
16							16
15							15
14							14
13							13
12							12
11							11
10							10
9							9
8							8
7							7
6							6
5							5
4							4
3							3
2							2
1							1
0							0
-1							-1
-2							-2

図 6：フィボナッチ数列を用いた冗長

4-bit 6-step SAR ADC

Fig.6. Redundant search algorithm of a 4-bit 6-step SAR ADC using Fibonacci sequence weights.

さらに、フィボナッチ法の利点は AD 変換速度でも示された。内部 DAC の出力の不完全な整定を考慮したシミュレーションを行った結果、フィボナッチ法はすべての分解能において最も速い方法であることが判明した。

通常、内部 DAC の出力の整定時間は SH 回路の整定時間よりも長くなる。ただし、SH 回路の整定時間は、内蔵 DAC の出力の整定時間よりも長い場合がある。セクション 5 では、フィボナッチ数列重み付け SAR ADC がそのような場合に有効であることを示し、さらに冗長性の度合いとの関連性についても示す。

5. フィボナッチ数列重み付け SAR ADC の新発見

SH 回路の整定時間を考慮すると、冗長性を有するフィボナッチ型は、バイナリ型よりも測定時間が短いと考えられる。これは前半の比較条件を緩和することでスピードを上昇させ、後半の比較条件を強化することで誤判定の修正を可能にしたためである。その結果各ステップ測定時間が短縮され、判定速度が上昇する。これを 5.1 節でシミュレーションにて示し、さらに 5.2 節では冗長性の度合いを変化させるために Radix 手法を用いて測定時間等のシミュレーションを行う。

(1) フィボナッチ・バイナリ比較シミュレーション

SH 回路の整定時間を考慮すると、フィボナッチ型はバイナリ型よりも測定時間が短いことを示す。

シミュレーション条件を以下に示す。

1. Scilab を用いてシミュレーションを行う。
2. 入力信号の微小電流源を電圧源に置き換え、SH 回路の整定時間を考慮する。
3. SH 回路を一次の RC 直列回路とする。
4. 分解能を 1~14bit に変化し、精度は 1/2LSB とする。
5. キャパシタの初期電圧はフルスケールの半分とする。

さらにシミュレーション方法を以下に示す。

- (1) ワorstケースである $V_{in} = 2^n$ の場合で、SH 回路の出力と入力との差が 1/2LSB になるまでの時間をステップ数に応じて分割しクロックを生成する(図 7)。
- (2) V_{in} を $0 \sim 2^n$ まで変化し、生成したクロックを用いて判定を行う。
- (3) 判定結果と入力の差が LSB 以下であれば動作を終了させる。それ以外の場合はその範囲内に収まるまでクロックを増加させ判定を継続する。

シミュレーション結果を図 8 に示す。図 8 ではフィボナッチ型の方がバイナリ型より測定時間が短いことや、ビット数が大きくなるにつれて測定時間の差が大きくなることがわかる。

(2) Radix 手法を用いたシミュレーション

冗長性の度合いを変化させることのできる Radix 手法を用いて測定時間や消費電力につながるコンパレータの比較回数をシミュレーションにて示す。

このシミュレーションは分解能を 5-bit に固定し、Radix を変化させ、5.1 節と同様のシミュレーションを行った。

シミュレーション結果を図9に示す。図9ではRadix = 1.6付近がキャパシタ使用回数と測定時間のバランスがよく、1.62進数であるフィボナッチ手法が適していることがわかる。

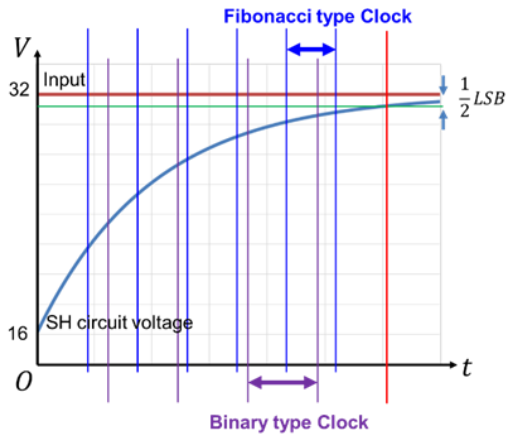


図7: クロック生成動作(5bit SAR ADC)

Fig. 7. Clock generation operation (5bit SAR ADC)

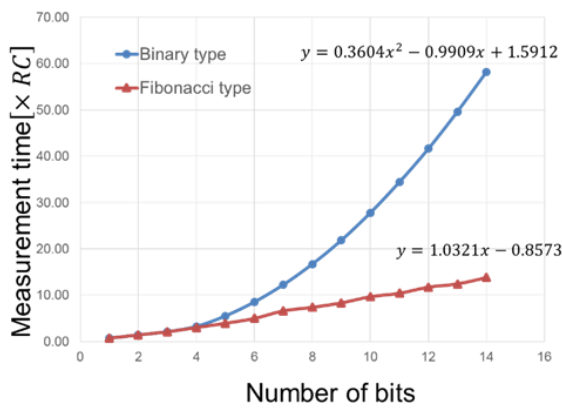


図8: ビット数と測定時間の関係

Fig. 8. Relationship between number of bits and measurement time

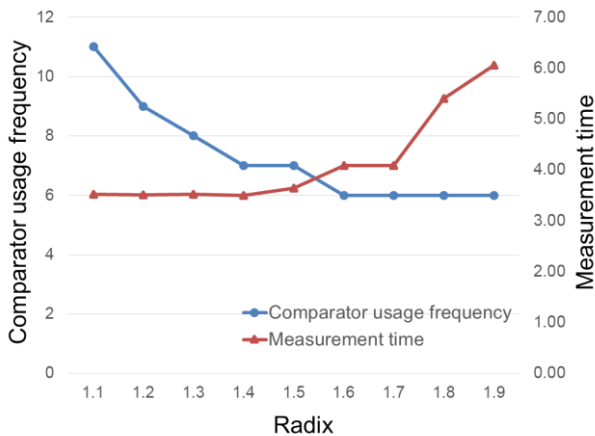


図9: Radix と測定時間・コンパレータ使用回数の関係
Fig. 9. Relationship between radix and measurement time / comparator usage frequency

6. まとめ

この論文では SAR ADC を用いて微小電流源を測定する場合、前段の SH 回路の整定時間の影響を考慮し、トータルとして AD 変換時間が短い方式を検討した。冗長性を持たないバイナリ型は信号の完全整定が必要であり、冗長性をもつフィボナッチタイプは、信号が不完全整定状態でも次の動作に移ることができ各ステップの測定時間を短縮することができる。その結果、フィボナッチ型の測定時間はバイナリ型の測定時間よりも短くなることを明らかにした。さらに Radix 手法を用いて測定時間・コンパレータ使用回数を求めると Radix = 1.6付近で両者のバランスがよくフィボナッチ手法が適していることがわかった。

文 献

- (1) T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, pp.415-423 (Feb. 2010).
- (2) 新井宏崇, 小林佑太郎, 小林春夫「フィボナッチ数列重み付け逐次比較近似ADCと単峰関数の黄金分割探索法との関係の考察」電子情報通信学会 回路とシステム研究会, 東京 (2016年10月)
- (3) 小林佑太郎, 香積正基, 楊志翔, 小林春夫, "ADC/DAC のフィボナッチ数列を用いた冗長性設計の検討", 電気学会 電子回路研究会, 奈良(2013年10月).
- (4) 小林佑太郎, 小林春夫 「逐次比較近似ADCの整数論に基づく冗長アルゴリズム設計」電気学会 電子回路研究会, 島根 (2014年7月)
- (5) Y. Kobayashi, H. Kobayashi, "Redundant SAR ADC Algorithm Based on Fibonacci Sequence", Advanced Micro-Device Engineering VI, Key Engineering Materials pp.117-126 (2016).
- (6) Y. Kobayashi, H. Kobayashi, "Redundant SAR ADC Algorithm Based on Fibonacci Sequence", Advanced Micro-Device Engineering VI, Key Engineering Materials, pp. 117-126 (2016).
- (7) Y. Kobayashi, S. Shibuya, T. Arafune, S. Sasaki, H. Kobayashi, "SAR ADC Design Using Golden Ratio Weight Algorithm", The 15th International Symposium on Communications and Information Technologies, Nara, Japan (Oct. 2015).
- (8) T. Arafune, Y. Kobayashi, S. Shibuya, H. Kobayashi, "Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology", IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 2015).
- (9) H. Kobayashi, H. Lin, "Analog/Mixed-Signal Circuit Design based on Mathematics", IEEE 13th International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016).
- (10) H Arai, T Arafune, S Shibuya, Y Kobayashi, K Asami, H Kobayashi, "Fibonacci Sequence Weighted SAR ADC as Golden Section Search", International Symposium on Intelligent Signal Processing and Communication Systems 2017, Xiamen, China (Nov. 2017)
- (11) H Arai, T Arafune, S Shibuya, Y Kobayashi, K Asami, H Kobayashi, "Redundant SAR ADC Algorithm for Minute Current Measurement", International Conference on Mechanical, Electrical and Medical Intelligent System 2017, Kiryu, Japan (Nov. 2017)
- (12) 中村滋(著):フィボナッチ数の小宇宙, 日本評論社 (2002年9月).
A. S. Posamentier, I. Lehmann (著), 松浦俊輔 (訳): 不思議な数列フィボナッチの秘密, 日経BP社 (2010年8月)