

積分型時間デジタイザ回路とサンプリングクロックの検討

佐々木 優斗* 小林 春夫 (群馬大学)

Integral-type TDC and its Optimum Sampling Clock Frequency
Yuto Sasaki*, Haruo Kobayashi, (Gunma University)

キーワード：時間デジタイザ回路，等価時間サンプリング，オシロスコープ・トリガ回路，モンテカルロ法，波形抜け

(Time-to-Digital Converter, Random Repetitive Sampling, Oscilloscope-Trigger Circuit, Monte Carlo Method, Waveform Missing)

1. はじめに

時間デジタイザ回路(Time-to-Digital Converter: TDC)は2つの入力タイミング信号の時間差を計測しデジタル出力する回路である。従来の時間デジタイザ回路は遅延素子を使用するが、遅延素子はその遅延値が製造ばらつき、電源電圧変動、温度変動の影響を受けるので、TDC特性を線形にするために遅延値誤差を校正する必要があるという課題がある(図1) [1, 5]。

一方提案時間デジタイザ回路は遅延素子を使わず、安定な発振周波数の正弦波と余弦波を用い、モンテカルロ法により入力時間差を推定するため、自己校正なしで線形性を確保できる。また測定時間を長くすると測定時間分解能が細かくでき、積分型AD変換器と同じ性質を持つ。このためこの提案回路を積分型TDCと呼ぶことにする。また提案積分型TDCの内部で使われている正弦波・余弦波の周波数とサンプリングクロック(CLK)周波数との間の波形の効率的取得のための関係を求めた。最適な関係では、黄金比(約1.62)があらわれる。

本論文では提案する積分型TDCの構成と動作、そこでの効率的波形取得のためのサンプリング周波数と入力時間差の関係について記す。

2. 積分型時間デジタイザ回路の構成

積分型時間デジタイザ回路の構成を図2に示す。2つのオシロスコープ・トリガ回路と、入力タイミング信号と非同期的な(相関のない)サンプリングクロック(正弦波・余弦波)、2つカウンタから構成する。

〈2・1〉 オシロスコープ・トリガ回路

図3に、トリガ信号が入力されたタイミングで位相0の正弦波を出力するオシロスコープ・トリガ回路[2]を示す。これをTDC回路に用いる。この回路は入力時間差を保持できるので、単発信号も繰り返し測定することが可能である。図3は外部から位相が $(2/3)\pi$ ずれた三相正弦波を用いるが、

$(1/2)\pi$ ずれた正弦波・余弦波を用いる構成も可能である。

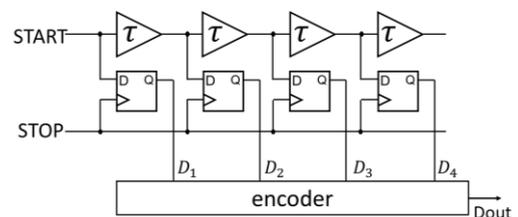


図1 従来のフラッシュ型時間デジタイザ回路

Fig. 1. Conventional flash-type TDC.

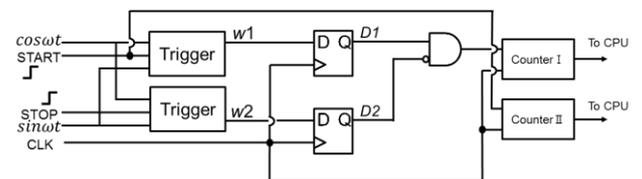


図2 積分型時間デジタイザ回路

Fig. 2. Integral-type TDC.

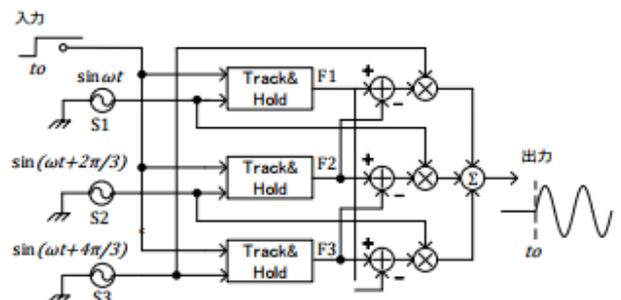


図3 3段構成オシロスコープ・トリガ回路

Fig. 3. Three-stage oscilloscope-trigger circuit

3. 積分型時間デジタイザ回路の動作

時間デジタイザ回路は、オシロスコープ・トリガ回路で保持した時間差波形を入力タイミング信号と非同期なクロック(CLK)でランダムサンプリングし、モンテカルロ法により時間差を得る回路である。タイミングチャートを図4に示す。

Start 信号が入力されると w1 が発振を開始し、Counter II が総クロック数のカウントを行う、ある時間差の後 Stop 信号が入力されると w2 が発振を始める。w1、w2 の周期は同じであり、トリガ信号が入力されたタイミングからそれぞれ位相 0 で発振するので、入力時間差が保たれる。D1 と $\overline{D2}$ を AND 回路に入力すると、出力が HIGH である時間がトリガの入力時間差に該当する。Counter I は AND 回路の出力が HIGH のときのクロック数をカウントするが、非同期なクロックで多周期に渡ってカウントすると、モンテカルロ法(統計的)により Count I と Count II の比は入力時間差 τ と正弦波の周期 T の比となる。したがって、(1)式に示すように 既知である正弦波の周期から入力時間差を推定することができる。

$$\tau = \frac{\text{Count I}}{\text{Count II}} \times T \dots\dots\dots (1)$$

4. ランダムサンプリングと波形抜け現象

ランダムサンプリングは繰り返し信号を非同期なクロックで繰り返しサンプリングする手法である(図5、6) [4, 6]。しかし、被測定波とサンプリング周期の比によっては波形抜けが起きて効率良くサンプリングすることができない [3]。波形抜けは入力信号ならびにその高調波、低調波とクロックの周波数がほぼ等しい場合(2式)や入力信号に比べて周波数が大きすぎる場合に発生する、測定点がほとんど移動しない現象である(図7)。

$$f \sin \approx \alpha \times f_{clk} \dots\dots\dots (2)$$

$$\left(\alpha = 1, \frac{1}{2}, \frac{1}{3}, \frac{2}{3} \dots \right)$$

5. 効率的波形取得サンプリング周波数の検討

積分型時間デジタイザ回路はモンテカルロ法により時間差を推定するので、サンプリング点が基準波形の全位相に渡って均一に分布するようなサンプリング周波数を用いなければならない。

本研究では簡単化のためにサンプリング周期を

$$T_{clk} = \frac{M}{N} \times T \sin \dots\dots\dots (3)$$

(N は最大計測可能点数、M は任意点数、
ただし M と N は互いに素)

と標準化して適当なサンプリング周波数を考察した。

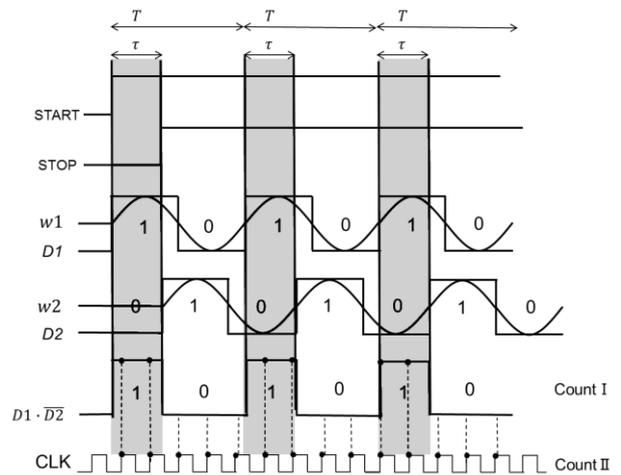


図4 積分型デジタイザ回路(図1)のタイミングチャート
Fig. 4. Timing chart for the integral-type TDC in Fig. 2.

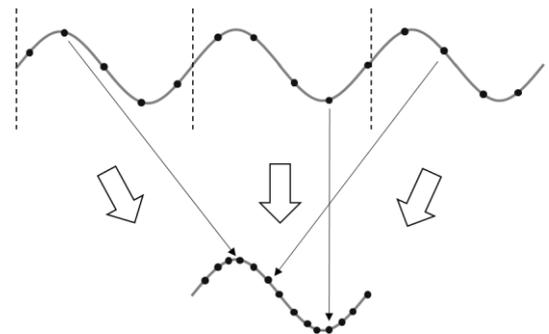


図5 ランダムサンプリングの原理
Fig. 5. Principle of random repetitive sampling.

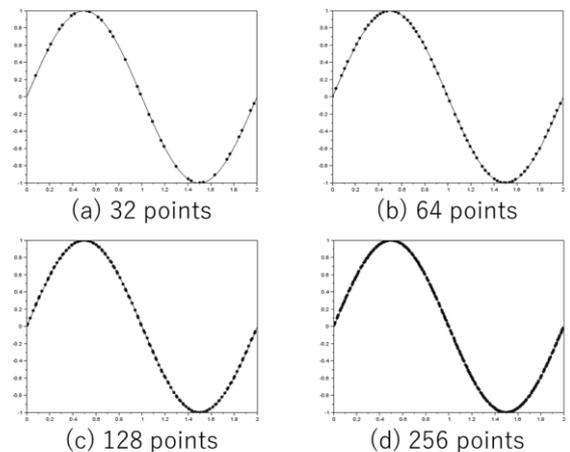


図6 正弦波のランダムサンプリング
Fig. 6. Random repetitive sampling for sin wave.

〈5・1〉 最大測定可能点数 N

(1) N=測定点数の場合

N=測定点数のときサンプリング点同士の間隔は基準波形の周期を N 等分したものであるため、サンプリング点は最も均一に分布する。

(2) N<測定点数の場合

最大測定可能点数 N までしか新たな位相のデータを取得することができず、それ以降は同じ位相を繰り返しサンプリングすることになるため無駄（非効率）である。

(3) N>測定点数の場合

ある測定点数までデータを取得したとき、サンプリング点が均一に分布しているか注意する必要がある。解決策として、サンプリング点がランダムになるようなクロックを用いる手法が挙げられる。

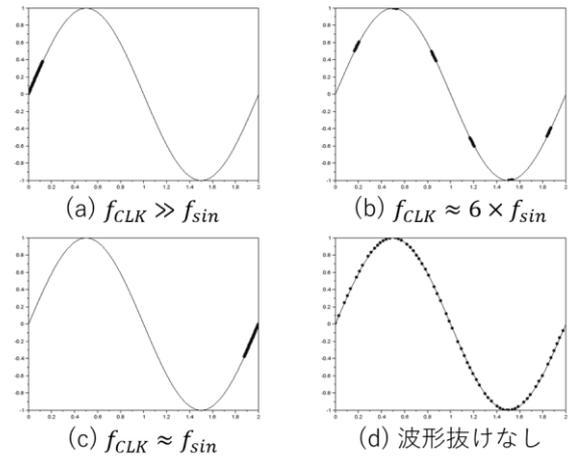


図 7 サンプリング周波数と波形抜けの関係 (64 点)
Fig. 7. Waveform missing and its sampling frequency.

〈5・2〉 サンプリングの順番 M

M は実時間サンプリングを基準にして何個おきにサンプリングするかを決める値であり、2 なら 1 個飛ばしで、3 なら 2 個飛ばしでサンプリングされる。

M=1 のとき実時間サンプリング、M≠1 のとき等価時間サンプリングとなるが、初期位相が同じであれば M の値にかかわらず N 点サンプリング後得られるデータは同一のものであり、収集する順番が異なるだけである。

M の値によってはランダムな順番でサンプリングすることができるが、測定時間は実時間サンプリングに比べて M 倍かかる。

M は N を超えても問題なく、その場合は帯分数にしたときの真分数と同じ順番でサンプリングされる。

M/N と 1-(M/N) には対象性があり、サンプリング点が進む方向が逆となるように鏡写しにサンプリングされる。

6. シミュレーションによる検証

本シミュレーションでは、Scilab を用いて a/N の値によって積分型時間デジタイザ回路の誤差がどのように変化するかを検証することにより、波形抜けがなく効率の良いサンプリング周波数を調査した。

〈シミュレーション条件〉

- ・最大測定可能点数 N : 1024 [points]
- ・正弦波の周期 : 2 [ns]
- ・入力時間差 : 0 ~ 1 [ns] (256 [points])
- ・サンプリング初期点 : Tclk / 2

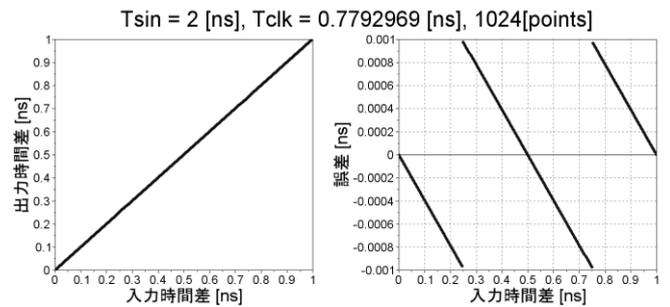


図 8 積分型時間デジタイザ回路の入力時間差に対する出力 (左) と誤差 (右)

Fig. 8. Output and error of the proposed TDC.

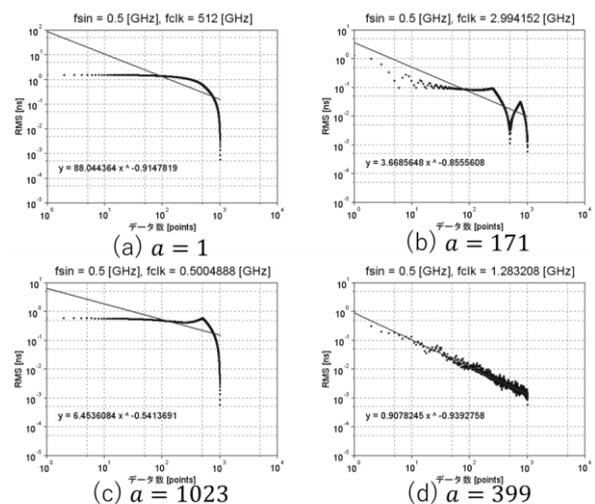


図 9 積分型時間デジタイザ回路の RMSE のサンプリングデータ数による推移 (fclk=(1024/M)fsin)

Fig. 9. RMSE of the proposed TDC output per number of data.

最初に、 $M = 399$ のときの積分型時間デジタイザ回路の入力時間差に対する出力と誤差を図 8 に示す。平方根平均二乗誤差 (RMSE) は約 0.56 [ps] となった。

次に、データ点数による RMSE の推移を図 9 に示す。図 9 の(a)、(b)、(c)、(d)は図 7 の(a)、(b)、(c)、(d)にそれぞれ対応する。

また、ランダムクロックを用いた場合は図 10 のようになる。乱数クロックによるサンプリングでは RMSE が約 $1/\sqrt{n}$ で減少するのに対して、適切なクロックを用いたランダムサンプリングでは RMSE が約 $1/n$ で減少する。

図 9 と図 10 を比較すると、近似曲線からの分散が小さいほどランダム性が良く、近似曲線の傾きが大きいほど均一に分布していると考えられる。

M の値ごとの近似曲線からの分散は図 11 のようになった。分散が小さくなる M の値は N の値とともに変動するので注意が必要である。今回の条件では $M = 399$ ($f_{\text{sin}} : f_{\text{clk}} = 1 : 2.566416$) のとき最も分散が少なかった。ただし、初期位相によっても多少の分散の変化は存在する。

なお、基準波形とクロックの周波数比を黄金比 ($1 : 1.6180339$) にすると近似曲線からの分散が小さくなる、すなわちサンプリング点がランダム性良く均一に分布することをシミュレーションで発見した (図 12)。

7. まとめ

本論文では、適切なサンプリング周波数を用いることにより積分型時間デジタイザ回路が効率的にデータを収集でき、取得データ数が多いほど細かい時間分解能でトリガの入力時間差を推定可能であることをシミュレーションで確認した。

積分型時間デジタイザ回路は遅延素子を用いないため、線形性や時間の絶対値に校正が必要ないだけでなく、プロセス・温度・電源電圧の変動に対する影響が小さい特徴がある。

今後はノイズの影響の検討、回路レベルでのシミュレーションおよび試作・実機検証を行う。

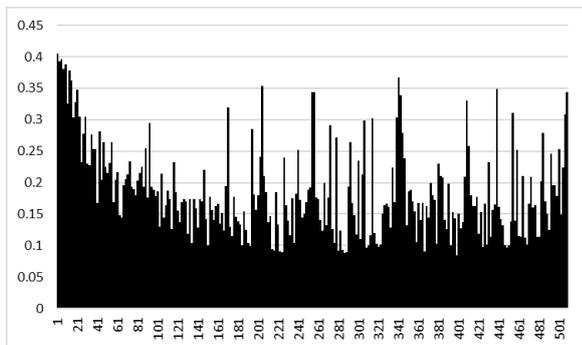


図 11 M の値と近似曲線からの分散 ($M = 1, 3, 5 \dots 509$)
Fig. 11. RMSE from approximate curve.

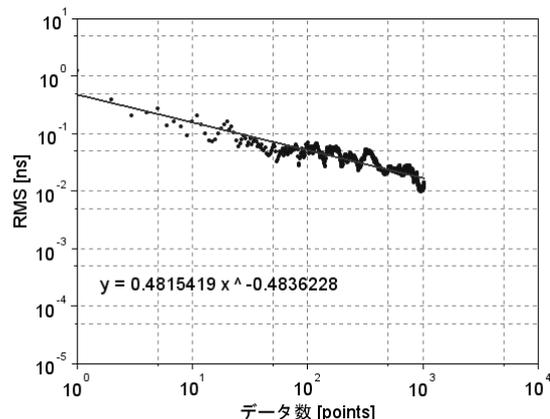


図 10 RMSE のサンプリングデータ数による推移 (ランダムクロック)

Fig. 10. RMSE per number of data (random clock).

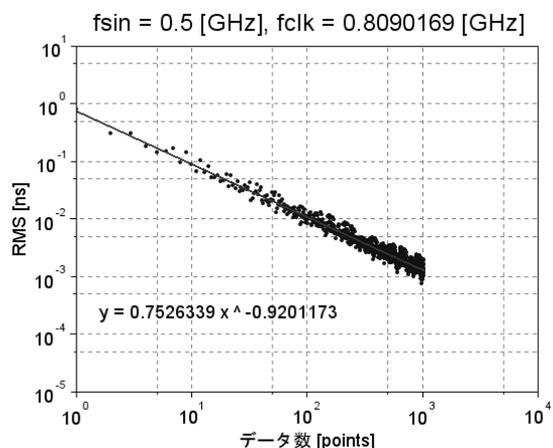


図 12 RMSE のサンプリングデータ数による推移 (黄金比クロック)

Fig. 12. RMSE per number of data. (golden ratio frequency clock)

文 献

- (1) C. Li, J. Wang, H. Kobayashi, R. Shiota : "Timing Measurement BOST Architecture with Full Digital Circuit and Self-Calibration Using Characteristics Variation Positively for Fine Time Resolution", 21th IEEE International Mixed-Signal Testing Workshop, Catalunva, Spain (July 2016)
- (2) 櫻井翔太郎、滝上征弥、井田貴士、小澤祐喜、小林春夫、塩田良治 : 「多段構成オシロスコープ・トリガ回路の検討」、第 7 回 電気学会東京支部栃木・群馬支所 合同研究発表会 (2017)
- (3) Derek E. Toeppen : "Acquisition Clock Dithering in a Digital Oscilloscope", Hewlett-Packard Journal, Vol.48, No.2 pp.26-28 (1997)
- (4) Kenneth Rush and Danny J. Oldfield : "A Data Acquisition System for a 1-GHz Digitizing Oscilloscope", Hewlett-Packard Journal, Vol.37, No.4 pp.4-11 (1986)
- (5) 小林春夫 : 「様々な時間デジタイザ回路アーキテクチャのタイミングテスト応用への比較検討」、第 75 回 FTC 研究会 伊香保、群馬 (2016)
- (6) 小林謙介 : 「高速波形計測のための等価時間サンプリング技術」、計測と制御, Vol.41, No.4 pp.256-261 (2002)