

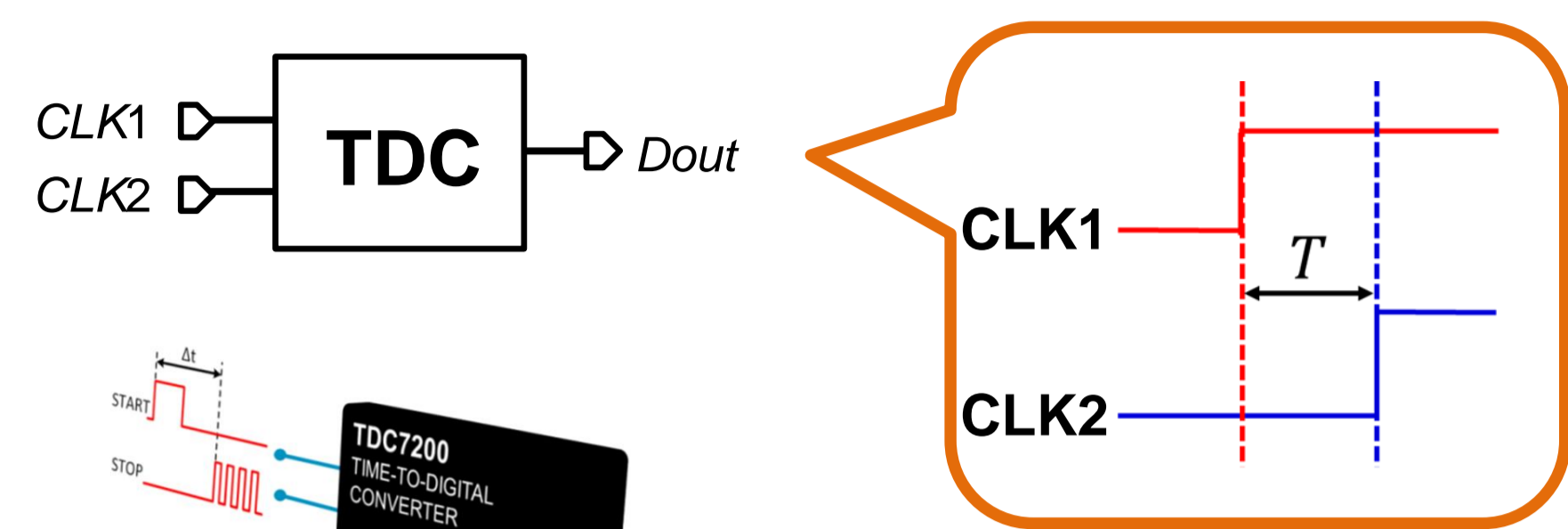
研究背景

研究目的

今回の成果

時間デジタイザ (Time-to-Digital Converter : TDC)

二つの時間の信号差を測定しデジタルで出力する回路



タイミング試験への応用

研究対象

・高速デジタルI/Oインターフェイスの試験

研究課題 時間デジタイザ回路の開発

- ・小回路規模・低電力
- ・高時間分解能
- ・高線形性
- ・単発タイミング信号試験

[I] 2ステップ SAR TDC

小規模回路・低電力、高時間分解能化

[II] デジタル自己校正

高線形性化

[III] トリガ回路の適用

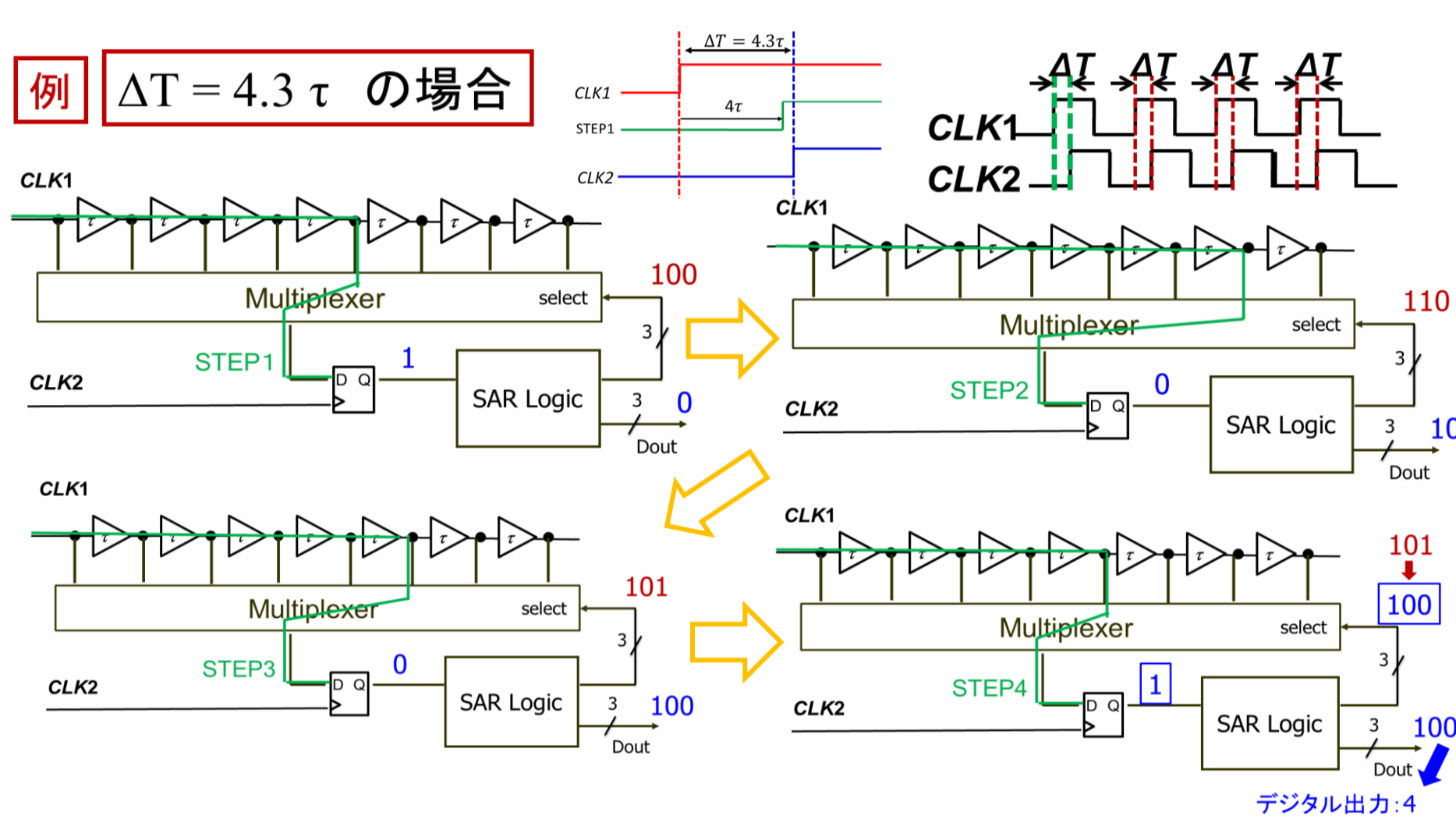
単発タイミング信号の測定可能

逐次比較近似

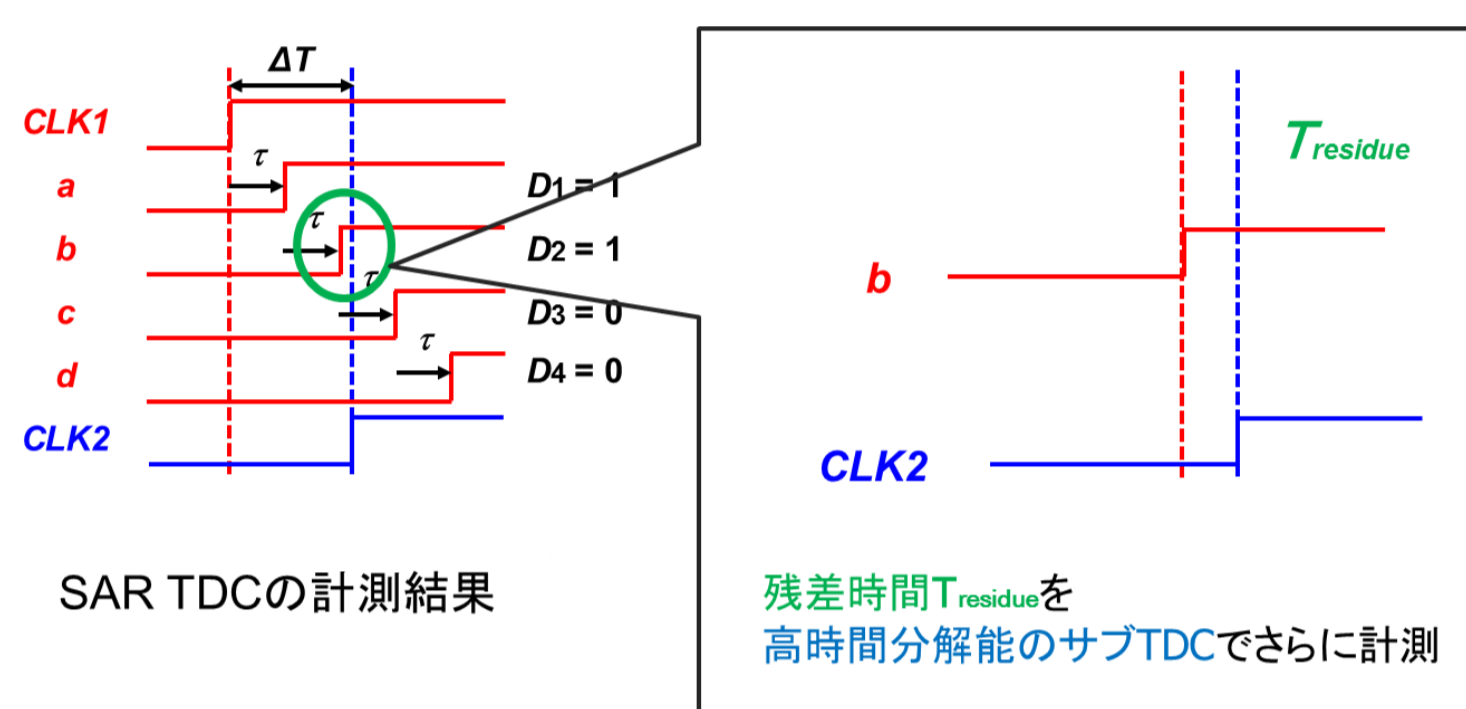
SAR: Successive Approximation Register

2ステップ 逐次比較近似 時間デジタイザ (2-Step SAR TDC)

TDCの動作例

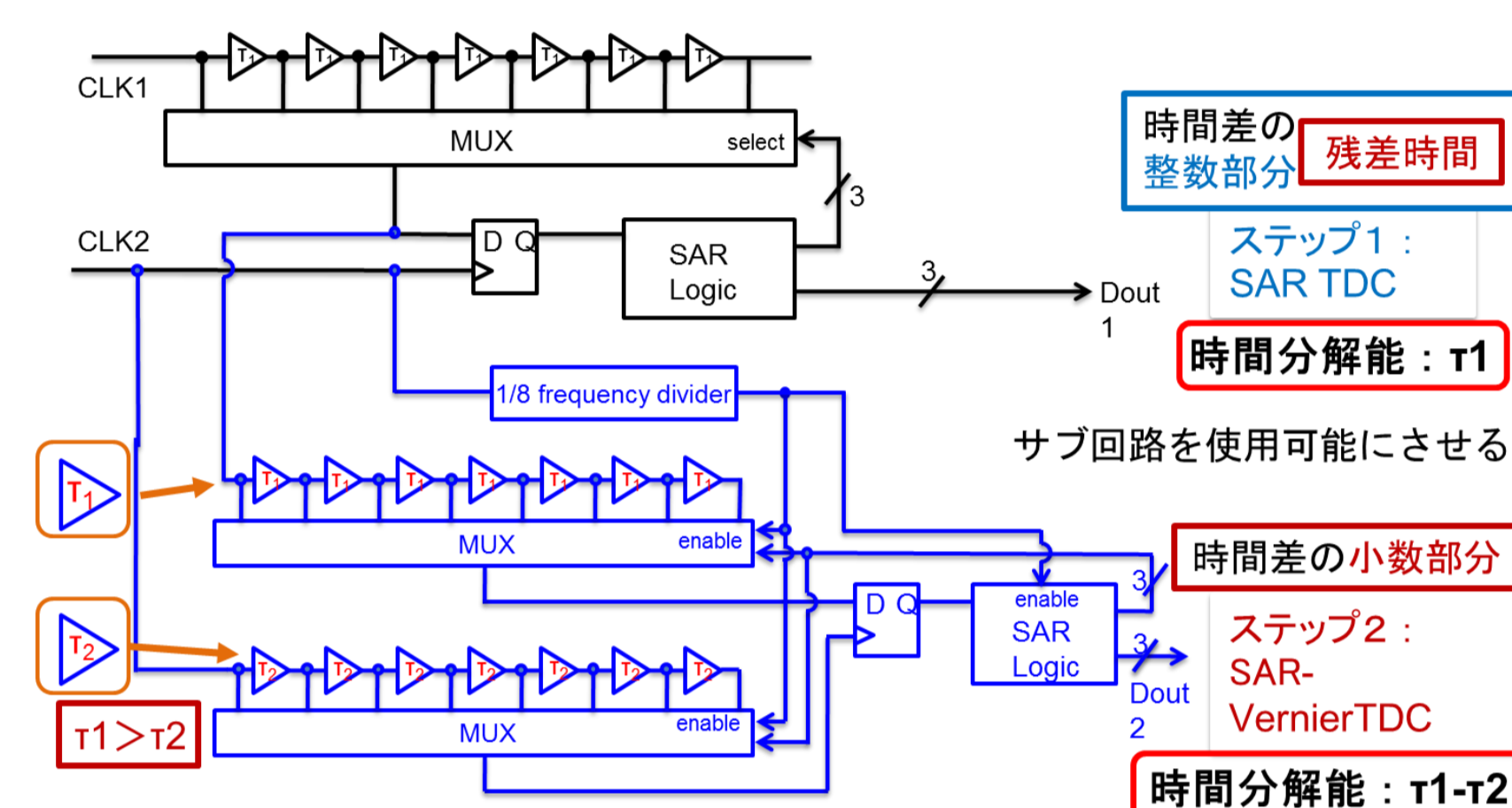


残差時間の利用



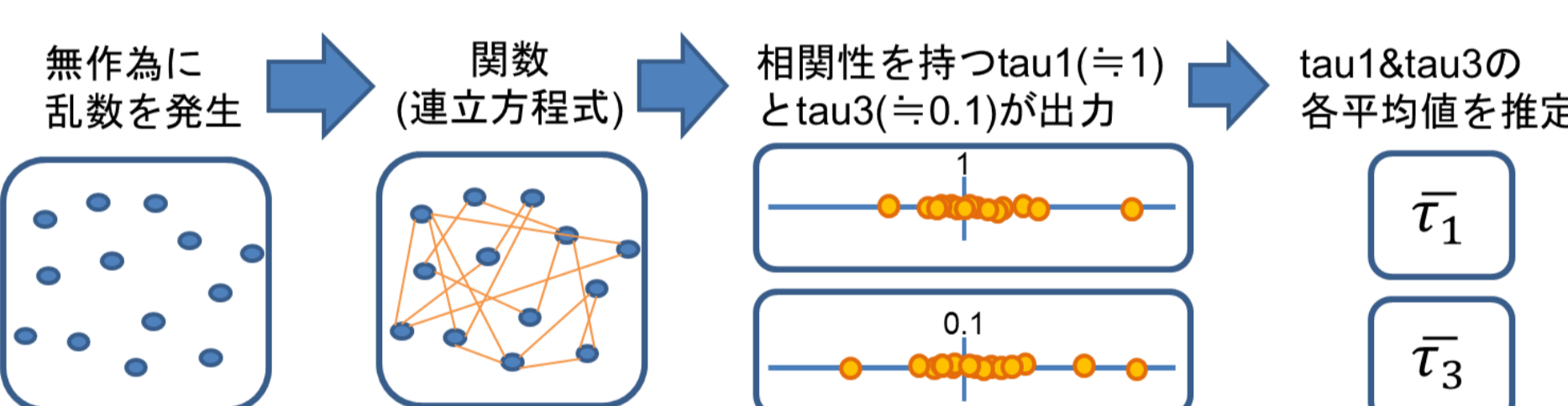
高分解能TDC : SAR + Vernier TDC

3bit SAR + 3bit SAR-Vernier TDC

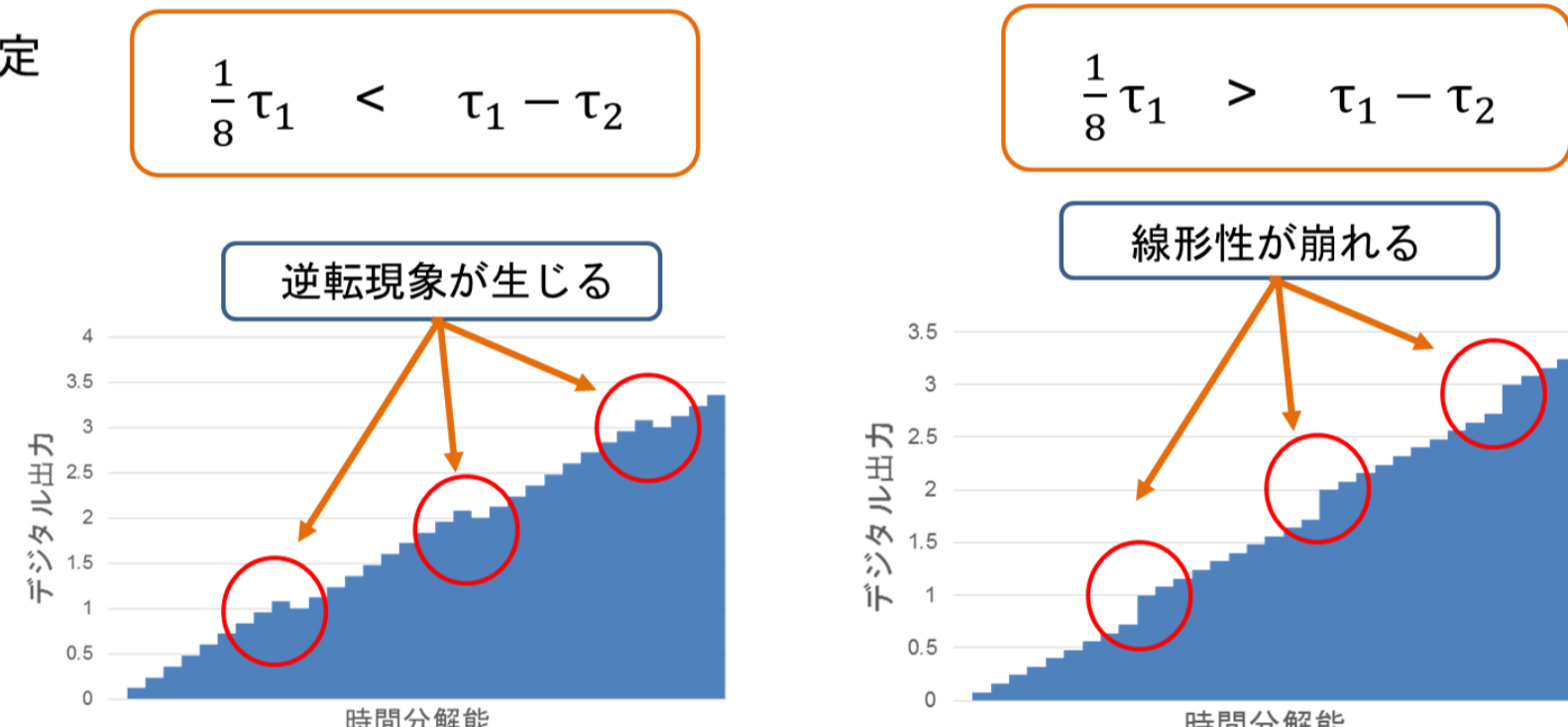


時間デジタイザ回路 線形性のデジタル自己校正

- ・素子配列
 - ・プロセス電源電圧
 - ・温度変動
- 遅延配列のもつ平均値の遅延値がばらつく
- 相対ばらつき
- 絶対ばらつき



線形性の乱れ



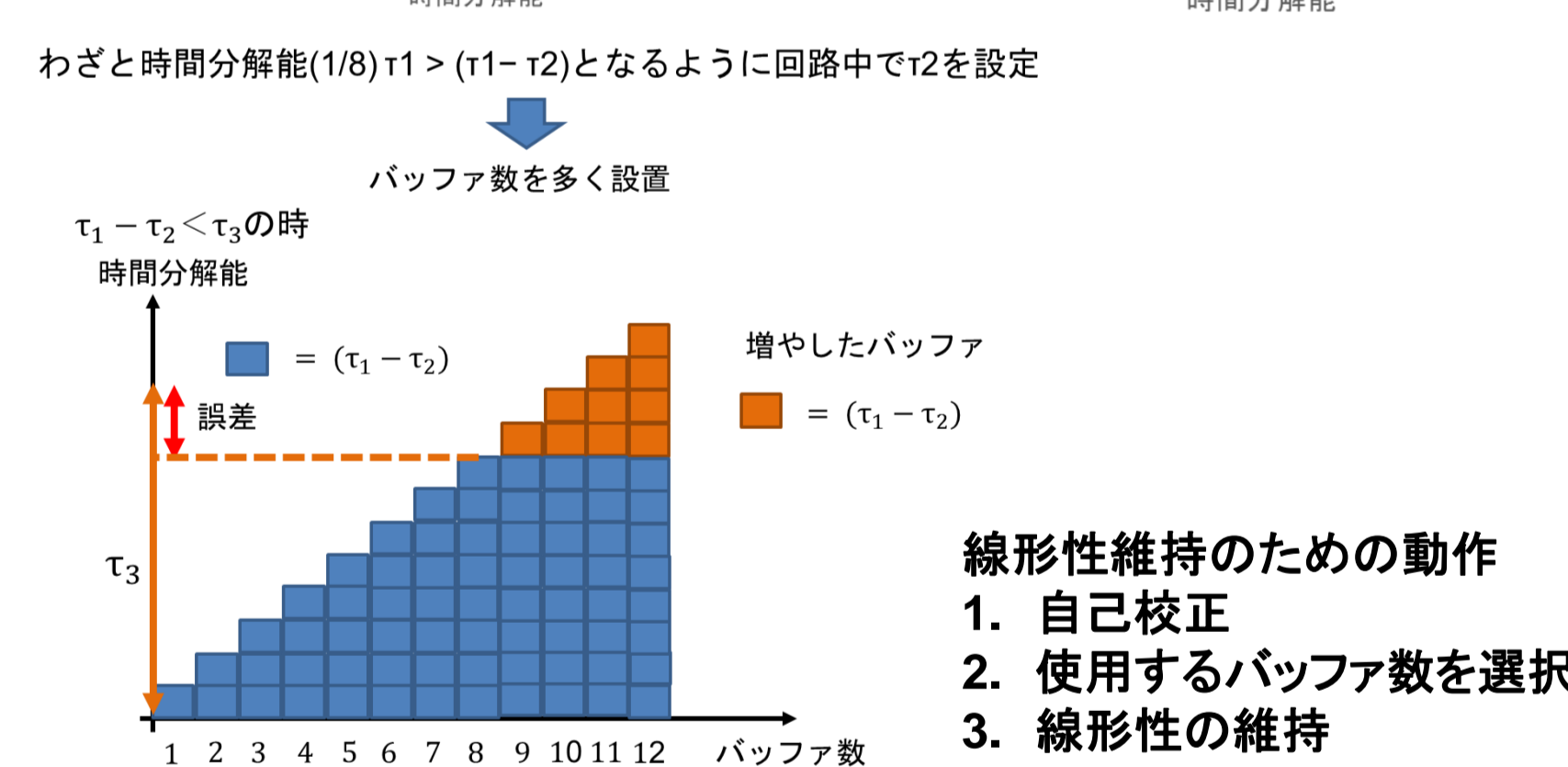
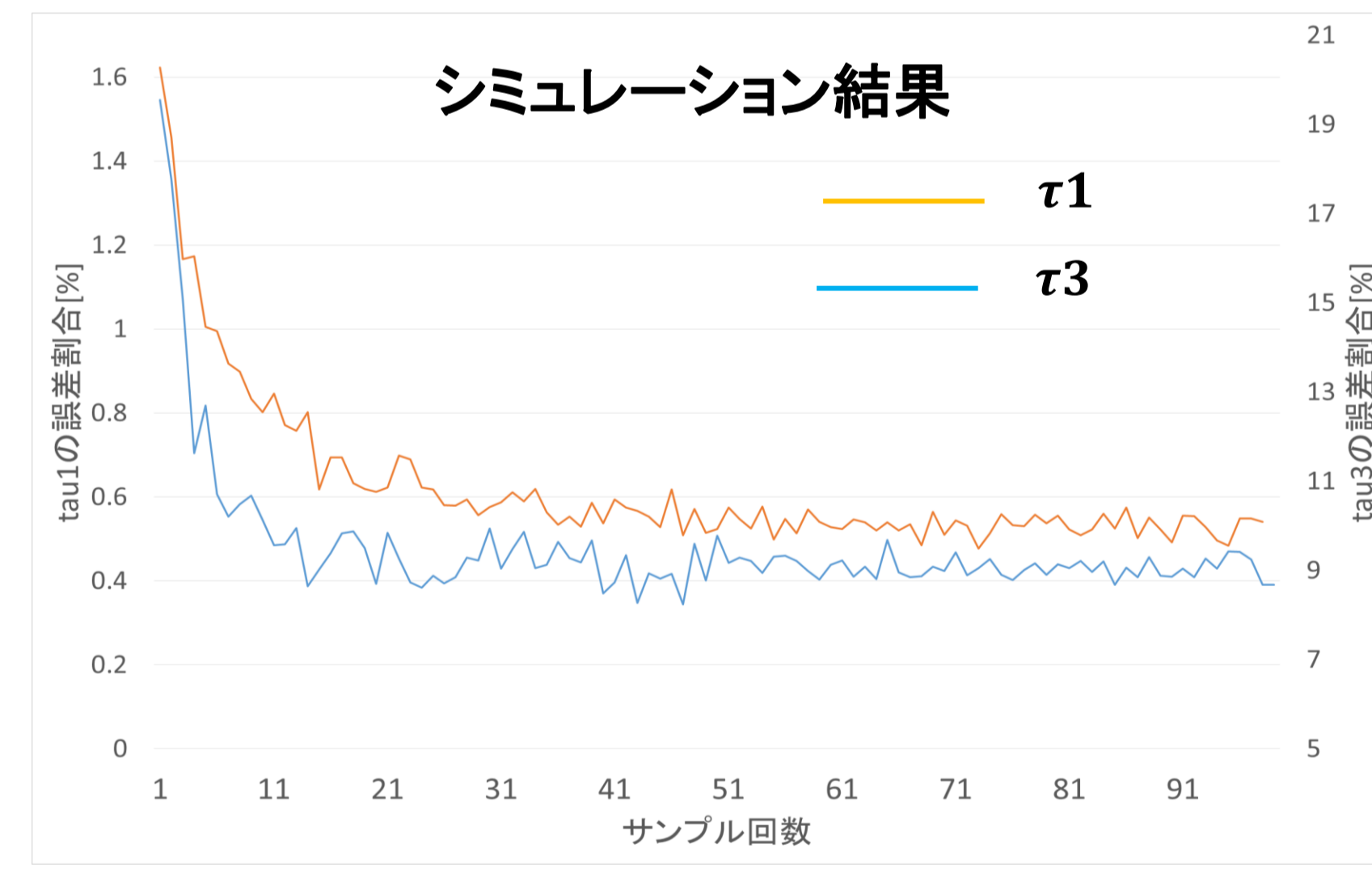
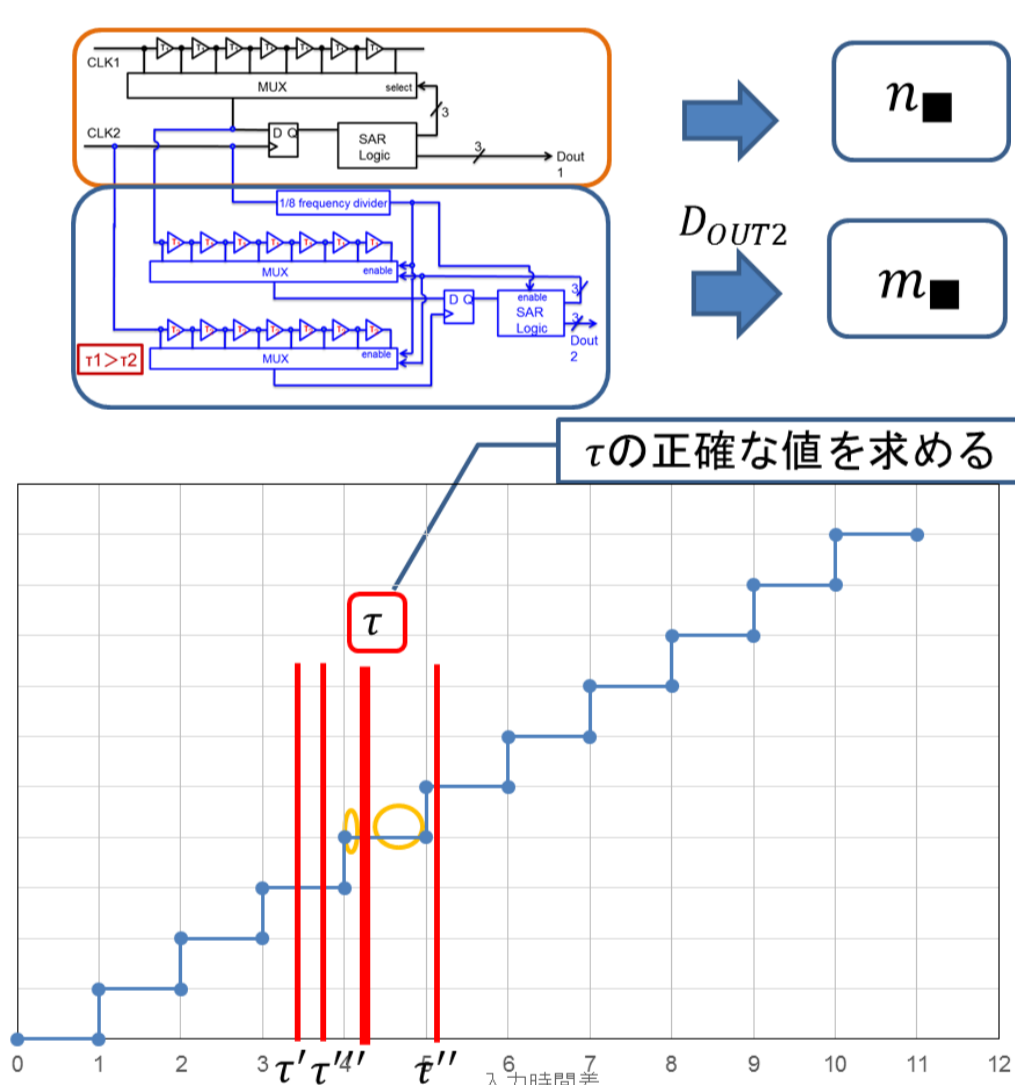
今回の計算方法例
「サンプル数：3の時」

n_{\square}, m_{\square} : 出力データ
 T_{\square} : 既知の入力データ

$$\begin{cases} n_A \tau_1 + m_A \tau_3 \cong T_1 \\ n_B \tau_1 + m_B \tau_3 \cong T_2 \\ n_C \tau_1 + m_C \tau_3 \cong T_3 \end{cases}$$

※ $\tau_3 = \tau_1 - \tau_2$

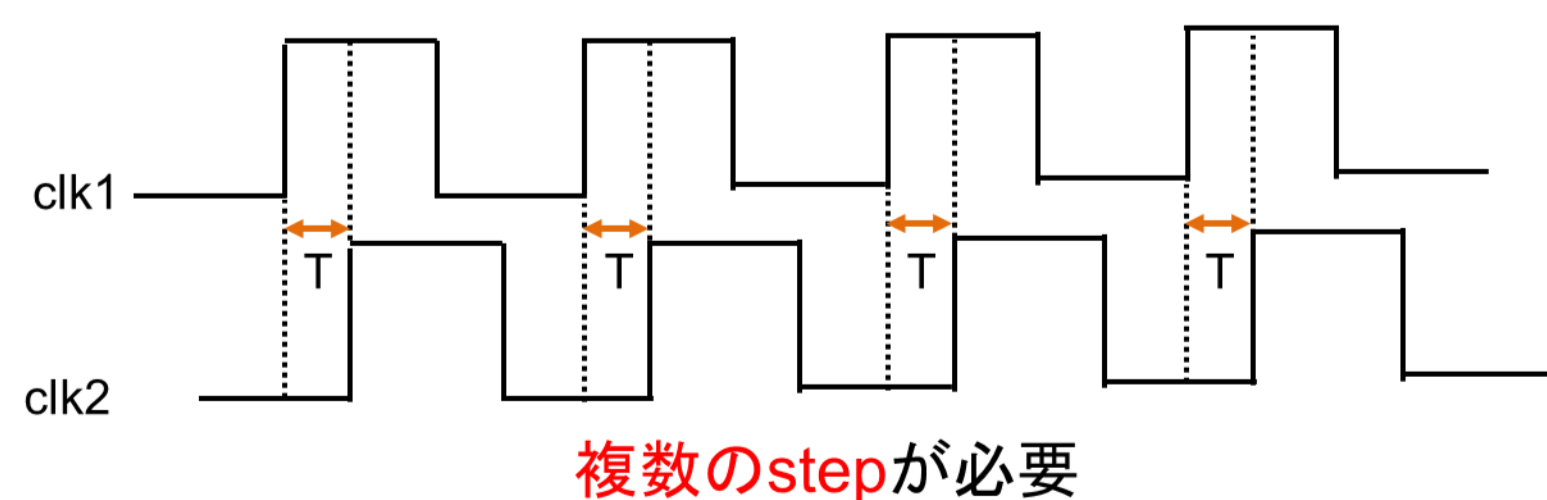
$$\begin{cases} \tau' = m_1 \tau_1 + n_1 \tau_3 \cong T_1 \\ \tau'' = m_2 \tau_1 + n_2 \tau_3 \cong T_2 \\ \tau''' = m_3 \tau_1 + n_3 \tau_3 \cong T_3 \end{cases}$$



- 線形性維持のための動作
1. 自己校正
 2. 使用するバッファ数を選択
 3. 線形性の維持

トリガ回路併用によるSAR TDC による単発タイミング信号の測定

SAR TDCにおける問題点



複数のstepが必要

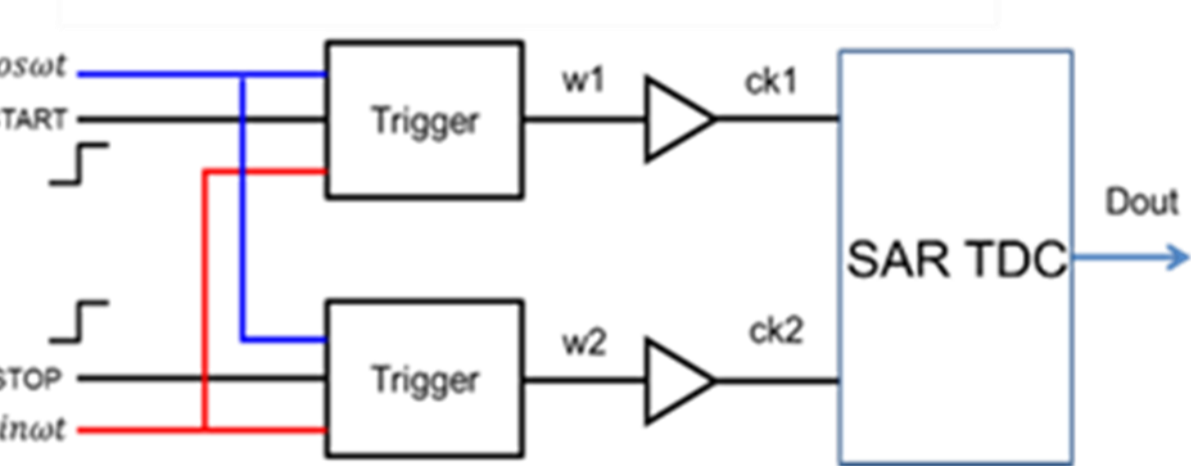
SAR TDCの前段に用い、単発信号も測定できる構成を提案

START, STOP信号を入力

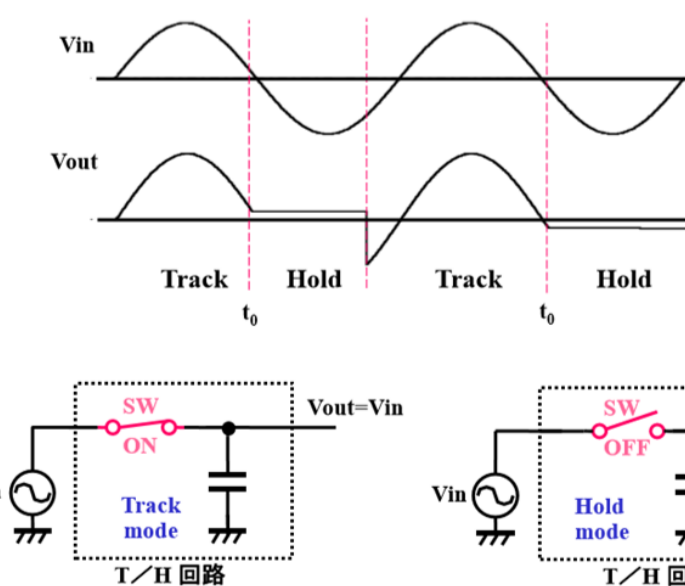
入力のタイミングから決められた初期位相で発振を開始

二つのトリガ回路を用いることで時間信号差の保持が可能

トリガ回路を用いたSAR TDC



単発タイミング信号



数学的解析

track-and-hold
• track mode
 $V_{out} = \cos(\omega t) \cos(\omega t) + \cos(\omega t + \pi/2) \cos(\omega t + \pi/2)$
 $= \cos^2(\omega t) + \sin^2(\omega t)$
 $= 1$ (一定の値)

• hold mode
 $V_{out} = \cos(\omega t) \cos(\omega t_0) + \sin(\omega t) \sin(\omega t_0)$
 $= \cos(\omega(t - t_0))$
※ trigger time: t_0

出力波形



ワンショットで繰り返し信号を発生することが可能

Summary

- ・TDCの高分解能の実現
- ・TDCの自己校正アルゴリズムを示した
- ・TDCの線形性の解決
- ・トリガ回路によるSAR TDCの弱点を解消