

H30年度 群馬大学電気電子工学特別講義II (集積電子回路工学)

2. LSI搭載用A/D, D/A変換器: ナイキストA/D変換器と $\Delta\Sigma$ A/D変換器

2018/10/09(火) 16:00-17:30 (90分) 89頁+α

■ アナログ技術ネットワーク

ATN (Analog Technology Network)

■ 群馬大学 理工学部 電子情報理工学科

客員教授

■ 東京理科大学

電気電子情報工学科

松浦 達治

matsuura.t@rs.tus.ac.jp

■ 元ルネサスエレクトロニクス

主管技師長

講座内容

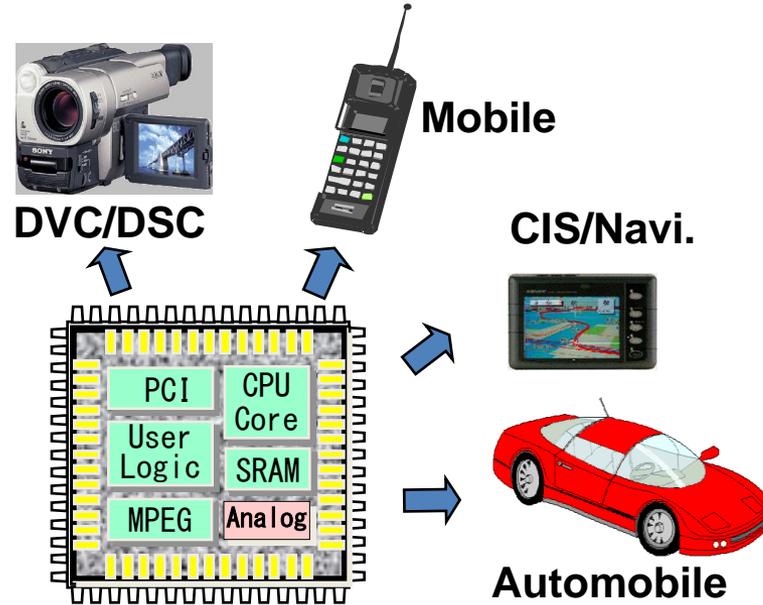
第2回

題目：LSI搭載用A/D, D/A変換器：
ナイキストA/D変換器と $\Delta\Sigma$ A/D変換器

1. A/D, D/A変換器の活用
2. A/D変換器の用語・仕様
3. ナイキスト型A/D変換器の各種方式
4. $\Delta\Sigma$ 型A/D変換器とは
5. まとめ

付録：学会発表に見るA/D変換器の性能プロット

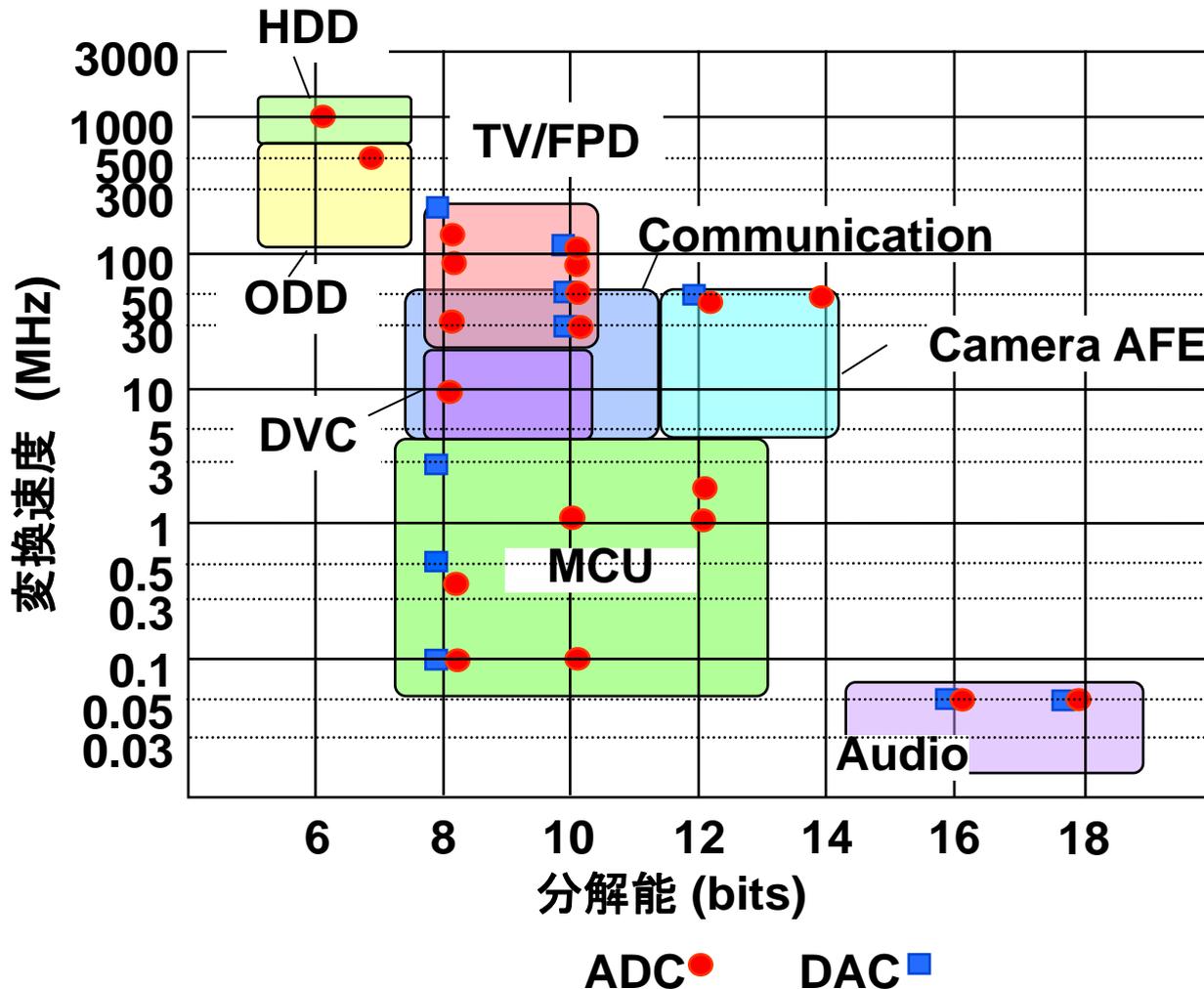
1. A/D, D/A変換器の活用 LSIチップへの搭載



SOCおよびマイコン向けアナログコア

- ・多様な応用に向けた高性能アナログコアを提供
- ・ADC/DAC:5~1.0V
- ・小面積・低消費電力

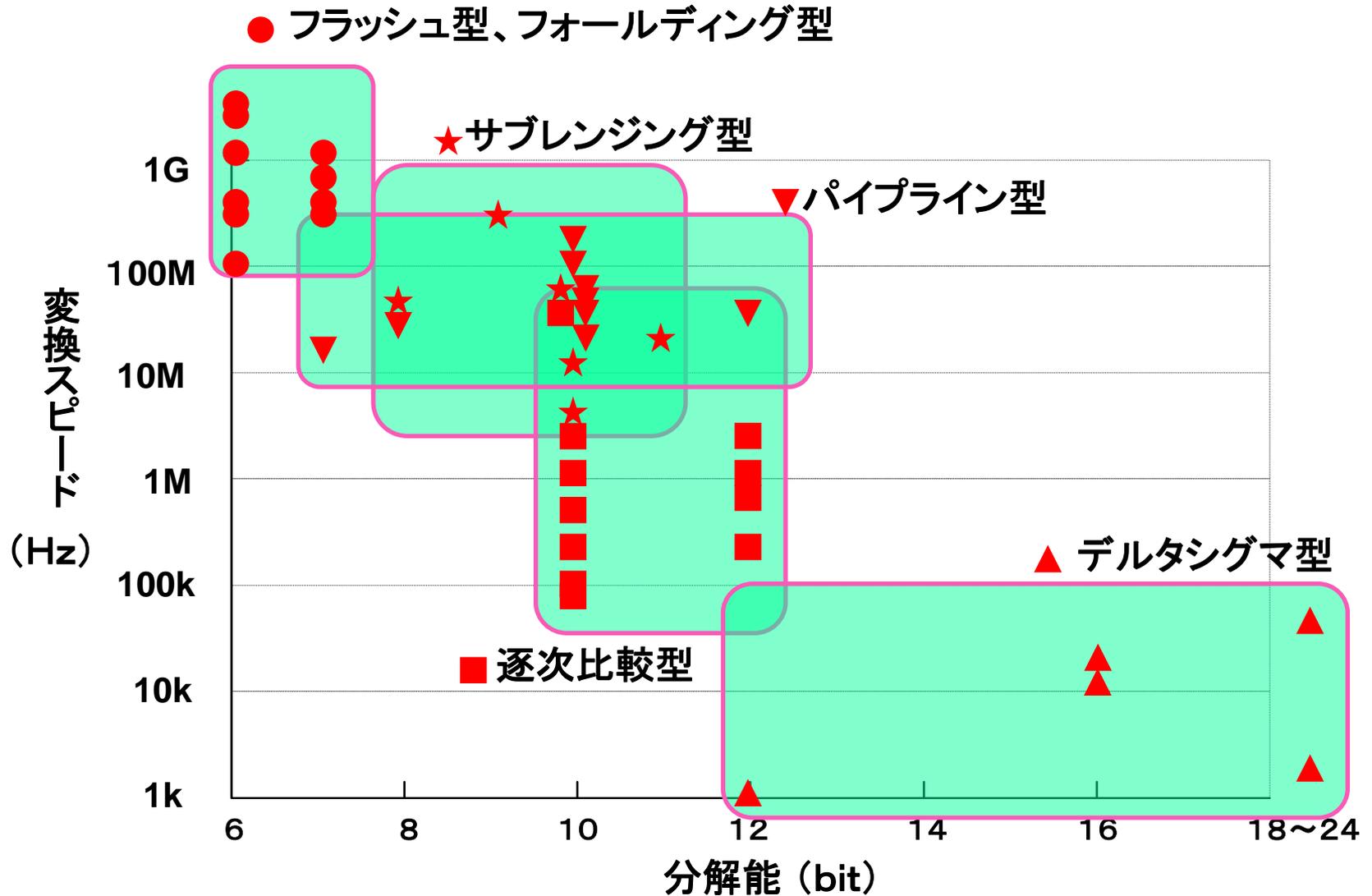
応用分野vsデータコンバータ性能の例



A/D変換器コア

	コメント
逐次比較型	8~12bitで、1us程度の変換時間。マイクロコンピュータによく使用される。
高速フラッシュ型 (並列比較型)	6~7bitで、500Msps~3.5Gpspのコアが存在する。 が、高速で使い方が難しい。 HDD(ハードディスクドライブ)用、やODD(光ディスク)用がある。
パイプライン型	8~10bitで、30~110Msps程度。(画像)信号処理用のSoCに良く使われる。
$\Delta\Sigma$ ADC	高性能であり使い方に気をつける必要がある。 オーディオ用24bit、携帯電話RF通信用14bit、 カメラレンズ制御用、電力計用、電池電流積算用などがある。

ADCの性能と変換方式



A/D変換器の大分類

(1) ナイキストA/D変換器

- ・入力アナログ信号と出力デジタルデータが1:1に対応。
前の入力サンプルに関係なく、各サンプルが独立に処理されており変換器にメモリ機能はない。
- ・入力アナログ信号の帯域(最大信号周波数)の2倍の周波数(ナイキスト周波数)で入力信号をサンプルしてやれば、元のアナログ信号を正確に再現できる。
(ナイキストの定理)
- ・直線性や精度は、アナログ回路素子(抵抗、電流源、容量等)のマッチング精度で決まる。

(2) オーバーサンプル($\Delta\Sigma$ 型)A/D変換器 (本日後半で解説)

- ・大幅に高い周波数(8-512倍程度)で信号をサンプルし、出力データを、沢山の先行する入力データを使って再生する変換器。
- ・入力アナログ信号と出力デジタルデータの間には1:1の対応はない。
- ・時間領域または周波数領域における入力波形全体と出力波形全体の比較が変換器の精度を決める。
- ・精度は正弦波入力に対するSNRで評価できる。
- ・アナログ回路素子に対する要求精度はナイキストレート変換器より一般に緩和される。

2. A/D変換器 用語・仕様

分解能・量子化誤差

精度

直線性

INL/DNL

変換時間

出力コード

SNR(信号対雑音比)・有効ビット

FFT(高速フーリエ変換)

分解能

量子化誤差

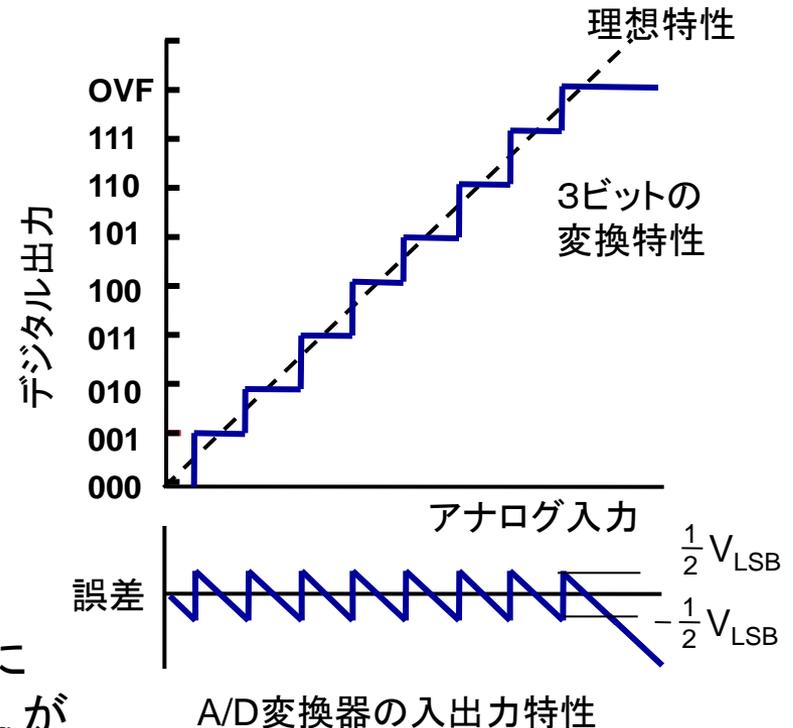
A/D D/A変換器をブラックボックスと見て、その入出力特性から各種の用語を定義する。

(1) 分解能

アナログをデジタルに変換するとは、連続量を不連続な値に変換すること。一つのデジタル量に対応するアナログ量は幅を持つ。この幅以上の電圧差があれば区別できる。これを分解能といい、LSB(Least Significant Bit)で表す。別にフルスケールを何ビットに分解するという意味で、分解能10 bit等と表現する。

(2) 量子化誤差

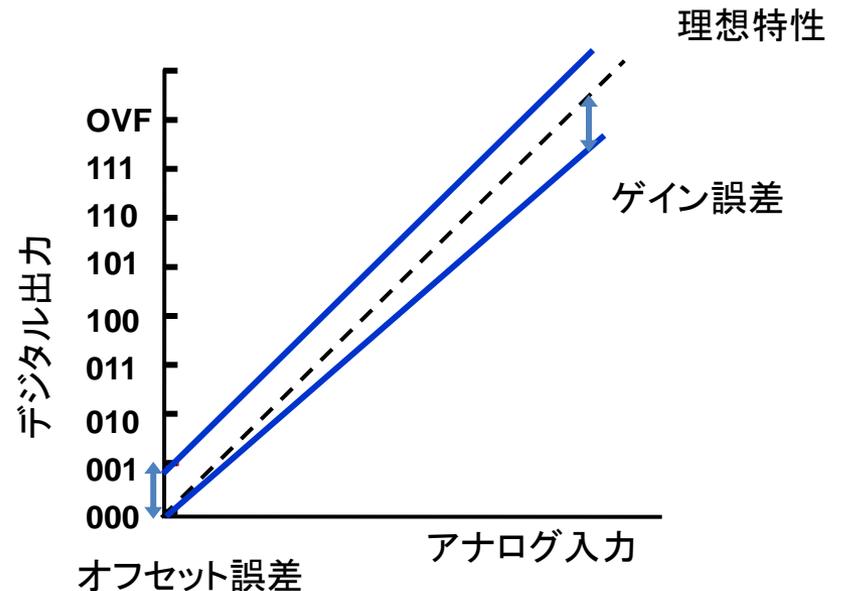
量子化することで、連続な量を不連続な量に変換するので、四捨五入に相当する誤差 ϵ_q がかならず生まれる。最大誤差は $\pm(1/2)LSB$ 。



精度

(3) 精度

- ・理想的なADCとは量子化誤差以外を含まないことであるが、実際には使用している部品や雑音によって各種の誤差が含まれる.
- ・精度とは誤差の含まれる割合.
- ・フルスケールの%やppmで表記.
- ・絶対精度と相対精度
相対誤差とはフルスケールに対する誤差.
A/D変換器をデジタル電圧計に使用した場合は絶対精度が要求されるが、一般にはA/D変換器の精度は、相対精度で示されることが多い.



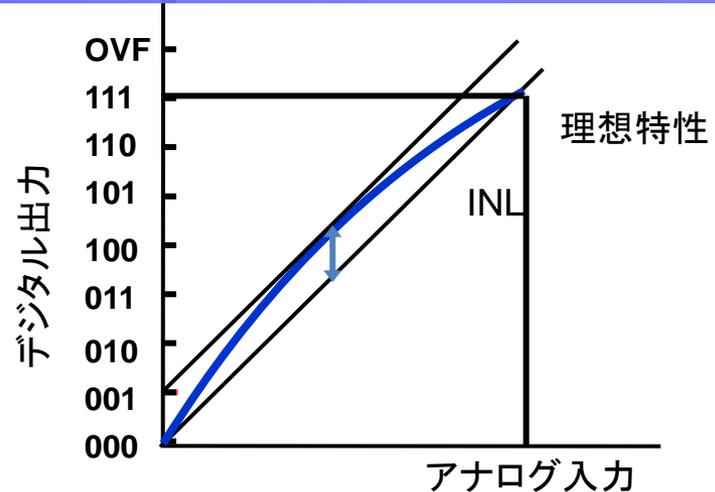
直線性

(4) 直線性

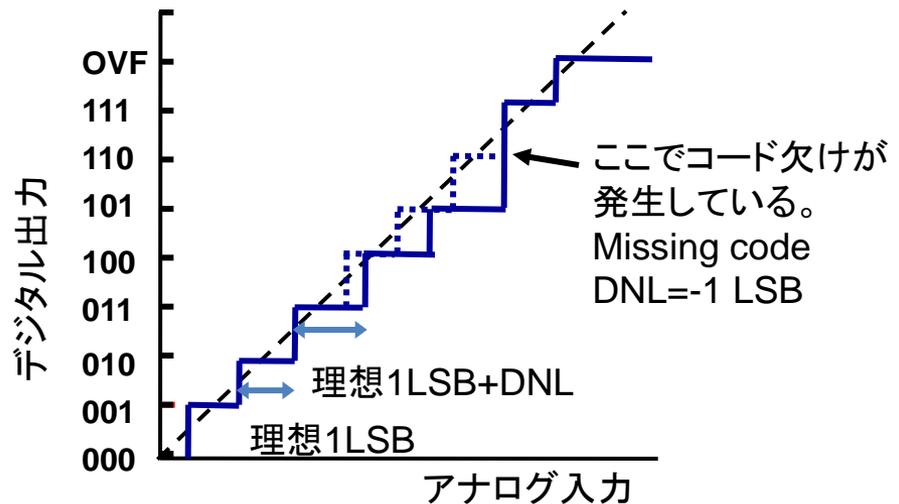
- ・非直線性誤差ともいい、理想的な変換特性と実際の変換特性の誤差の最大を言う。

(i) 積分非直線性(Integral Non-Linearity: INL)
変換特性に対し直線近似からの最大偏差として定義される。

(ii) 微分非直線性(Differential Non-Linearity)
DNL: 理想的なADCでは、1デジタルコードに対しアナログ入力電圧は1 LSBだが、実際は変動する。この誤差がDNLである。

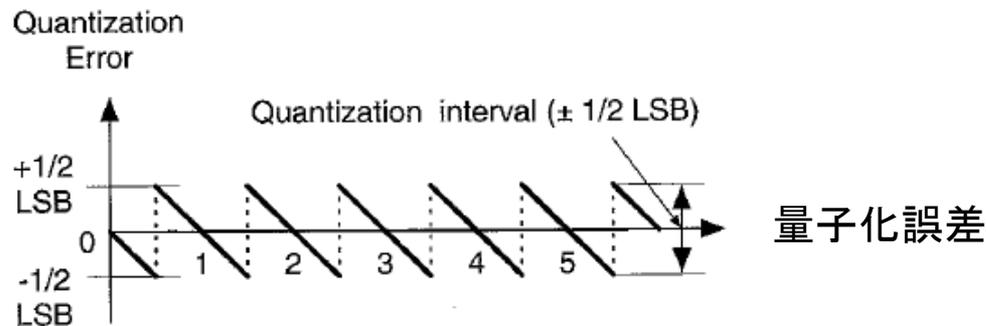
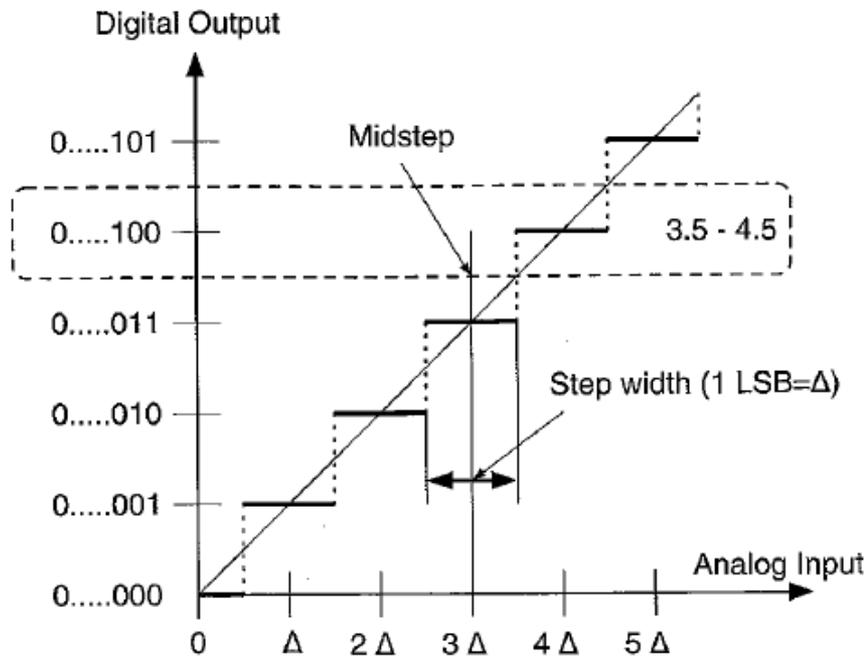


(i) 積分非直線性 (INL)



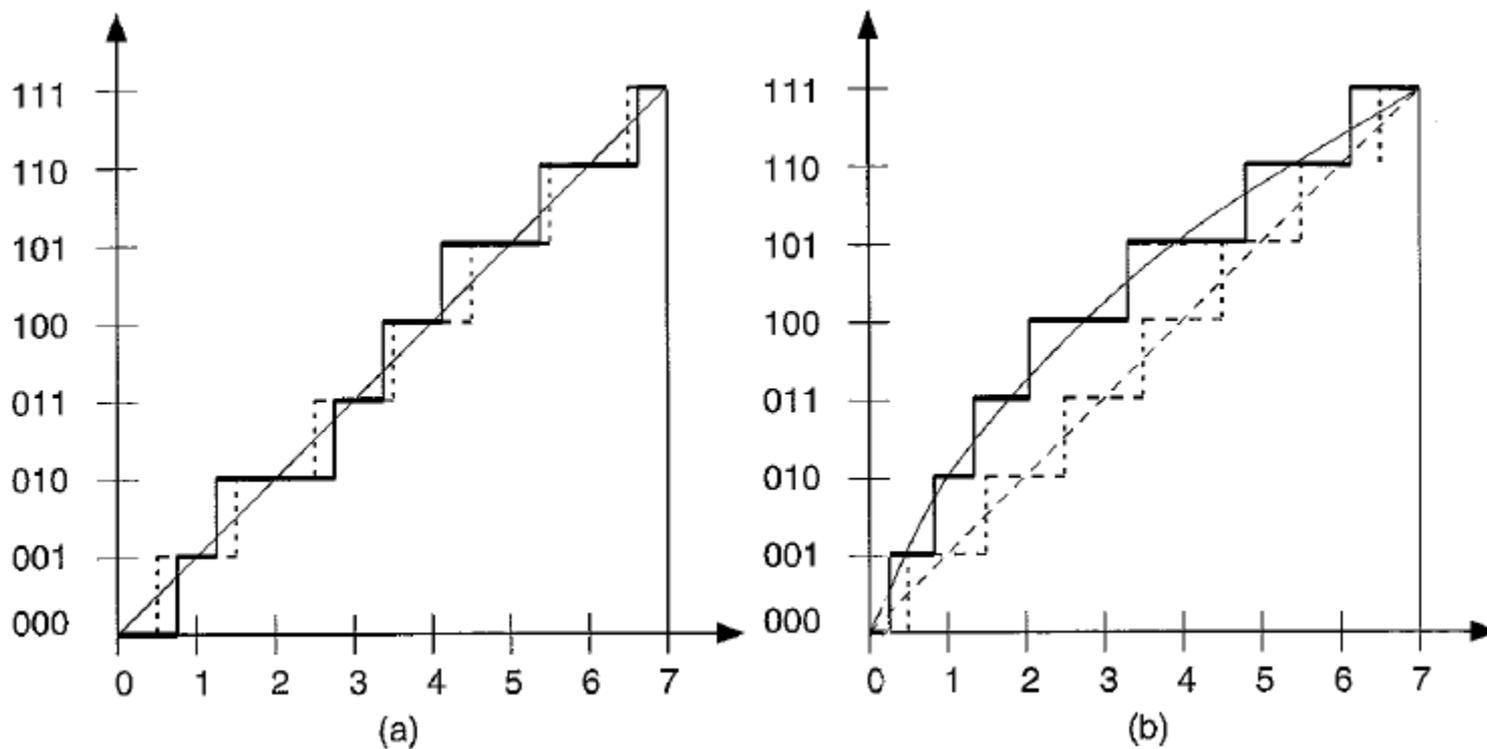
(ii) 微分非直線性 (DNL)

直線性



理想的な入出力伝達特性

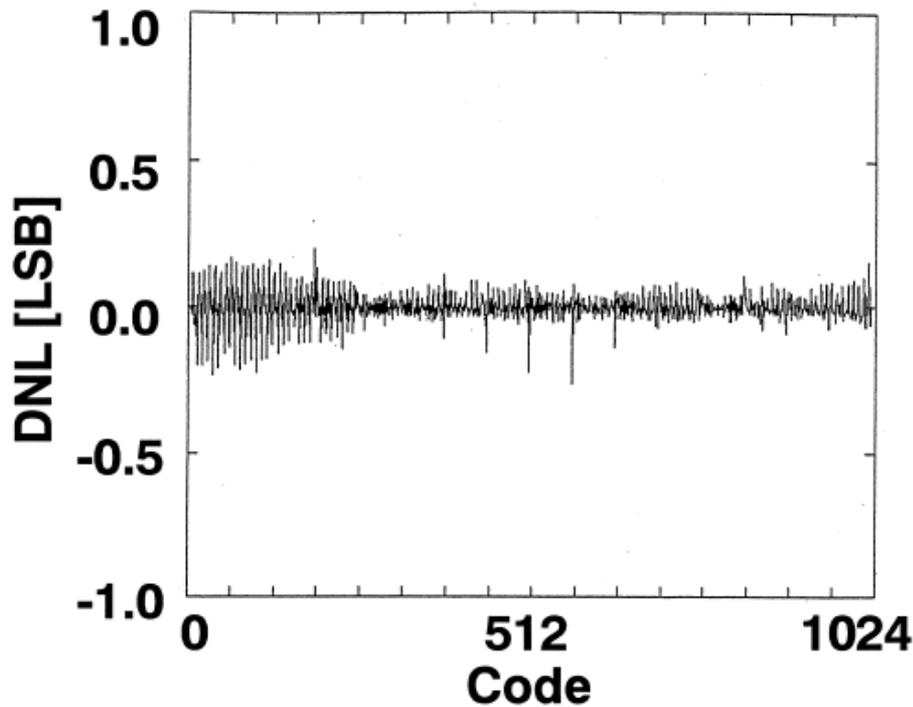
直線性



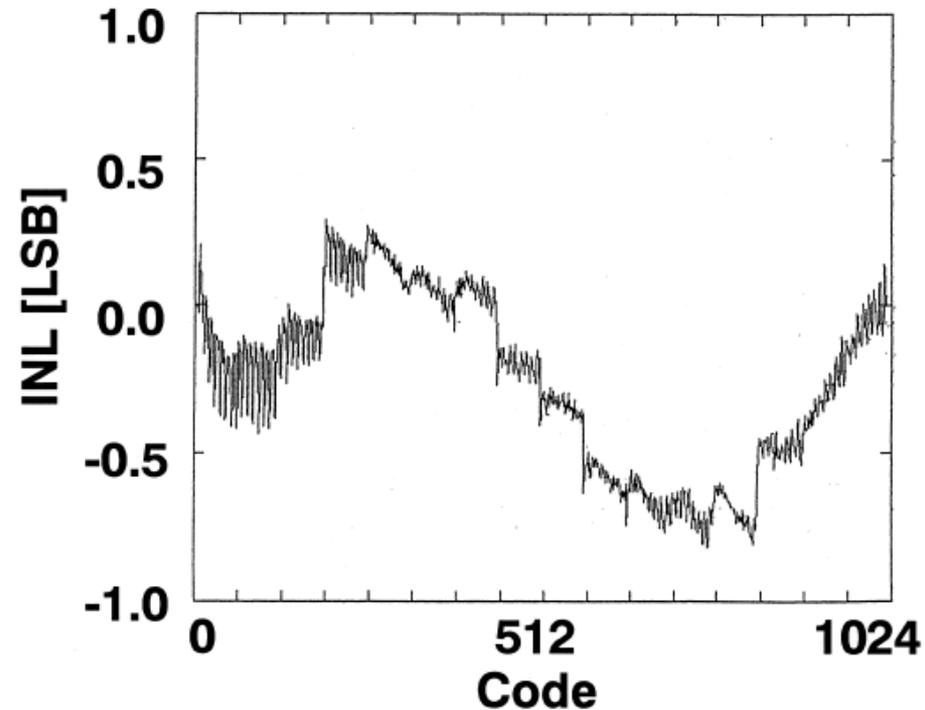
非理想的な入出力伝達特性

直線性

微分非直線性誤差(DNL) および 積分非直線性誤差(INL) 実測例



DNL profile

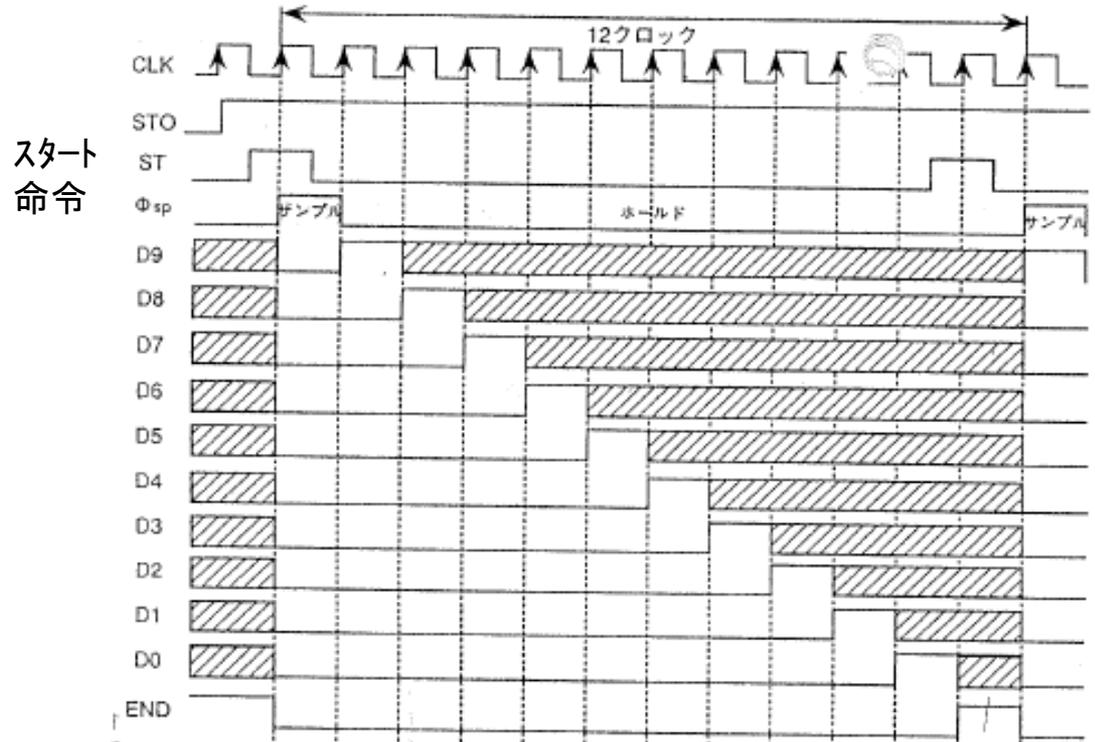


INL profile

変換時間

(6) 変換時間

- ・ADCデジタル出力が全ビット決定されるのに要する時間.
- ・逐次比較方式ではA/D変換がクロックに同期して行われる.
図の10bit ADCでは12クロック分が変換時間である.



10-bit逐次比較A/D変換器タイミングチャートの一例

SNR (信号対雑音比), 有効ビット

(7) SNR, 有効ビット

- ・分解能(量子化ステップ)を Δ としたとき、理想A/D変換器で発生する量子化雑音のパワー $\overline{\varepsilon_q^2}$ は、

$$\overline{\varepsilon_q^2} = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon_q^2 d\varepsilon_q = \frac{\Delta^2}{12}$$

- ・フルスケール正弦波の実効値(rms)はダイナミックレンジを $2\sqrt{2}$ で割った値。
- ・信号電力と雑音電力の比

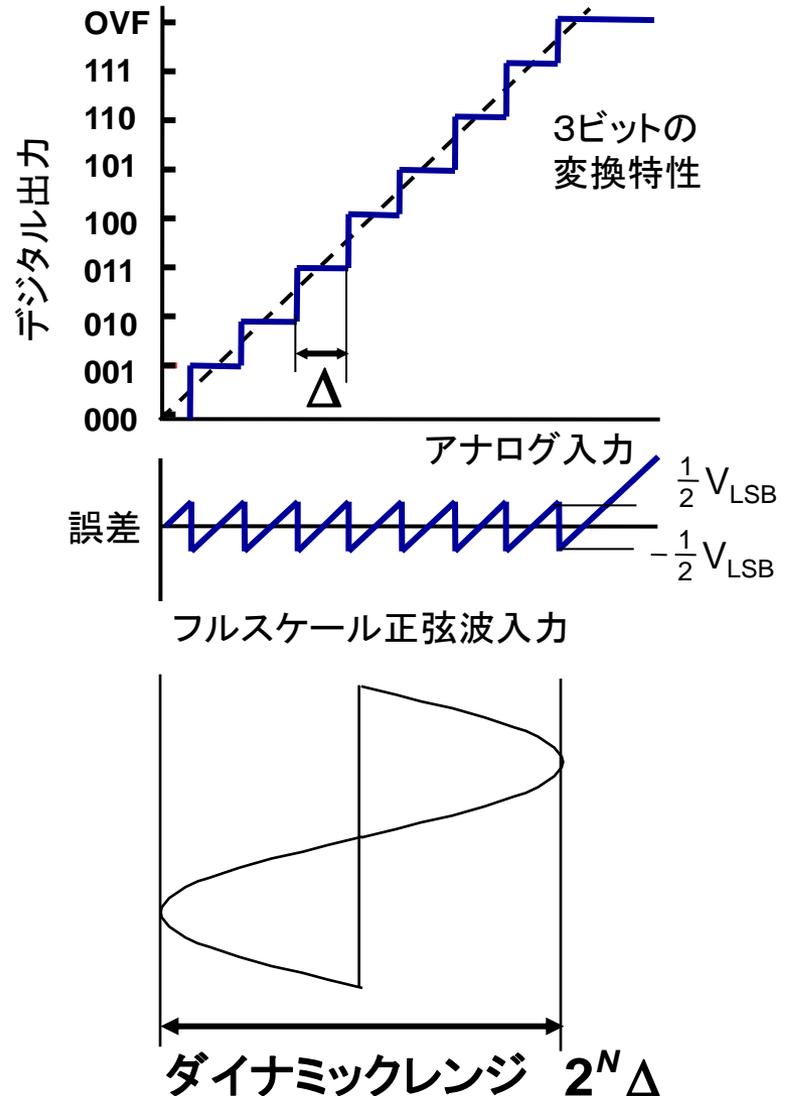
$$SNR = \frac{2^N \Delta}{\frac{\Delta}{\sqrt{12}}} = 2^N \sqrt{\frac{3}{2}}$$

- ・対数をとると、

$$(SNR)_{dB} = 6.02N + 1.76(dB)$$

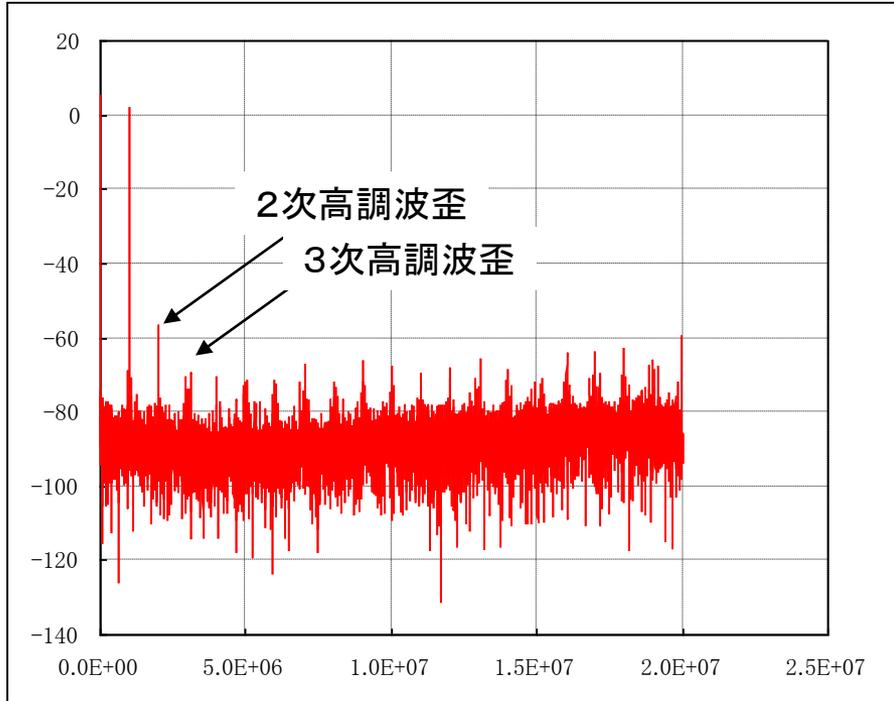
- ・有効ビット(ENOB: Effective Number of Bits)

$$ENOB = \frac{SNDR_{peak,dB} - 1.76}{6.02}$$

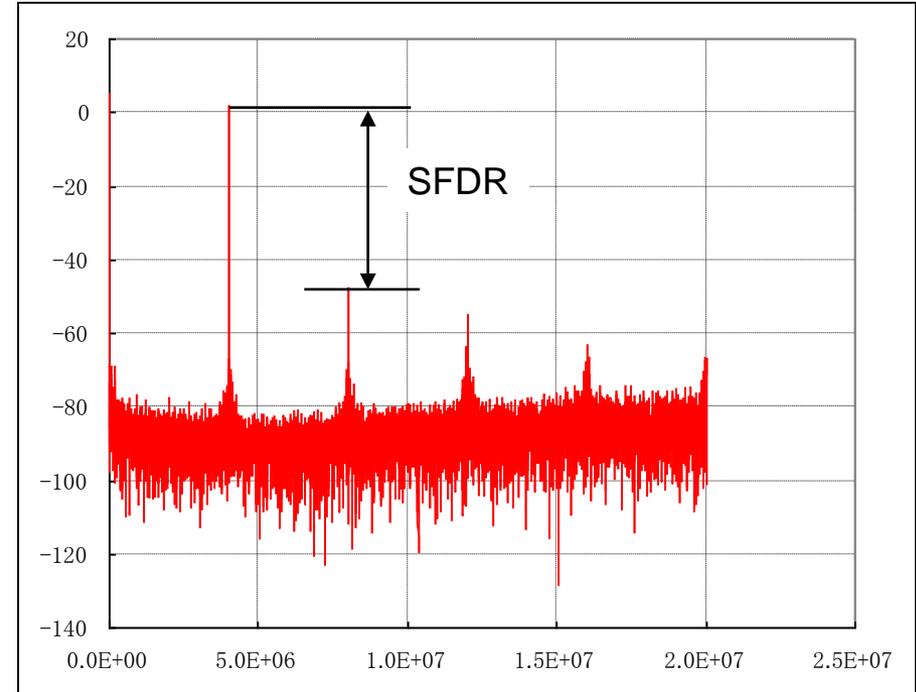


FFT (Fast Fourier Transform)

正弦波を印加して出力のFFTスペクトラム解析を行う。SNRの他、歪を含めたSNDRおよびSFDR(Spurious Free Dynamic Range)等が求められる。



$F_c=40\text{MHz}$, $f_{in}=1\text{MHz}$
SNDR=46.8dB, ENOB=7.48-bit
2ndHD=-58.5dB, 3rdHD=-76.0dB
THD=-57.6dB



$F_c=40\text{MHz}$, $f_{in}=4\text{MHz}$
SNDR=44.9dB, ENOB=7.17-bit
2ndHD=-49.8dB, 3rdHD=-56.7dB

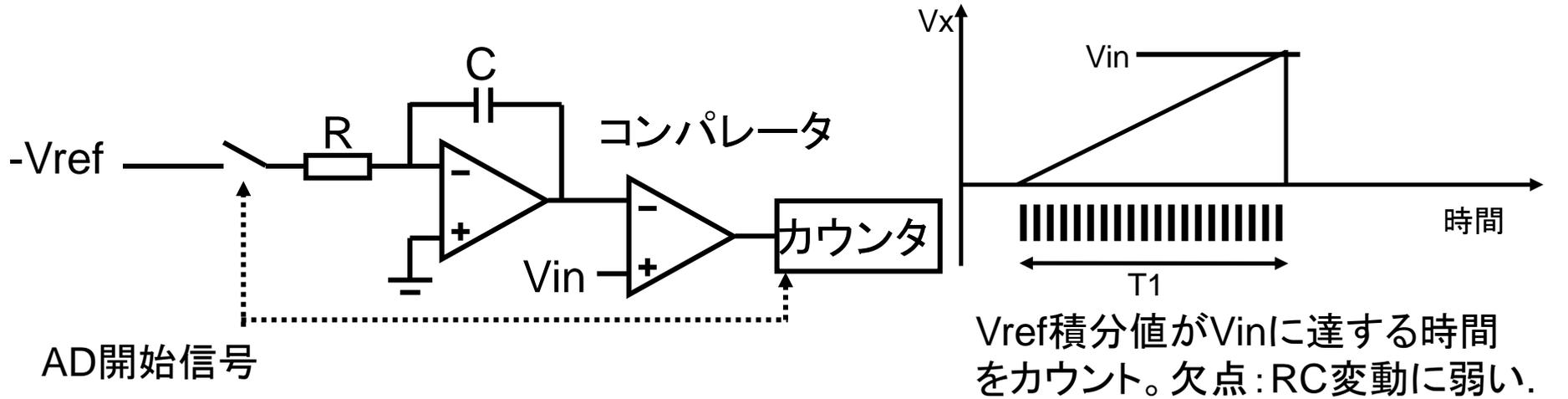
3. ナイキストA/D変換器の各種方式

- a. 計数(積分)型
- b. 逐次比較型
- c. 並列比較(フラッシュ)型
- d. 直並列(サブレンジ)型
- e. パイプライン型
- f. サイクリック(アルゴリズムック)型
- g. その他変形

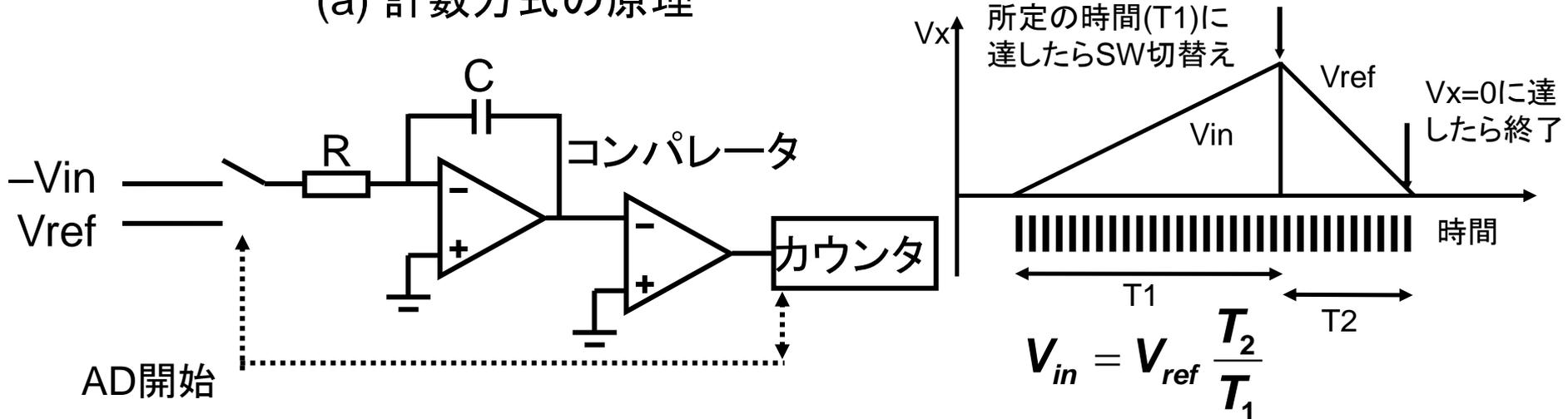
注: 説明を省略した方式

- 1) フォールディング型
- 2) コンパレータ・オフセット・アベレージング
- 3) 補間・並列比較方式
など.

a. 計数(積分)型A/D変換方式



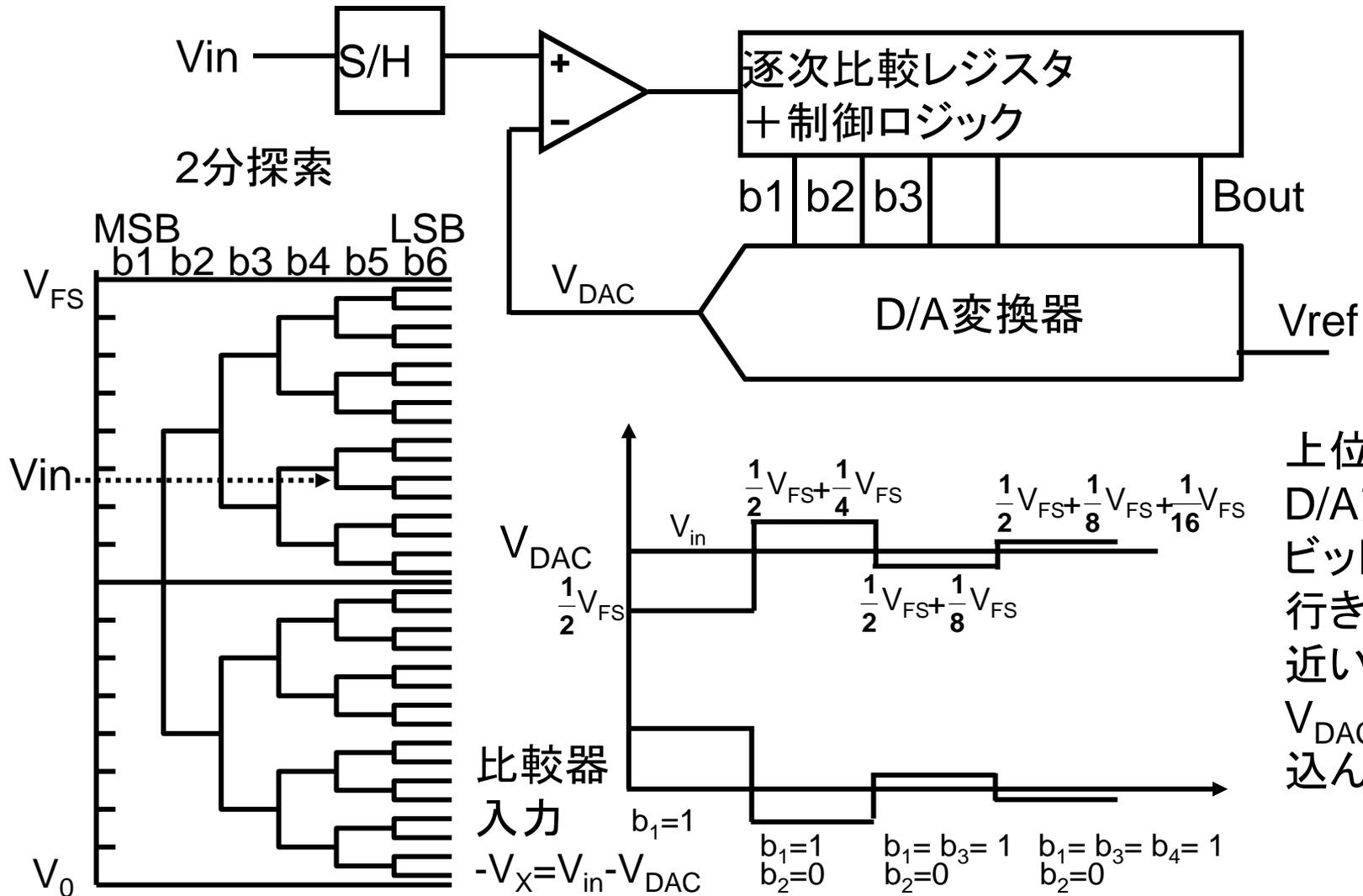
(a) 計数方式の原理



(b) 二重積分方式

長所: RC変動や、オフセットに影響されない。
高精度(>16b), 超低速(~ms)

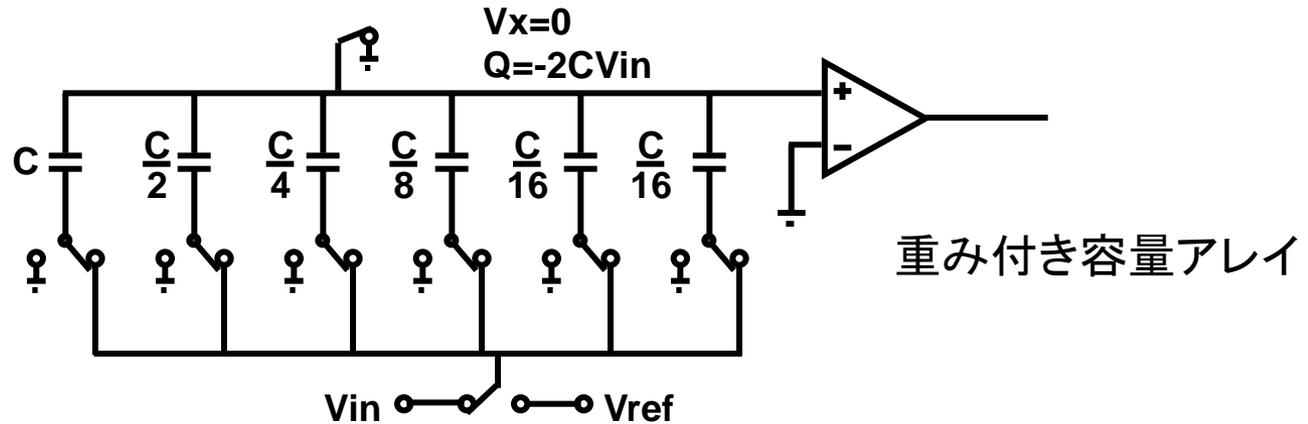
b. 逐次比較型A/D変換方式



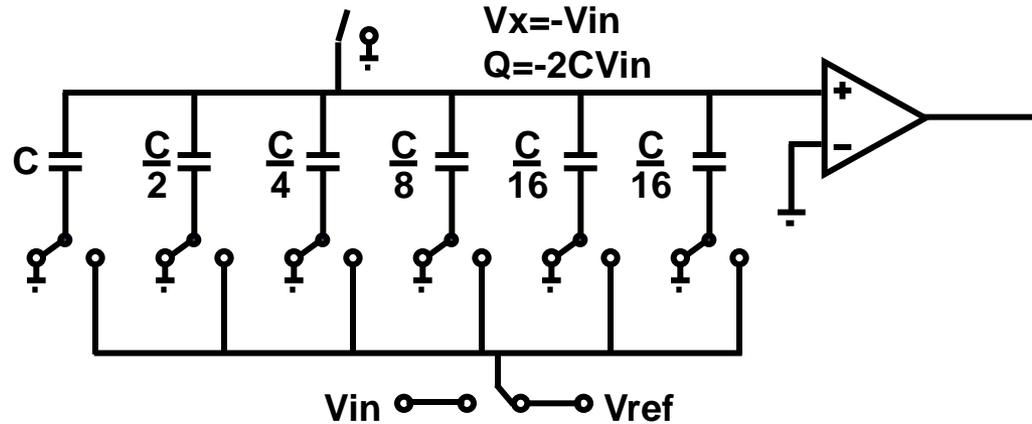
上位ビットから
D/A変換器の
ビットを変えて
行き、 V_{in} に
近い電圧に
 V_{DAC} を追い
込んでゆく。

逐次比較の動作

1) 入力信号 V_{in} の
サンプル

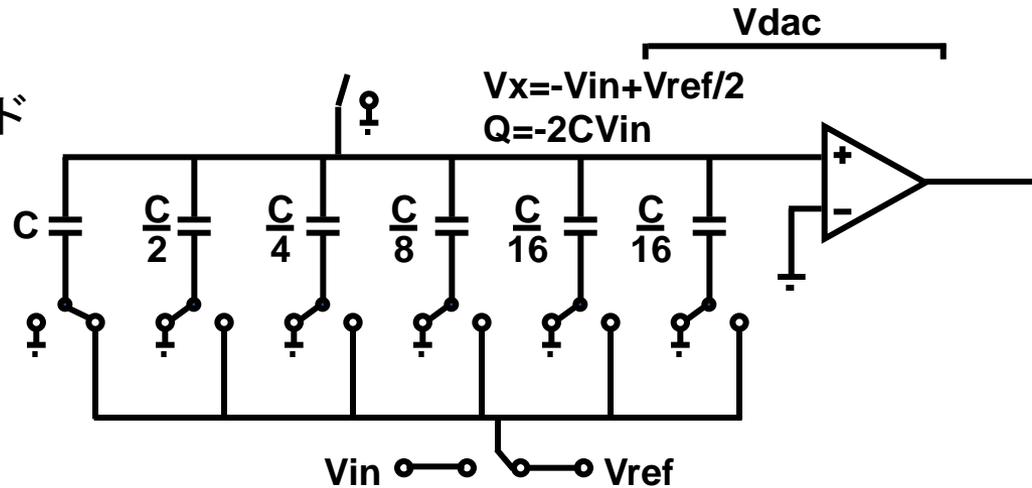


2) 入力信号 V_{in} の
ホールド

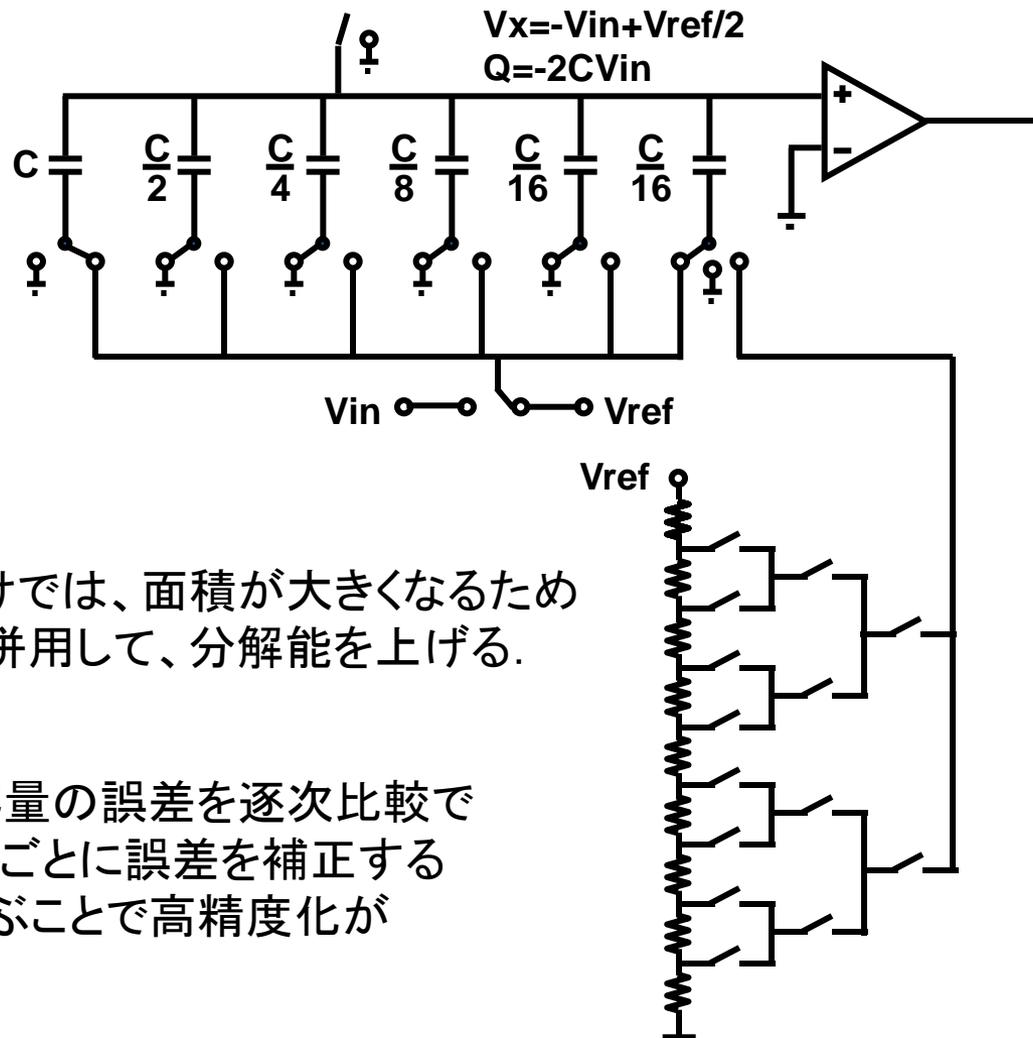


逐次比較の動作

- 3) 電荷再配分モード
上位ビットから
ビットを決定。

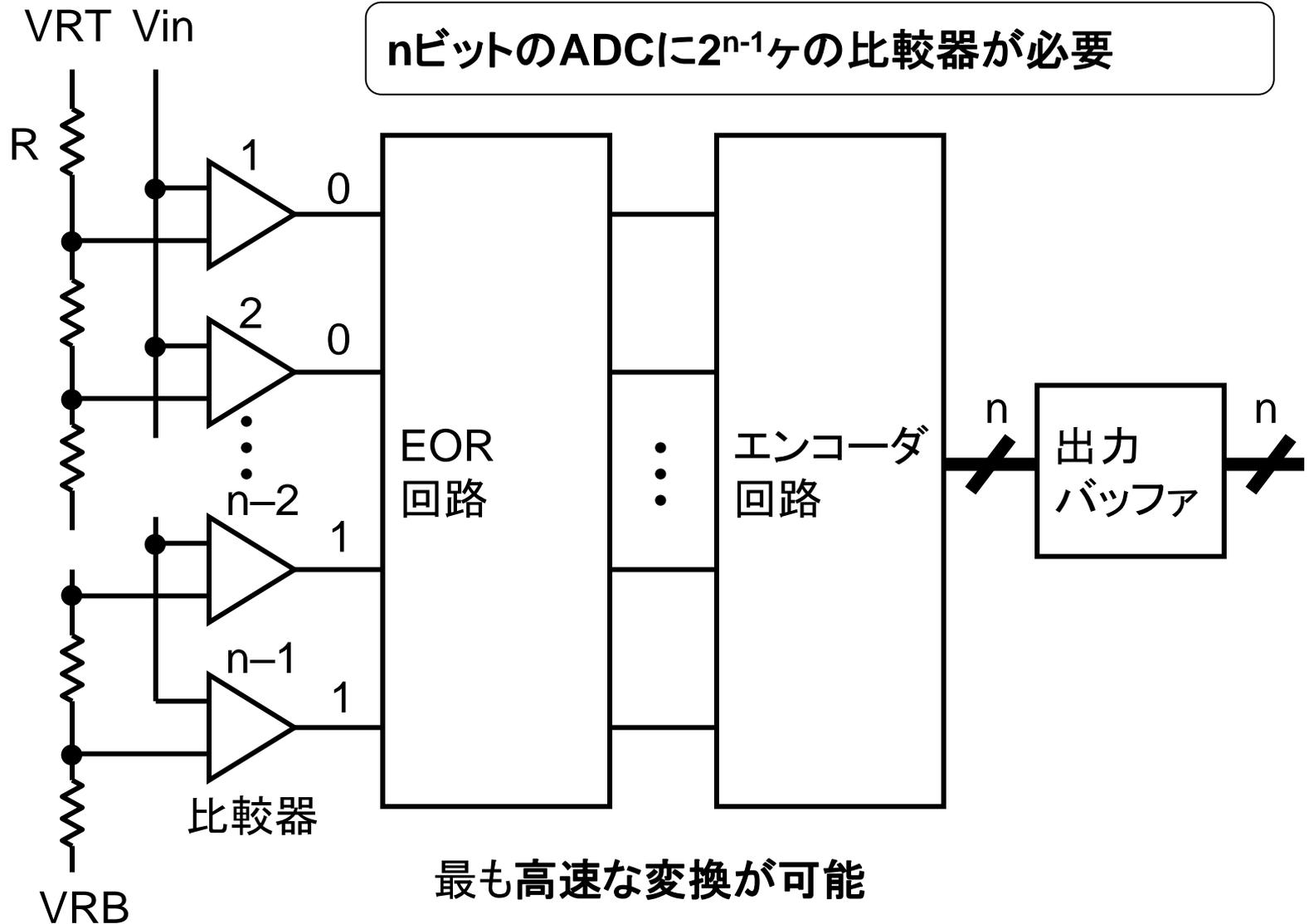


逐次比較の高分解能化・自己校正

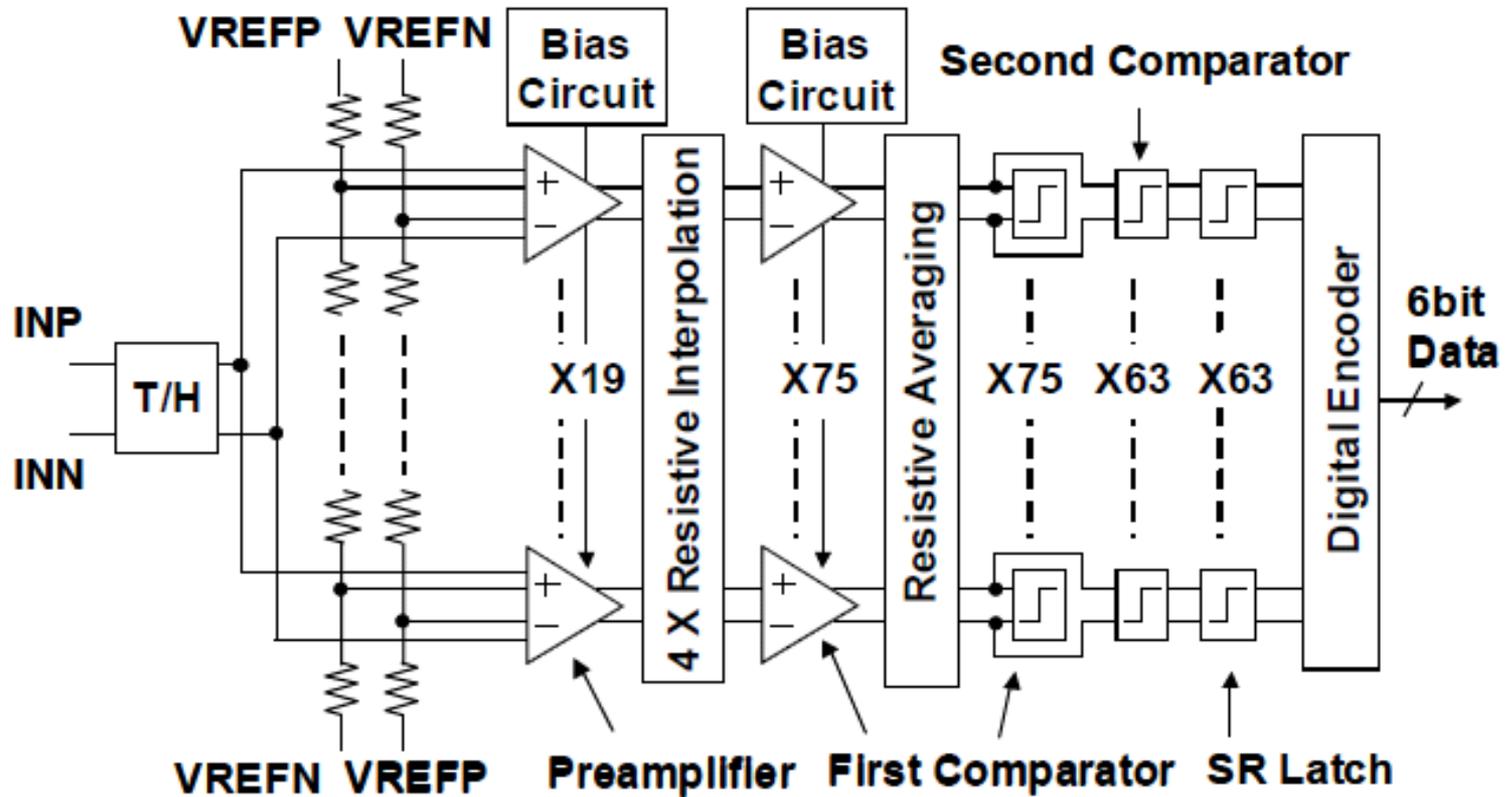


- ・容量アレイだけでは、面積が大きくなるため抵抗ラダーも併用して、分解能を上げる.
- ・自己校正: 容量の誤差を逐次比較で検出し、コードごとに誤差を補正するラダー値を選ぶことで高精度化が可能である.

c. 並列比較(フラッシュ)型A/D変換方式



6-bit 3.5 Gpsフラッシュ型A/D変換器 (1/2)



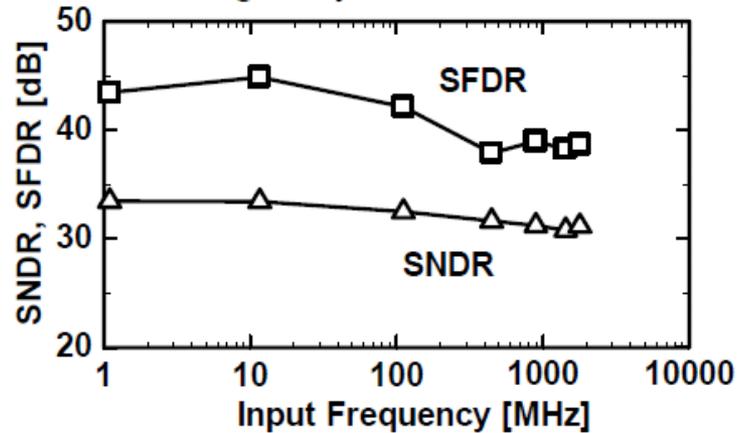
ADCブロック図

- 2007 VLSI Circuit Symposium 発表 -

A 6-bit 3.5-GS/s 0.9V 98-mW Flash ADC in 90nm CMOS

6-bit 3.5 Gspsフラッシュ型A/D変換器 (2/2)

SNDR, SFDRの
入力周波数依存性



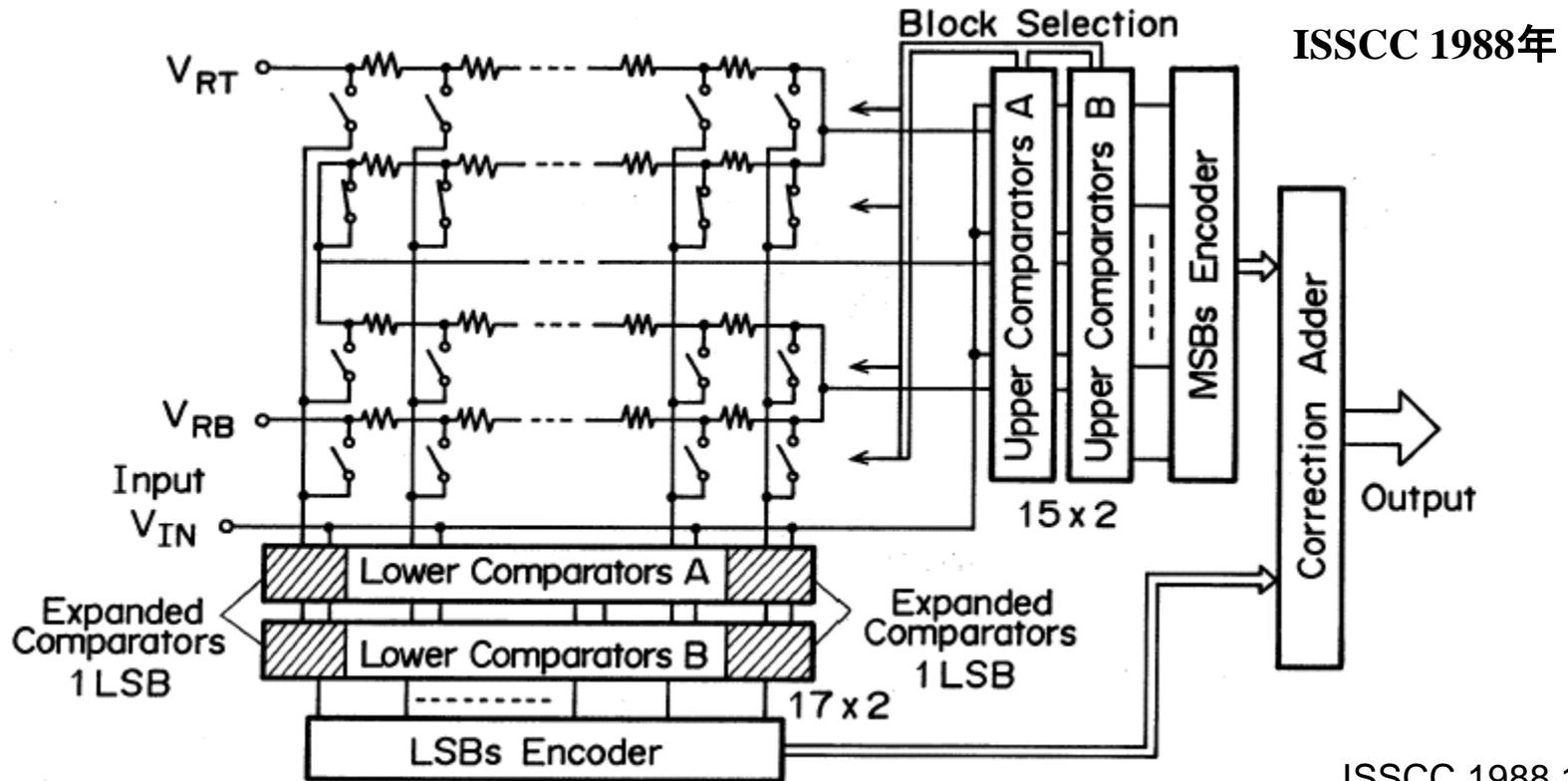
性能一覧

分解能	6 bit
最大サンプルレート	3.5 Gsps
電源電圧	0.9 V
INL	+0.96 / -0.39 LSB
DNL	+0.50 / -0.48 LSB
SNDR	31.18 dB (@fs/2)
SFDR	38.67 dB (@fs/2)
消費電力	98 mW @ 3.5Gsps
面積	0.1485 mm ²
プロセス	90nm CMOS

- 2007 VLSI Circuit Symposium 発表 -

A 6-bit 3.5-GS/s 0.9V 98-mW Flash ADC in 90nm CMOS

d. サブレンジ(直並列)型A/D変換方式



ISSCC 1988 15.1
matsuura et al.

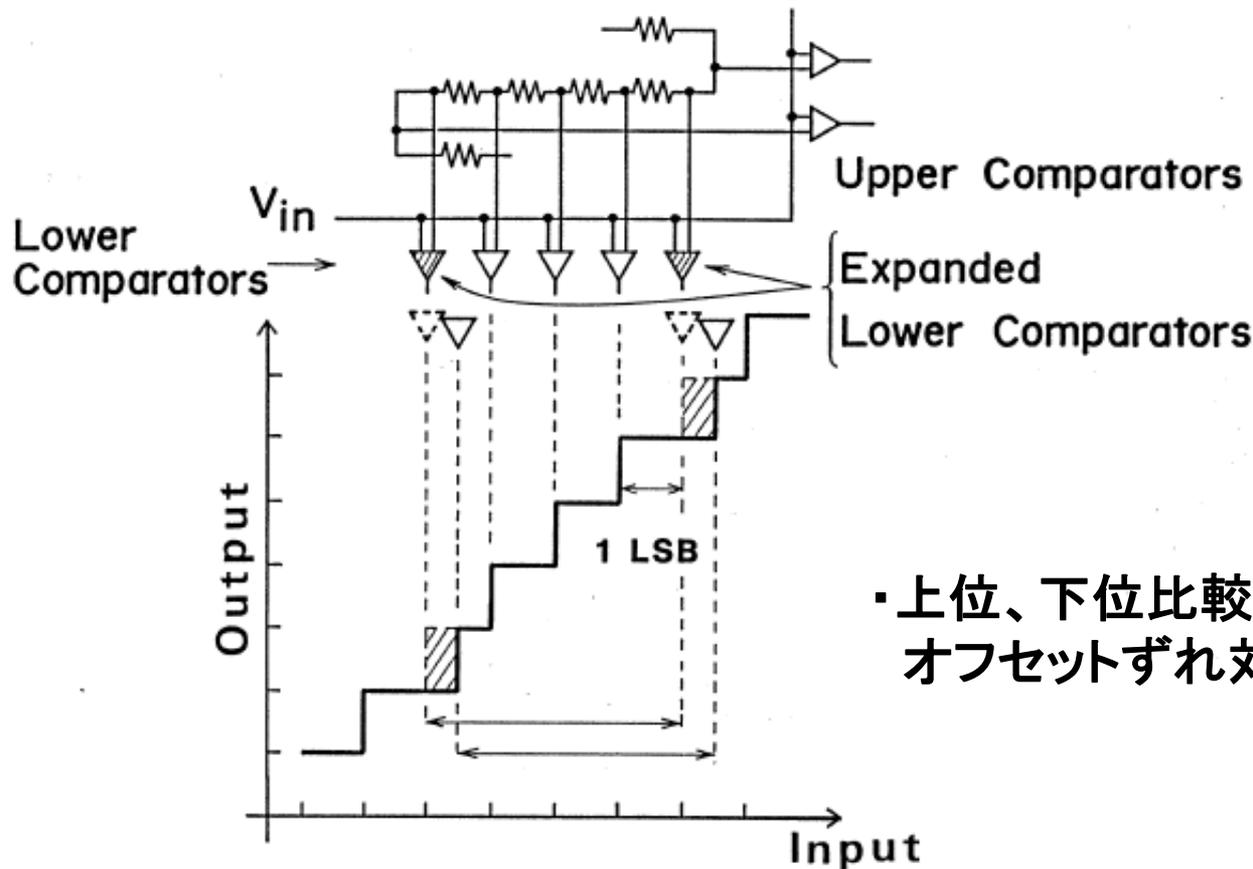
サブレンジ(直並列)型:

並列比較を2回に分けて行い、比較器の数を減らして低電力・小面積化

8-bit 並列型: 256個 → 直並列型: $16 \times 2 = 32$ 個

- ・ サンプルホールド機能内蔵差動型比較回路(分散SH方式)
- ・ 下位比較器バンクの拡張による誤差補正方式

サブレンジ型の誤差補正(1/2)

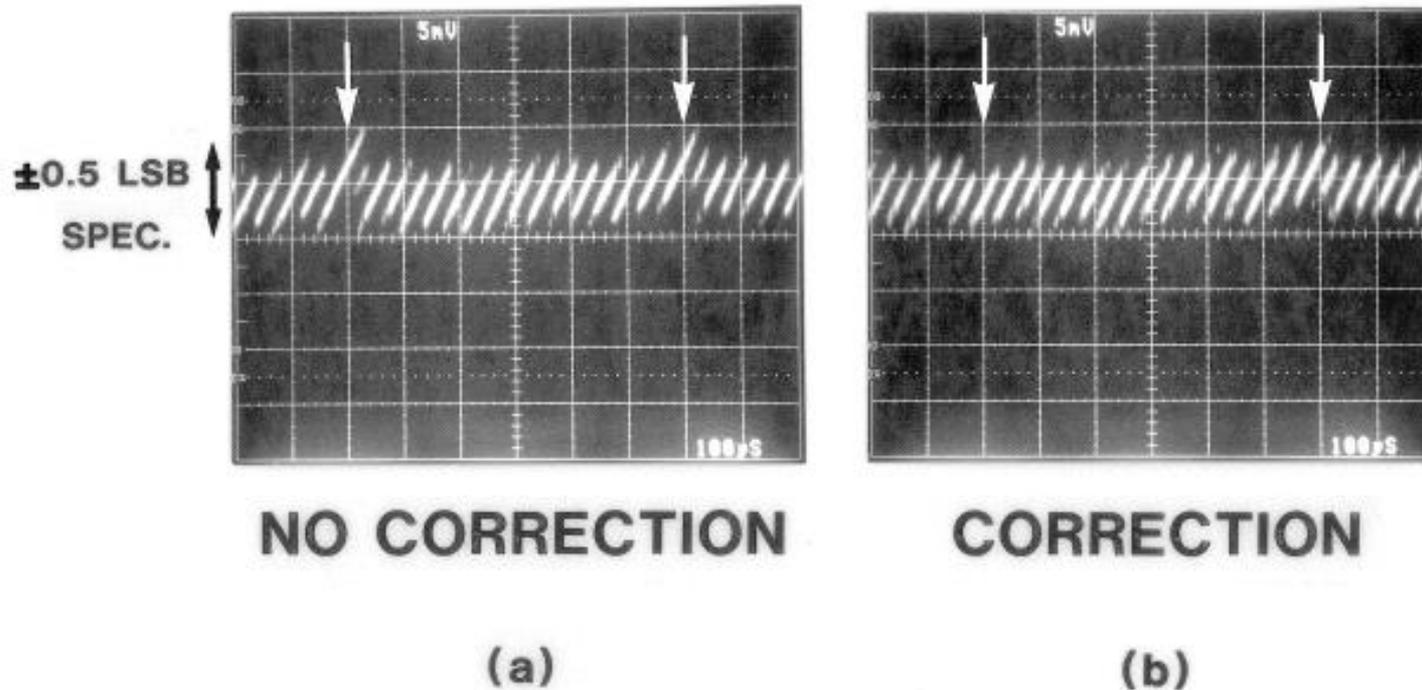


・上位、下位比較器バンク間のオフセットずれ対策



・下位比較器バンクの拡張による誤差補正方式

サブレンジ型の誤差補正(2/2)



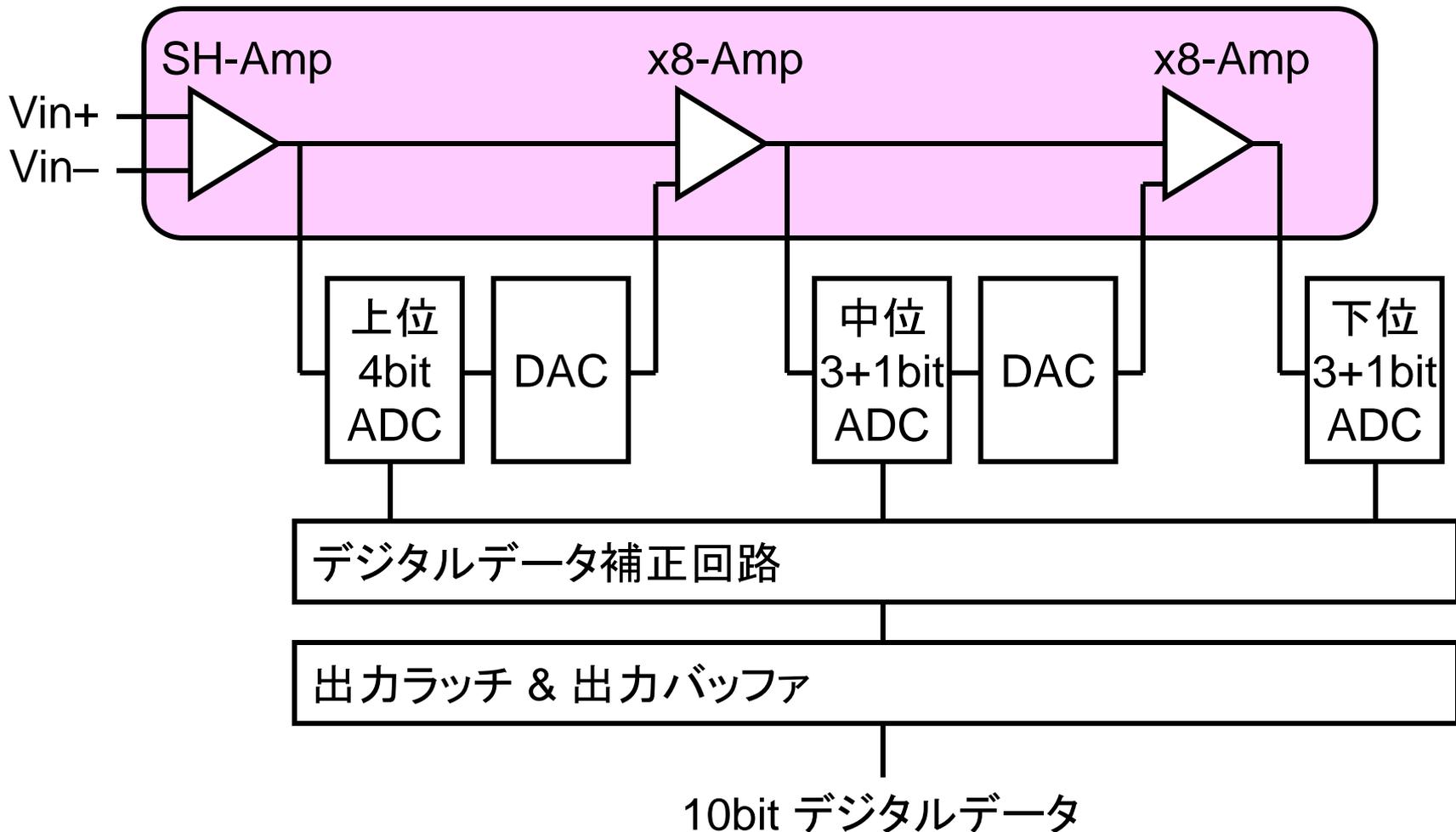
- ・ 下位比較器バンクの拡張による誤差補正方式
実測した誤差補正の働き

e. パイプライン型A/D変換器

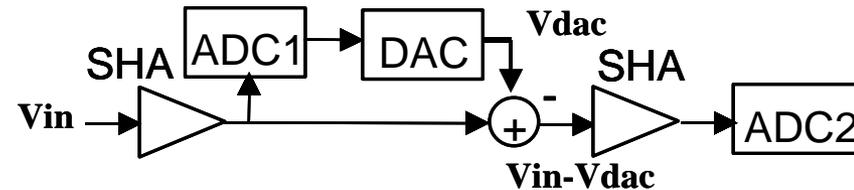
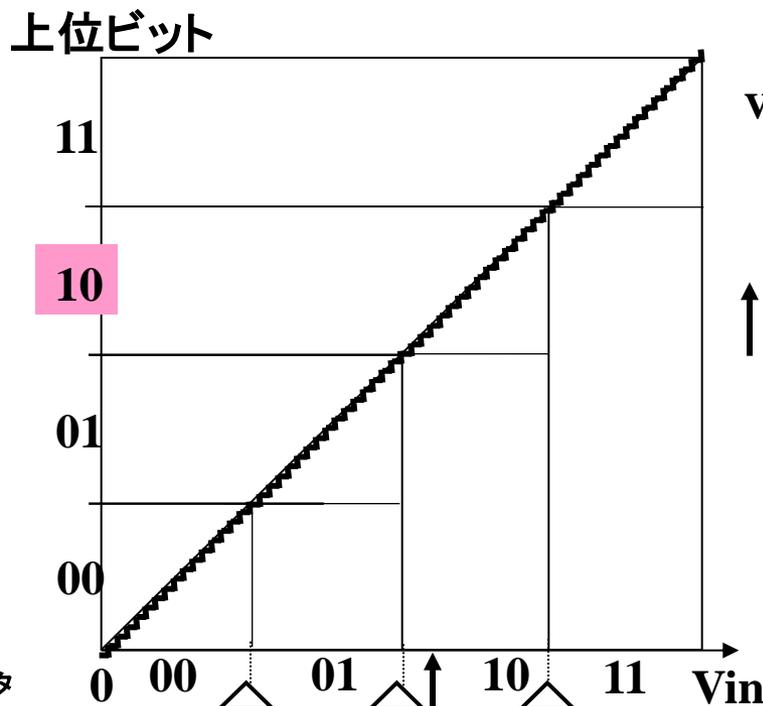
- ・パイプラインADCは、8bit～10bit(12bit)で、30MHz～110MHz程度の性能のADCである。
- ・マイコン搭載ADCとしては使用されていないが、SOCや専用ASIC搭載用としてよく使われる。ビデオ信号用ADCや、WLANのRF-ICからの8MHz帯域信号をA/D変換するなどに使われる。
- ・カメラ前処理LSIとして、CCDやCMOS画像センサーの後ろで、センサーからのアナログ信号をデジタル化するA/D変換器に本方式が使われている。
- ・容量プロセス必要。

パイプライン型A/D変換方式

高精度・高利得アンプ要

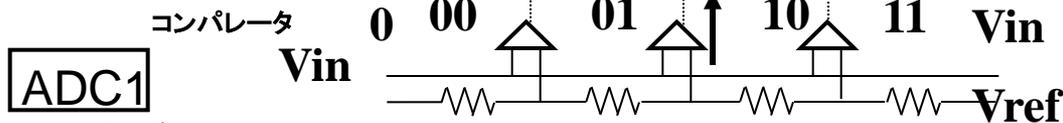


パイプラインA/D変換器の変換原理



↑の信号変換
上位比較器が正確な場合:
上位ビット 10
下位ビット 0011

100011



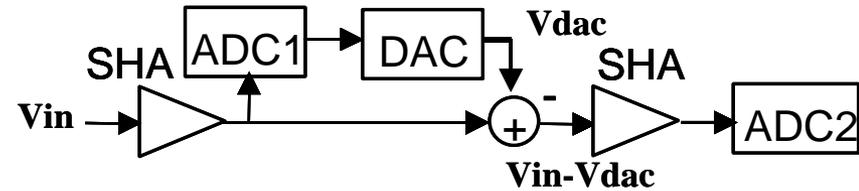
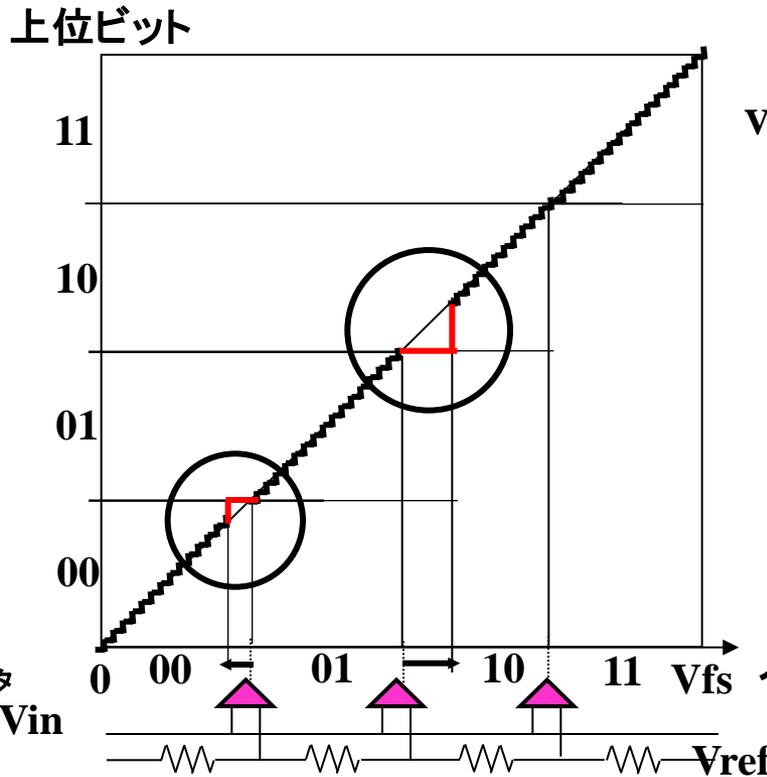
上位ビット(2-bit)

残差信号
 $V_{res} = V_{in} - V_{dac}$

下位ビット

ADC2の
変換レンジ 0011

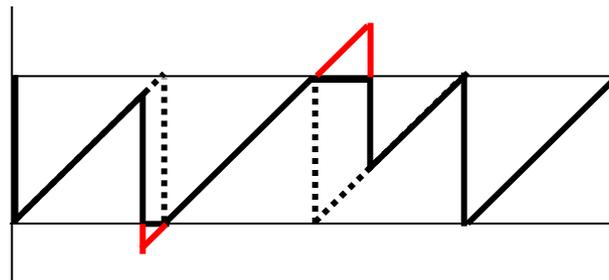
変換誤差： 比較器のオフセットばらつき



上位比較器のオフセット
 ↓
 残差信号 $V_{res} = V_{in} - V_{dac}$ のレンジはずれ
 ↓
 ADC2が下、または上端にはりつく
 ↓
 大きなDNL劣化： ビット欠け変換不良.

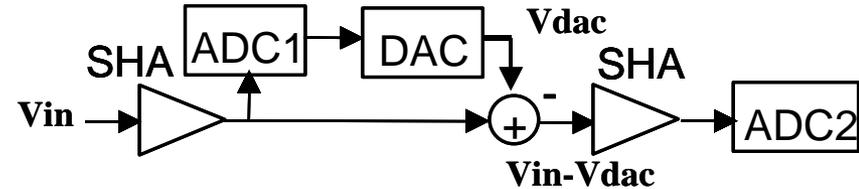
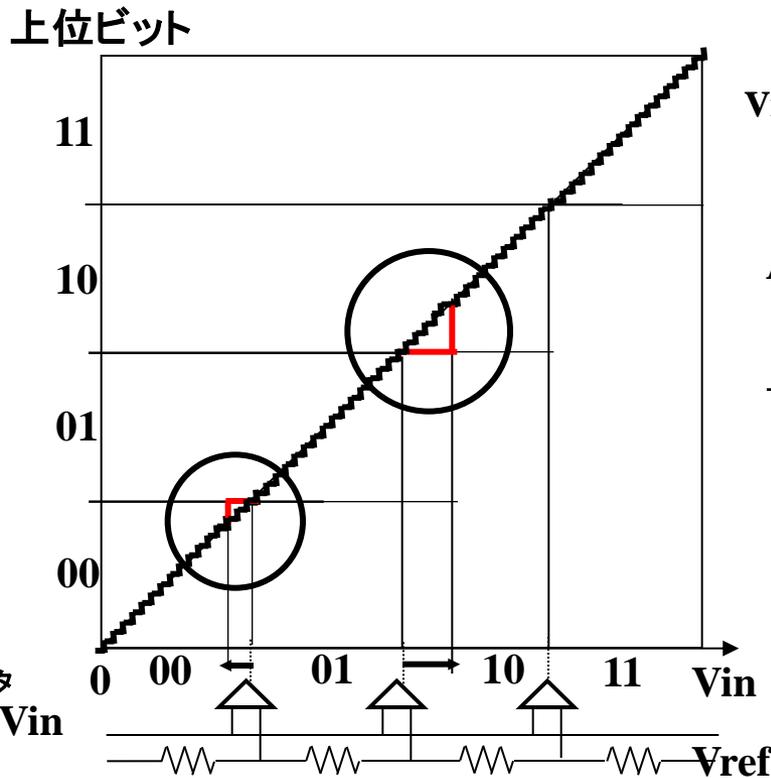
ADC1
 上位ビット

残差信号
 $V_{res} = V_{in} - V_{dac}$



ADC2の
 変換レンジ

下位AD拡張レンジによる誤差補正



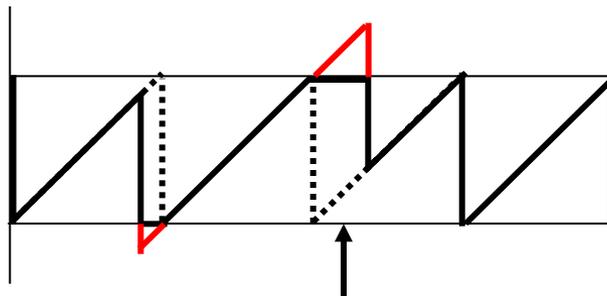
ADC2の変換レンジを拡張する。

上位ビット	01	
下位ビット	10011	上位ビット+1補正
100011		

拡張ビットが上位の判定を修正し正しい結果となる。

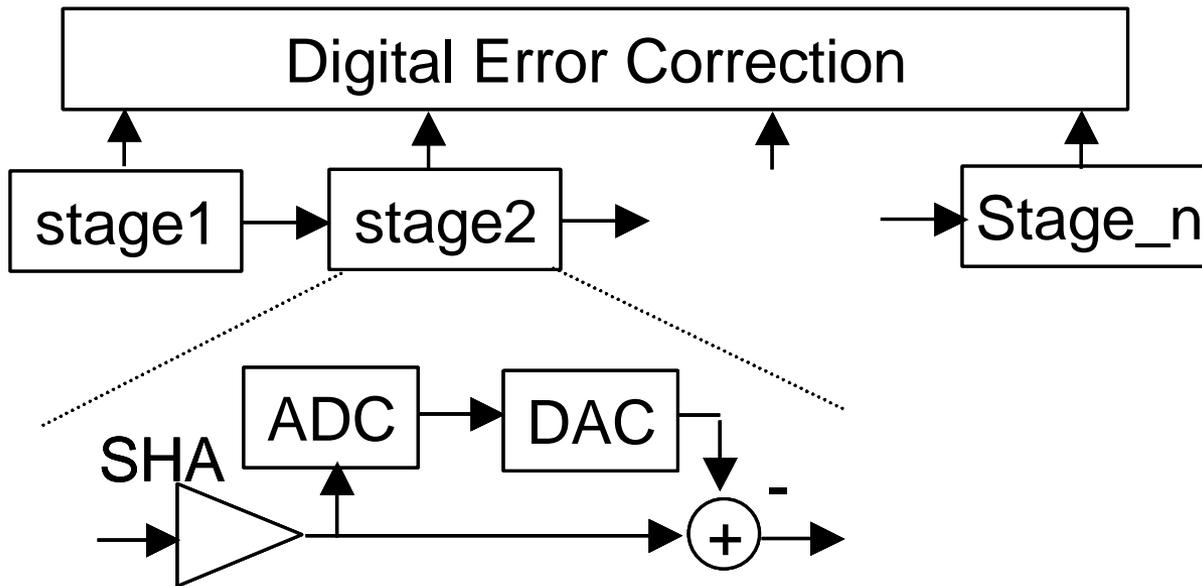
S Lewis, JSSC 1992 March
ISSCC 1987

残差信号
 $V_{res} = V_{in} - V_{dac}$

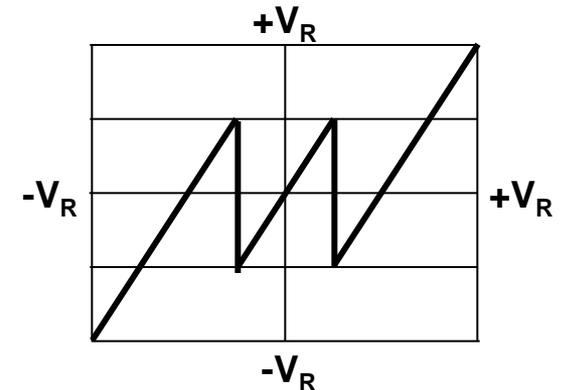


↑	拡張レンジ	上位ビット+1補正
↑	ADC2の変換レンジ	
↑	拡張レンジ	上位ビット-1補正

1.5-bit/stage パイプライン型



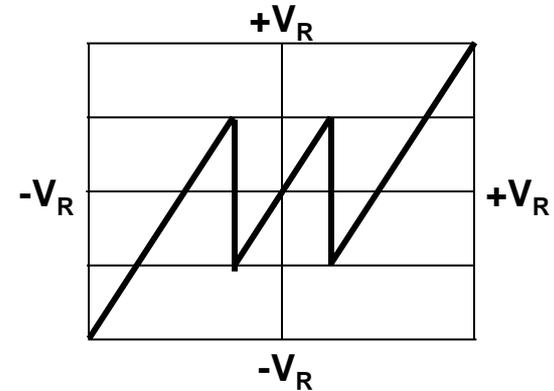
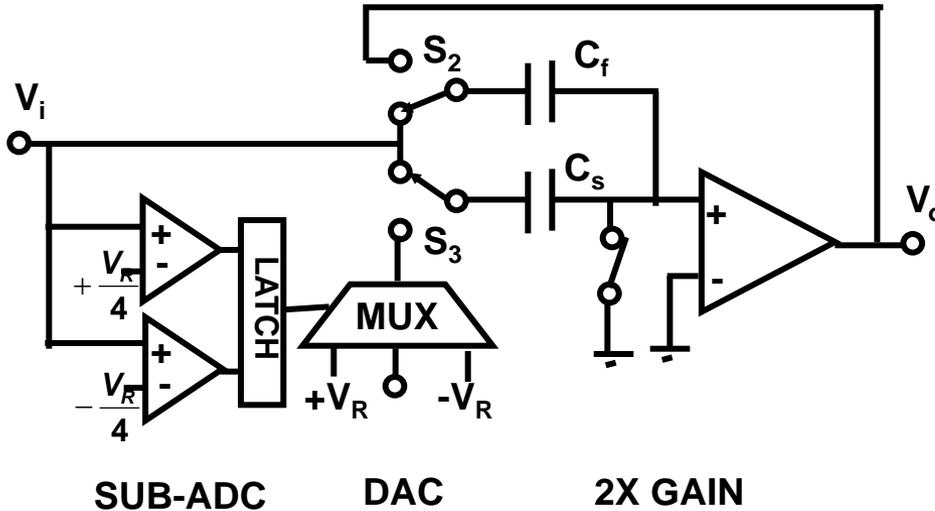
1.5-bit/stageの伝達特性



S Lewis, JSSC, March
1992

1.5-bit/stage パイプライン型

1.5-bit/stageの伝達特性



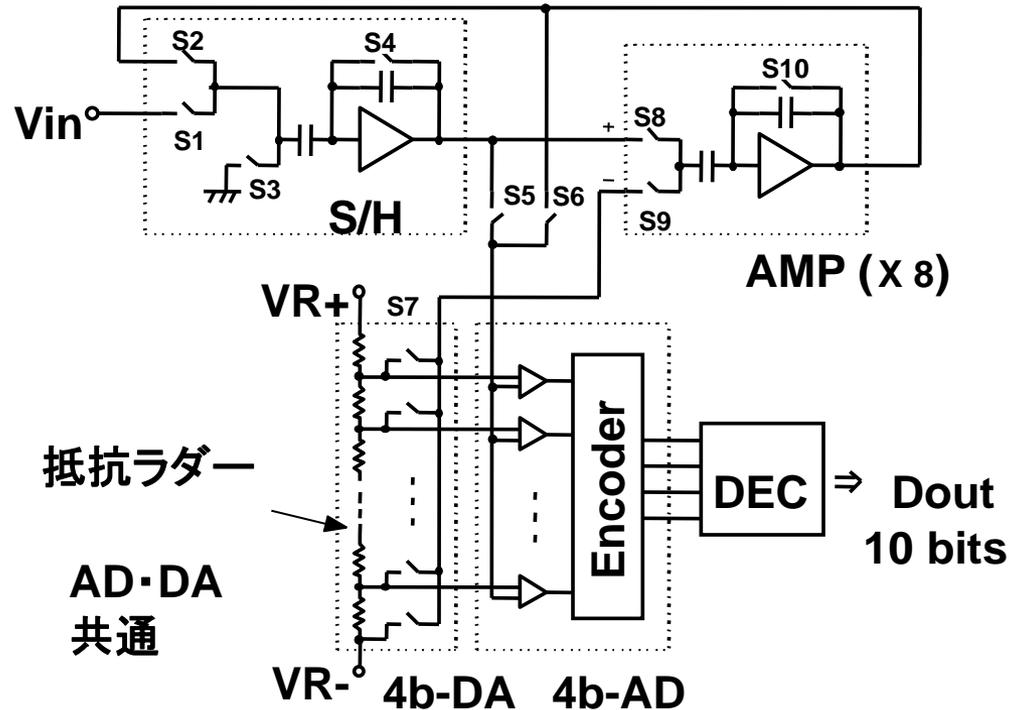
1.5-bit/stageの1ステージ構成

$$V_o = \begin{cases} \left(1 + \frac{C_s}{C_f}\right) V_i - \frac{C_i}{C_f} V_{ref} & \text{if } \frac{V_{ref}}{4} \leq V_i \\ \left(1 + \frac{C_s}{C_f}\right) V_i & \text{if } -\frac{V_{ref}}{4} \leq V_i \leq \frac{V_{ref}}{4} \\ \left(1 + \frac{C_s}{C_f}\right) V_i - \frac{C_i}{C_f} V_{ref} & \text{if } V_i \leq -\frac{V_{ref}}{4} \end{cases}$$

f. サイクリック(アルゴリズムミック)型A/D変換方式

10-bit 3-Msps 低電力

ISSCC 1995年

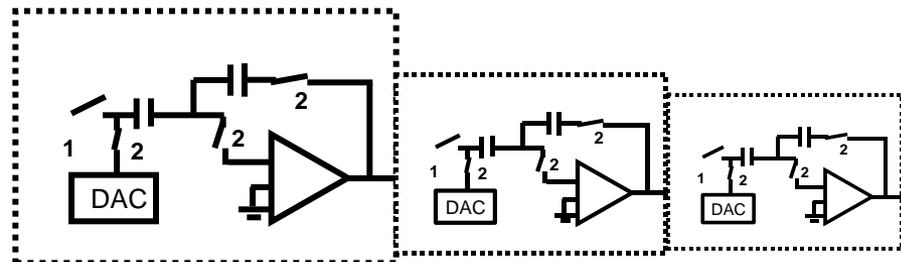
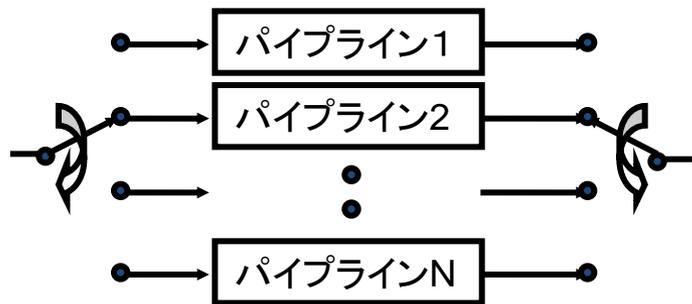


課題: サーボ用に3-Mspsの低速で低電力・小面積のADCが必要.

解決策: パイプラインADCで開発した4-bitのAD/DAサブブロックをサイクリックに動作させ、10-bit分解能を達成する.

ISSCC 1995 kitagawa et al.

g. パイプラインA/D変換器の変形



- ・インターリーブ・パイプライン
- ・ハードウェアN倍化
- ・狙い：
 - ・変換速度のN倍高速化
Conroy, JSSC, April 1993
 - ・または低電力化
K. Nakamura, JSSC, March 1995
- ・課題：チャンネル間 mismatch
オフセット、ゲイン、サンプリングタイミング
SNR劣化
- ・対策：1-サンプルホルダ、キャリブレーション等

- ・テーパリング
- ・精度がもっとも必要なのは初段
2段目以降は精度が徐々に緩和される。
したがって容量の大きさを小さくしたり
アンプ電流を下げていくことが可能。
- ・狙い：
 - ・低電力化

Thomas B Cho, JSSC, March 1995

ナイキスト型A/D変換方式のまとめ

- チップに搭載するナイキスト型A/D, D/A変換器の方式、概要について紹介した.
- A/D, D/A変換器は、動作速度、分解能がパラメータであるが、万能のA/D, D/A変換器はない.
 - 高速用途ではフラッシュ型があるが分解能は6-bit程度と低い.
 - 中間の速度にはパイプライン方式やサブレンジ形などがあり10~12bitなどが実現できる. また逐次比較方式も最近研究開発が盛んである.
 - 低速で14~16ビットと言った高精度には $\Delta \Sigma$ 方式が適するがデジタルフィルタと組み合わせて使う必要がある.
- システムLSIで必要な性能を実現するために、A/D, D/A変換器コアの面積や電力を見極めて適切な選択をする必要がある.

4. $\Delta\Sigma$ A/D変換器とは ($\Delta\Sigma$ A/D変換器の基礎) (オーバーサンプル型A/D変換器)

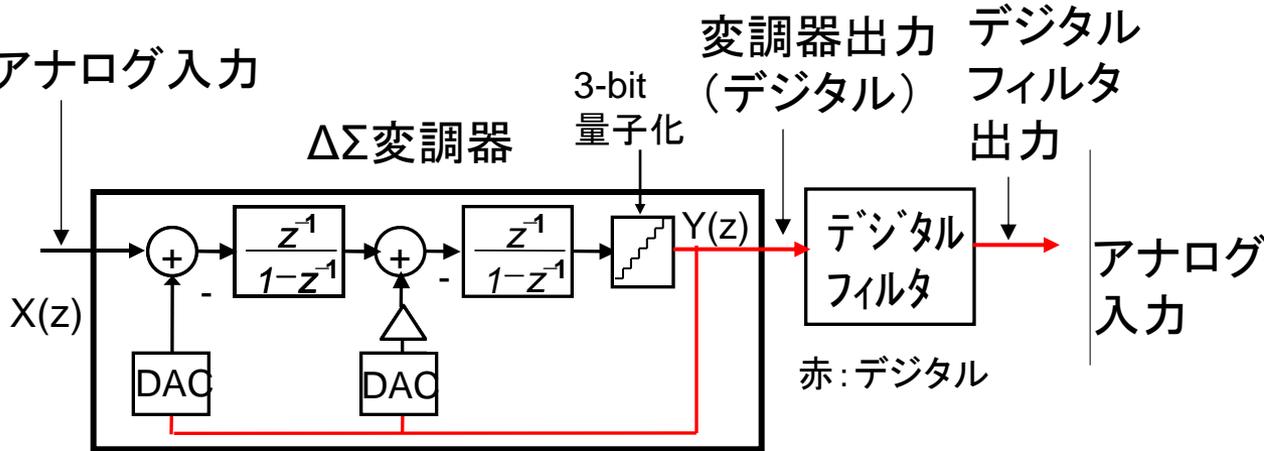
アナログとデジタルの特長をうまく利用する A/D変換器

$\Delta\Sigma$ A/D変換器のシステム検討にはMATLAB/Simulinkの使用が効果的

4.1 $\Delta\Sigma$ A/D変換器の例

・ $\Delta\Sigma$ ADCの各部波形

アナログ入力



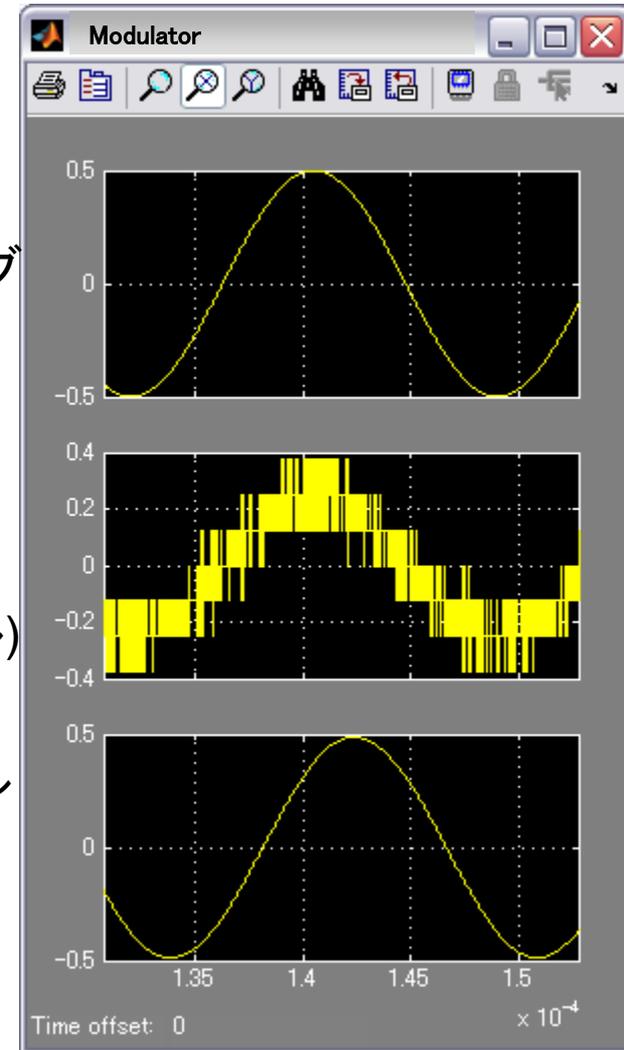
1) $\Delta\Sigma$ 変調器:
 オーバーサンプルとノイズシェープ
 の概念を使って、入力正弦波を右図のように
 $\Delta\Sigma$ 変調を掛ける。

2) デジタルフィルタ:
 $\Delta\Sigma$ 変調波形から、高周波の雑音成分を
 取り除くことで平滑化された図下段の
 正弦波波形を得る。

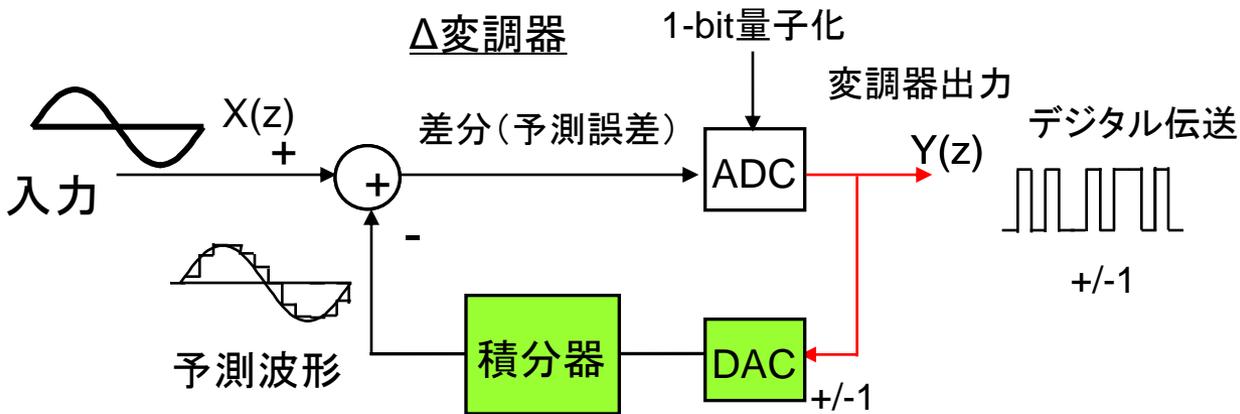
変調器
 出力
 (デジタル)

デジタル
 フィルタ
 出力

Simulinkの波形モニター

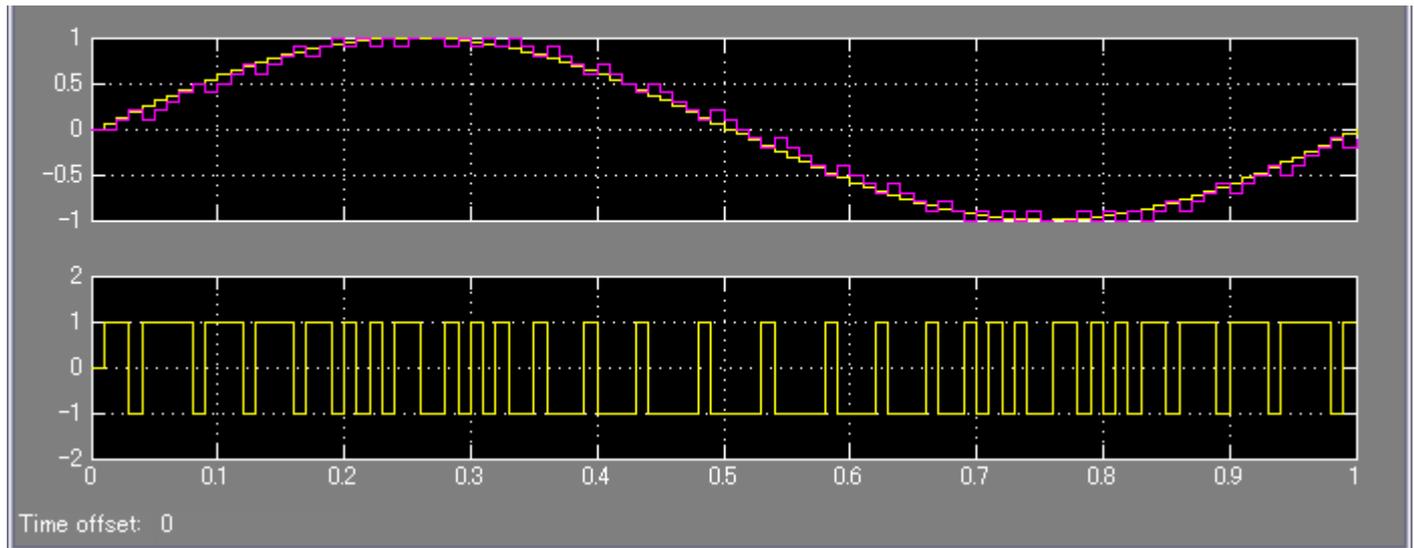


4.1 Δ 変調 (波形予測器をどう作るか?)



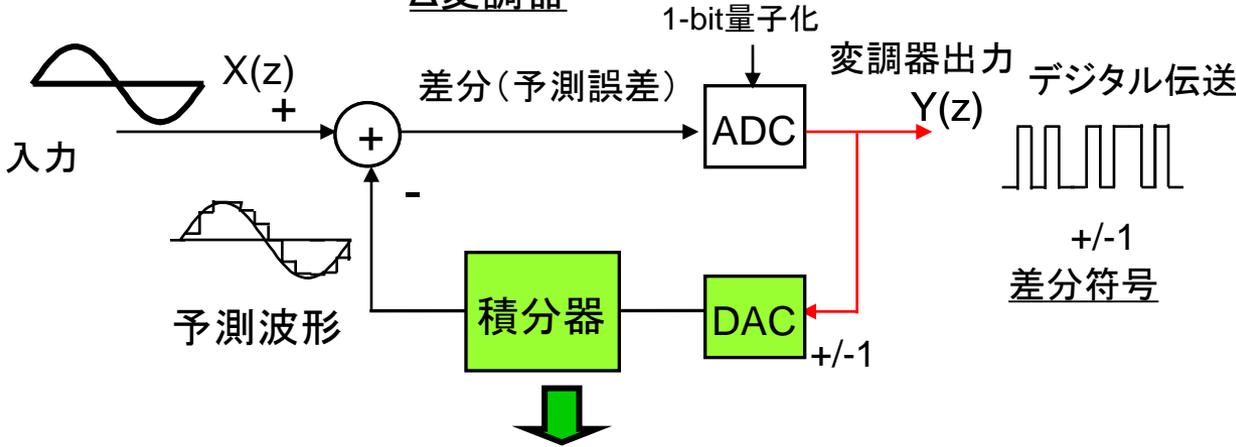
最も簡単な波形予測器

入力波形(黄)
予測波形(藤)



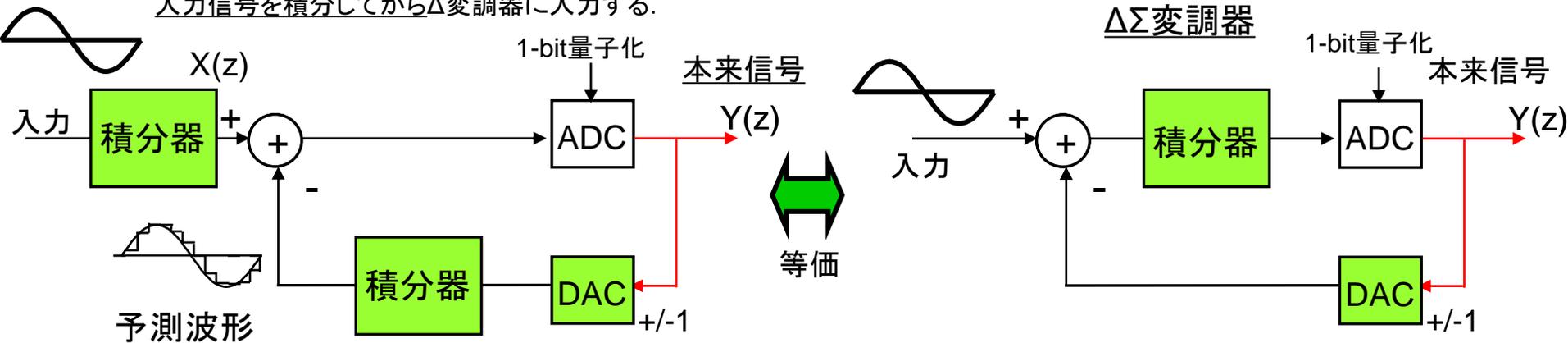
4.1 Δ 変調から $\Delta\Sigma$ 変調へ

Δ 変調器



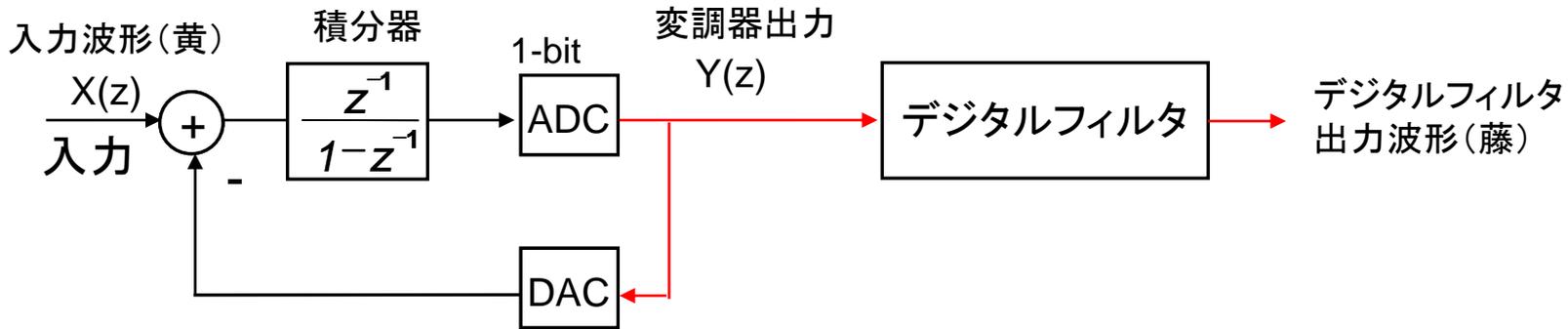
Δ 変調器の変形

出力を差分符号でなく本来の信号にするために
入力信号を積分してから Δ 変調器に入力する。



$\Delta\Sigma$ 変調の考え方は1957年電気通信学会誌に提案された。
安田靖彦、猪瀬

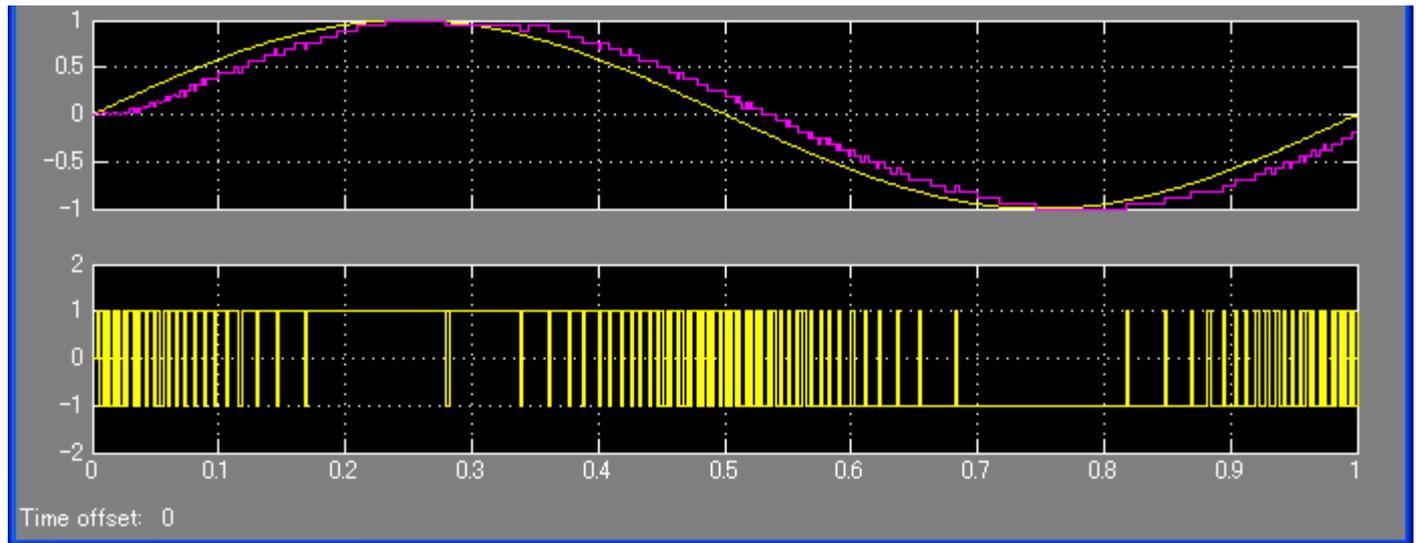
4.1 $\Delta\Sigma$ 変調器の直感的な理解



- ・入力波形(黄)
- ・デジタルフィルタ出力波形(藤)

変調器出力:
1-bit量子化

電圧レベルをパルス密度に変換しているともいえる。



4.2 $\Delta\Sigma$ A/D変換器の原理

・ $\Delta\Sigma$ A/D変換器の2大原理

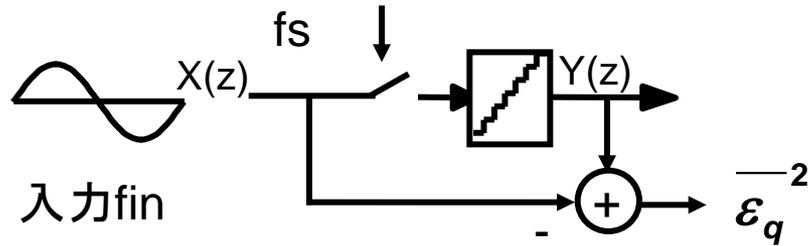
1) オーバーサンプル

入力周波数よりも大幅に高い(128倍など)サンプリング f_s を行い、デジタルフィルタで不要な高帯域量子化雑音を除去し、SNRを改善する。

2) ノイズシェーピング

量子化雑音を、低周波(in-band)から高周波に追いやって(ノイズシェープ)、in-bandの量子化雑音を小さくし、SNRを改善する。

オーバーサンプリングの概念によるSNRの改善



・量子化雑音のパワー $\varepsilon_q^{-2} = \frac{\Delta^2}{12}$ は
 次頁追加

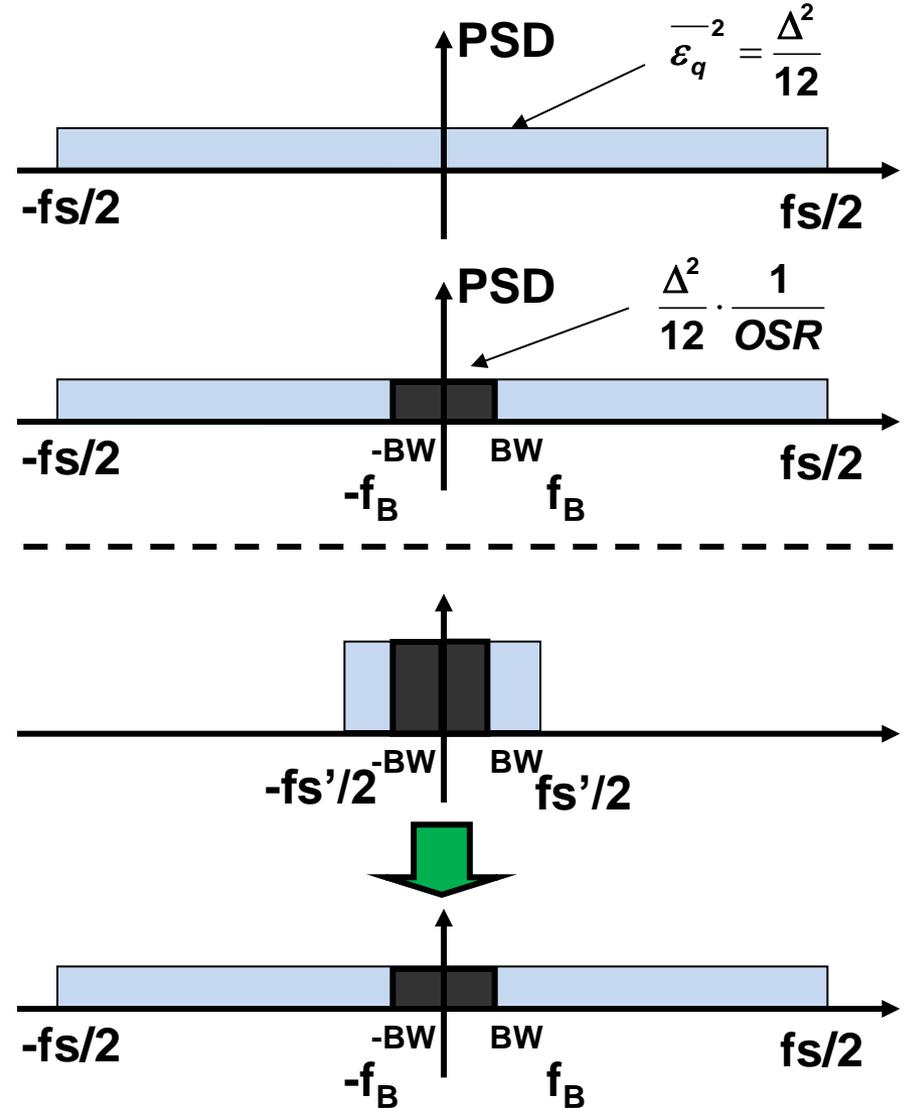
+/- $f_s/2$ の周波数までフラットに分散される。

・ナイキスト周波数 $f_s/2$ に対して、
 信号帯域(in-band)周波数を f_B として、
 その比をオーバーサンプル比(OSR)と定義

$$OSR = \frac{f_s/2}{f_B}$$

・in-bandに残る雑音電力は、 $\frac{\Delta^2}{12} \cdot \frac{1}{OSR}$

- ・ f_s を上げるとin-bandの雑音電力が減る。
- ・OSR 4倍で1-bit分解能を向上できる。



SNR (信号対雑音比), 有効ビット

(7) SNR, 有効ビット

- ・分解能(量子化ステップ)を Δ としたとき、理想A/D変換器で発生する量子化雑音のパワー $\overline{\varepsilon_q^2}$ は、

$$\overline{\varepsilon_q^2} = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon_q^2 d\varepsilon_q = \frac{\Delta^2}{12}$$

- ・フルスケール正弦波の実効値(rms)はダイナミックレンジを $2\sqrt{2}$ で割った値。
- ・信号電力と雑音電力の比

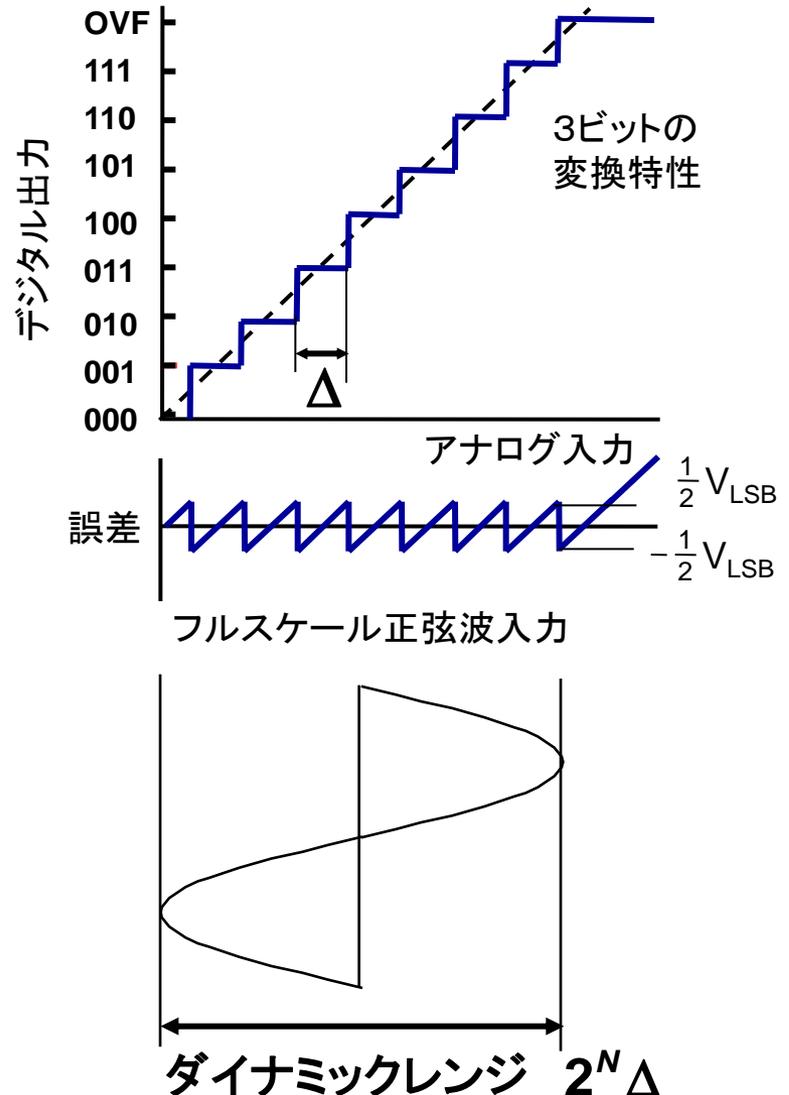
$$SNR = \frac{2^N \Delta}{\frac{\Delta}{\sqrt{12}}} = 2^N \sqrt{\frac{3}{2}}$$

- ・対数をとると、

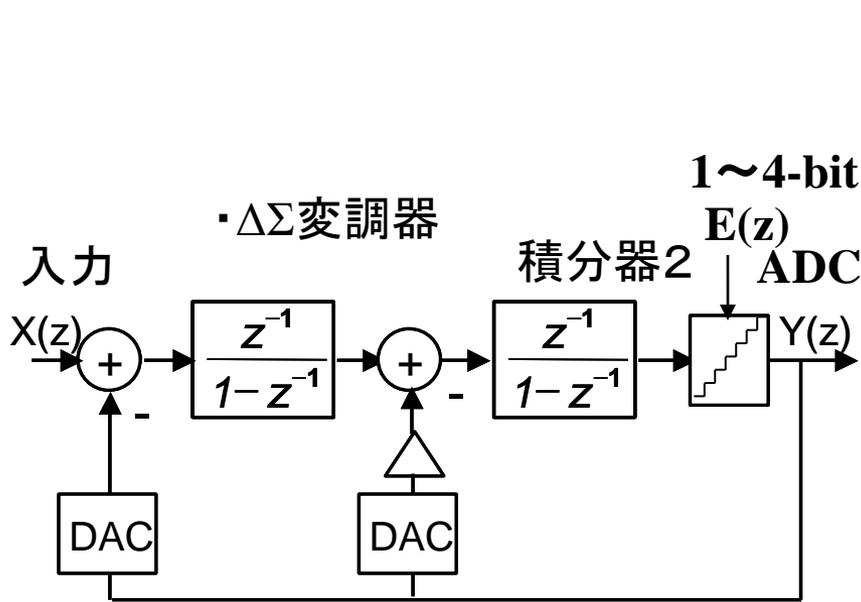
$$(SNR)_{dB} = 6.02N + 1.76(dB)$$

- ・有効ビット(ENOB: Effective Number of Bits)

$$ENOB = \frac{SNDR_{peak,dB} - 1.76}{6.02}$$



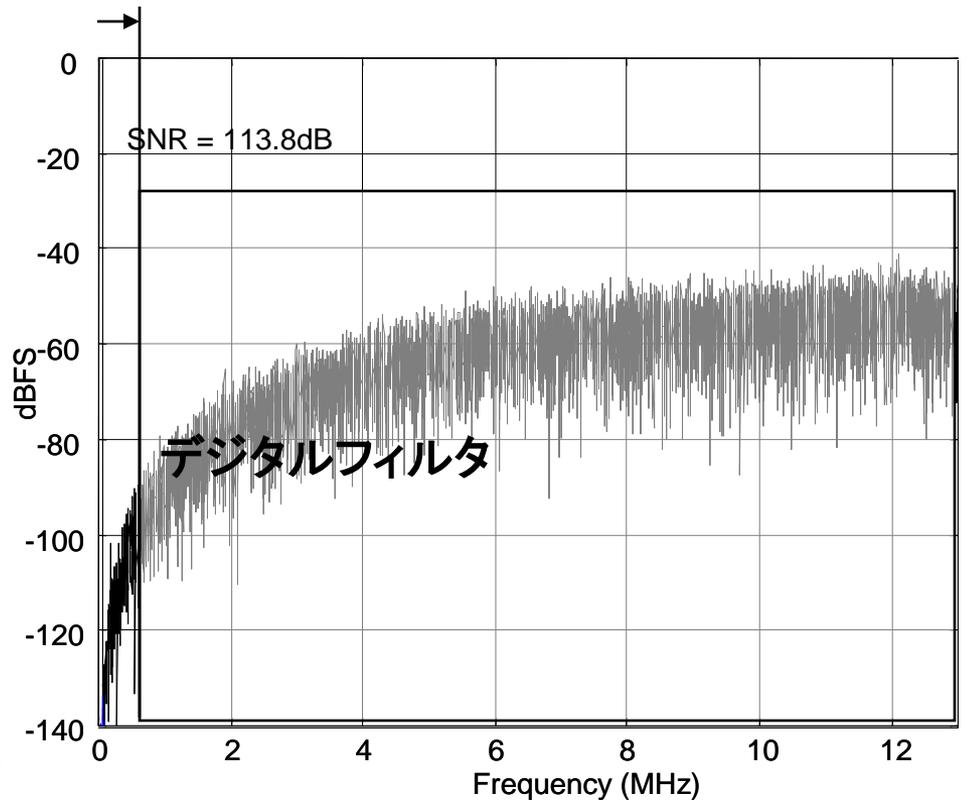
ノイズシェープの概念によるSNRの改善



$$Y(z) = z^{-2} X(z) + \underline{(1 - z^{-1})^2 E(z)}$$

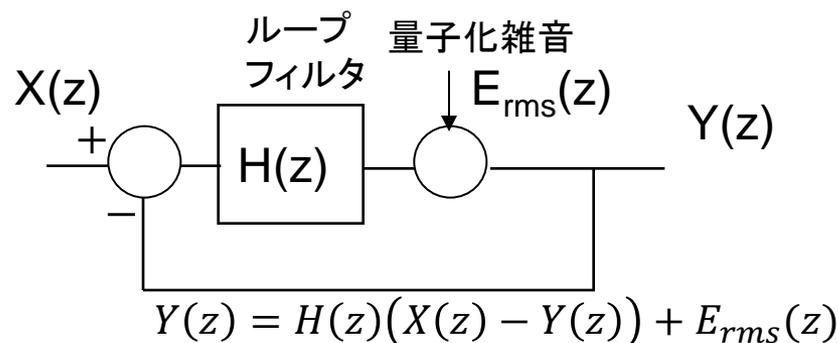
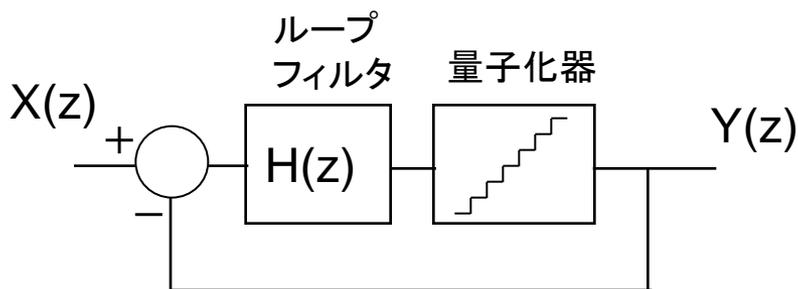
- ・量子化ノイズ $E(z)$ の
2次微分
高周波成分が強調される
- ・2次ノイズシェープ

In-Band



デジタルフィルタで
高域ノイズを除去。
高SNRを得る。

ΔΣ変調器の線形モデル



$$Y(z) = \frac{H(z)}{1 + H(z)} \cdot X(z) + \frac{1}{1 + H(z)} \cdot E_{rms}(z)$$

↑
信号伝達関数STF(z)
Signal Transfer Function

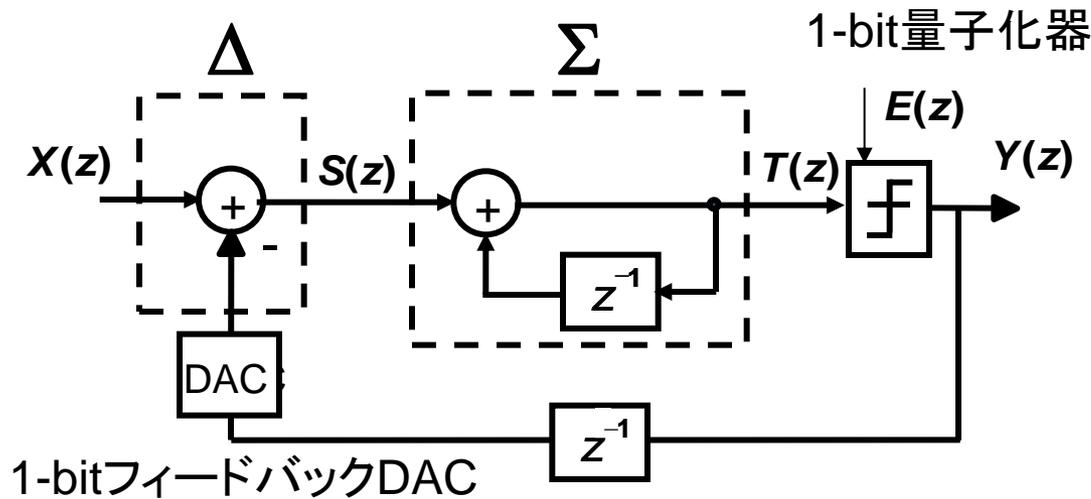
↑
ノイズ伝達関数NTF(z)
Noise Transfer Function

ループフィルタ $H(z)$ は積分器等で、低周波(in band)で利得が1に比べて十分高い。したがって



$$\frac{H(z)}{1 + H(z)} \cong 1 \quad \frac{1}{1 + H(z)} \cong 0 \quad Y(z) \cong X(z)$$

4.3 1次 $\Delta\Sigma$ 変調器



Σ 積分器： 前の出力データを遅らせて加算する。

$$T(z) = S(z) + z^{-1}T(z)$$

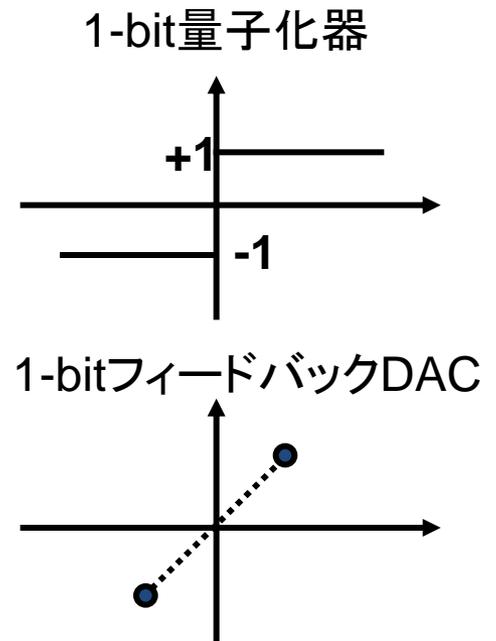
$$\frac{T(z)}{S(z)} = \frac{1}{1 - z^{-1}}$$

上のループで関係を記述すると、

$$Y(z) = \frac{(X(z) - z^{-1}Y(z))}{1 - z^{-1}} + E(z)$$

これを整理すると、

$$Y(z) = X(z) + (1 - z^{-1})E(z)$$



出力が2点しかないので、
原理的にリニア
(非線形性なし)

つまり、変調器の出力は、入力信号 $X(z)$ と
1次微分した量子化雑音の和になる。

1次ΔΣ変調器

1次微分した量子化雑音の雑音パワー計算

$$Y(z) = X(z) + (1 - z^{-1})E(z)$$

量子化雑音の周波数当たりの電力はfsでサンプルするとき

$$h_e^2(f) = \frac{\Delta^2}{12f_s}$$

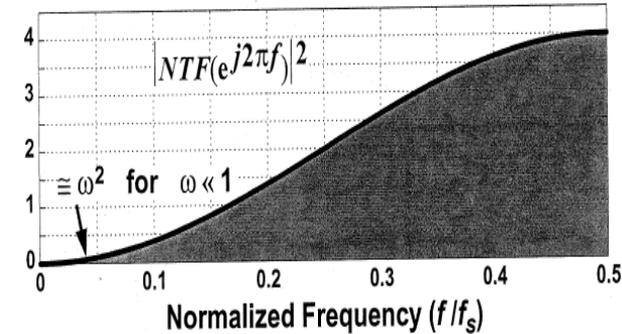
ノイズシェープ関数を一般化してn次の微分 $(1 - z^{-1})^n$ とするとき

- ・出力のパワースペクトラム密度PSDは、入力PSDに、システムの周波数特性の絶対値の二乗を掛けたもの。
- ・右上図のように1次微分をすると全体の電力は上がるが、低周波のノイズパワーはほぼゼロになる。
- ・雑音電力は、PSDを問題となるバンドで積分したもの。

$$N_q = \int_{-fb}^{+fb} h_e^2(f) \left| 1 - z^{-1} \right|_{z=e^{j2\pi f/fs}}^{2n} df$$

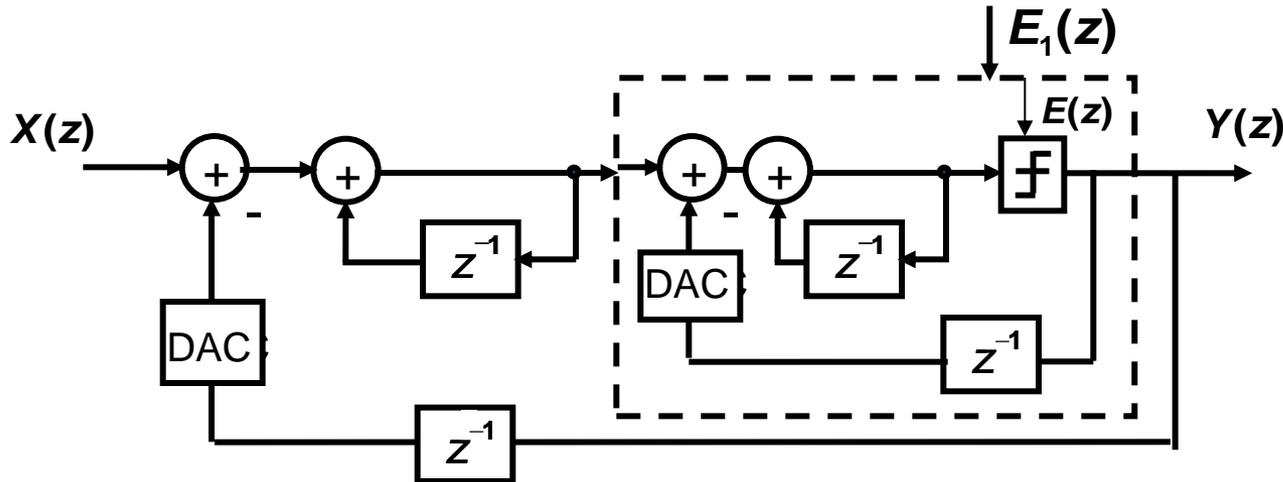
$$\approx \int_{-fb}^{+fb} \frac{\Delta^2}{12f_s} \left| \frac{j2\pi f}{f_s} \right|^{2n} df = \left(\frac{\Delta}{2} \right)^2 \frac{1}{3\pi(2n+1)} \left(\frac{\pi}{OSR} \right)^{2n+1}$$

f_b は信号のバンド幅、OSRはオーバーサンプル比



- ・1次の場合OSRを2倍にすると、雑音が1/8、つまりSNRが9dB(1.5bit)改善する。

4.4 2次ΔΣ変調器



1次ΔΣ変調器の量子化器を、別の1次ΔΣ変調器で置き換える。

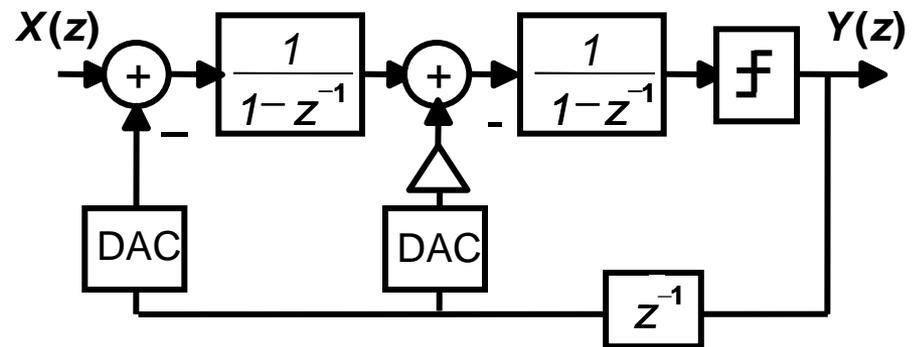
$$Y(z) = X(z) + (1 - z^{-1})E_1(z)$$

$$E_1(z) = (1 - z^{-1})E(z)$$

結局2次ΔΣ変調器の伝達特性は、

$$Y(z) = X(z) + (1 - z^{-1})^2 E(z)$$

- ・量子化雑音は2回微分されており、低周波ノイズは1次に比べてさらに低下する。
- ・左上の図は、右下の図に変形できる。



2次 $\Delta\Sigma$ 変調器

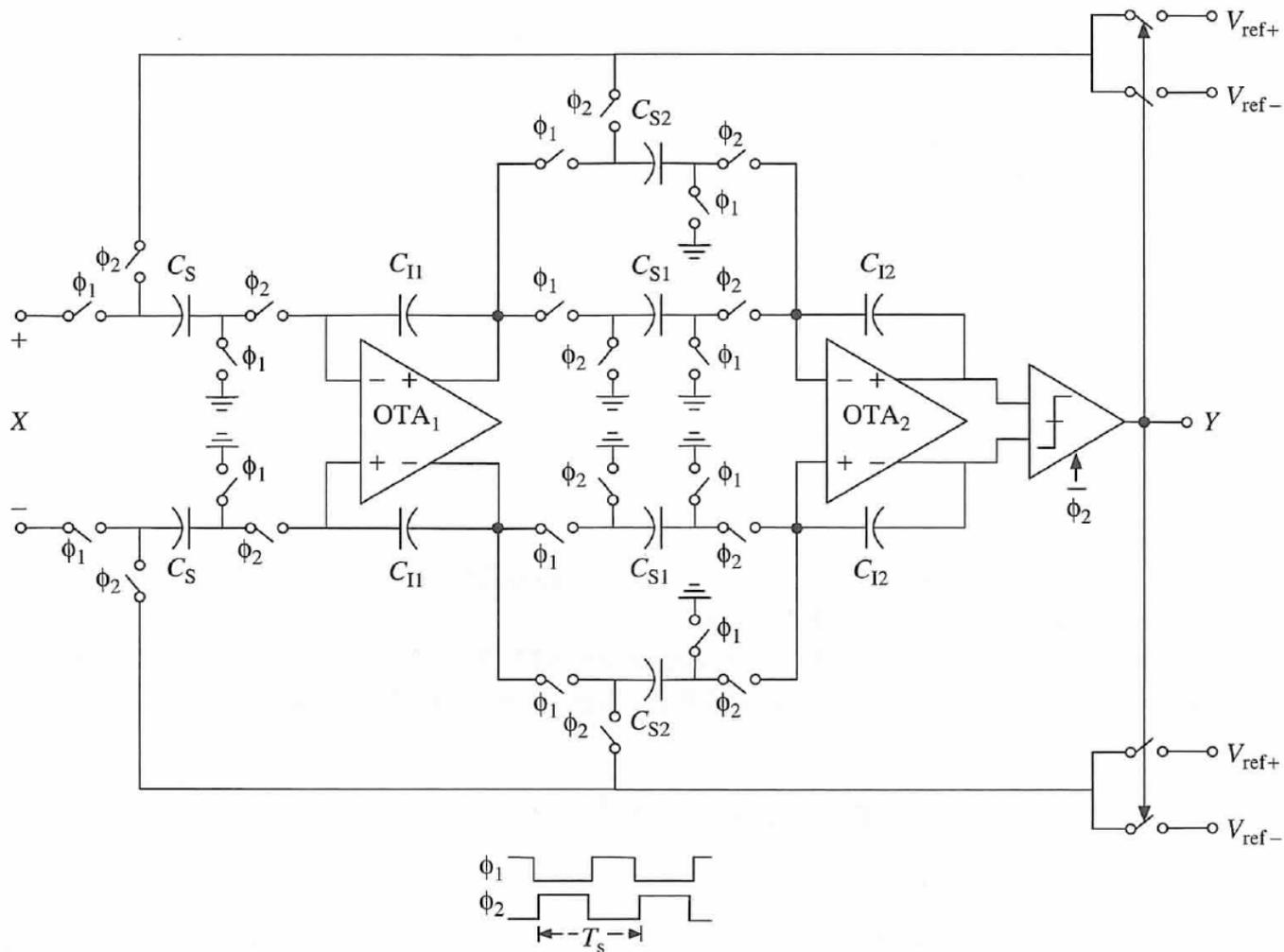
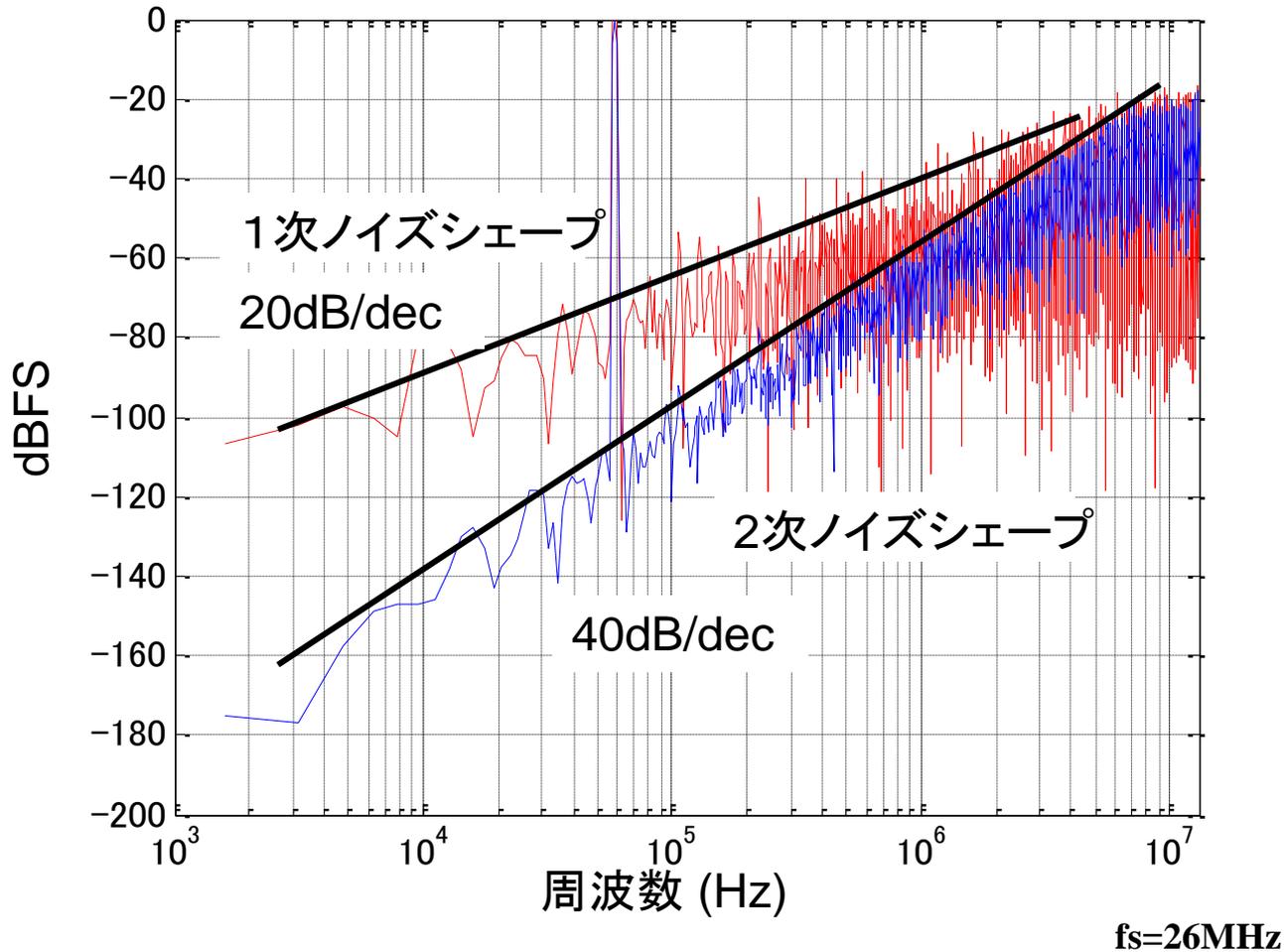
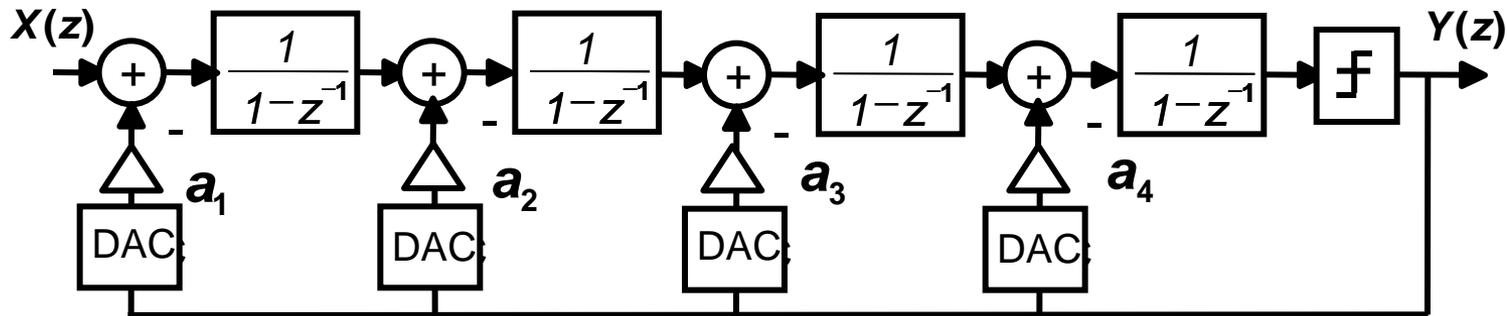


図 完全差動型、2次 1-bit $\Delta\Sigma$ 変調器のスイッチドキャパシタ実現例

1次と2次のノイズシェープ比較

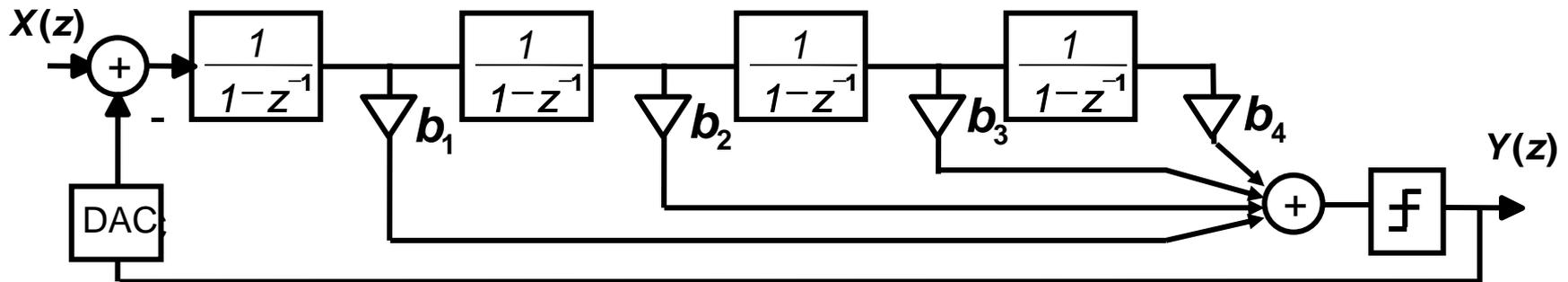


高次シングルループ $\Delta\Sigma$ 変調器



フィードバック型

$$NTF(z) = (1 - z^{-1})^4$$



フィードフォワード型

- ・シングルループ高次 $\Delta\Sigma$ は、フィードバックループの位相回転により、3次以上では発振する。発振せずに使うためには、安定性を考慮して係数を決め、かつ入力可能な最大振幅をある値以下に制限する必要がある。安定化手法の詳細は省略する。

ΔΣ変調器で得られるダイナミックレンジ

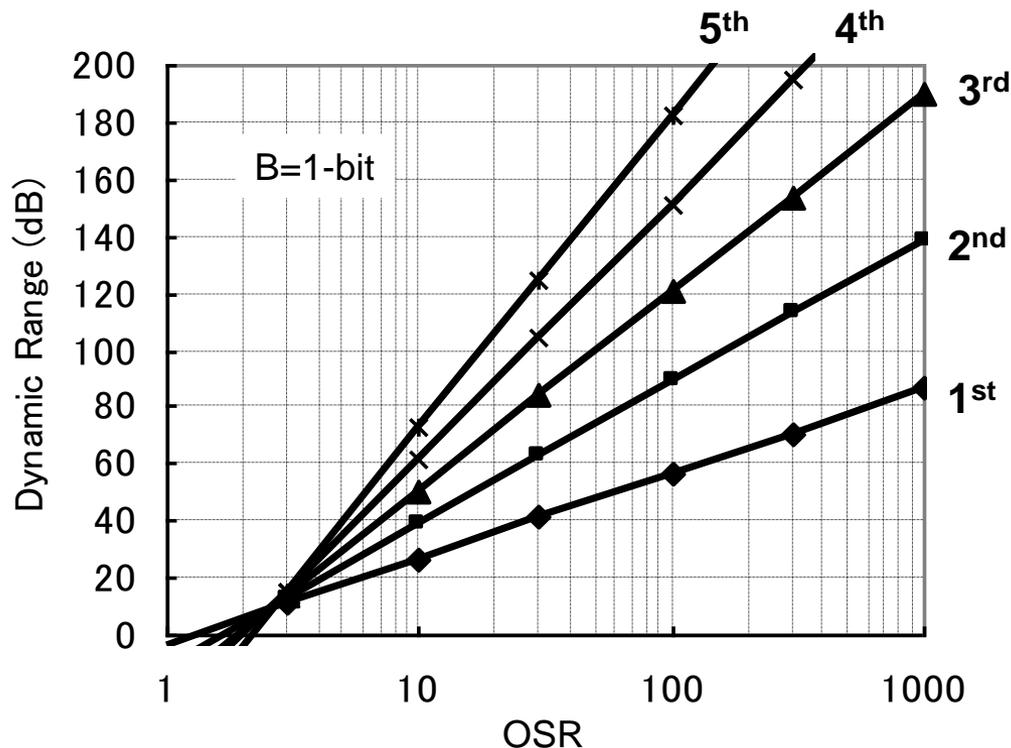
ダイナミックレンジを決める
3パラメータ

1) オーバーサンプル比

$$OSR = \frac{f_s}{2f_B}$$

2) ループ次数
n次 (積分器の個数)

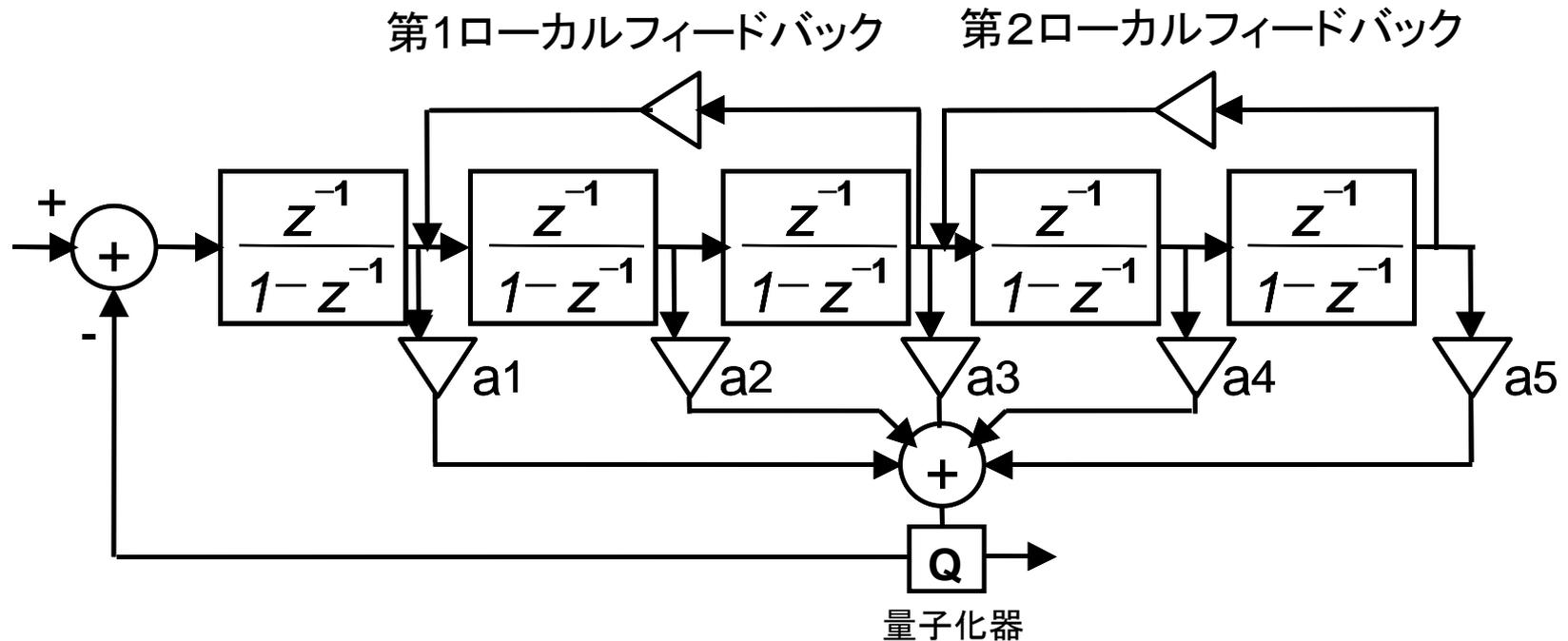
3) 量子化器の分解能
B-bit



注: 上図はループ安定性を考慮していないケース

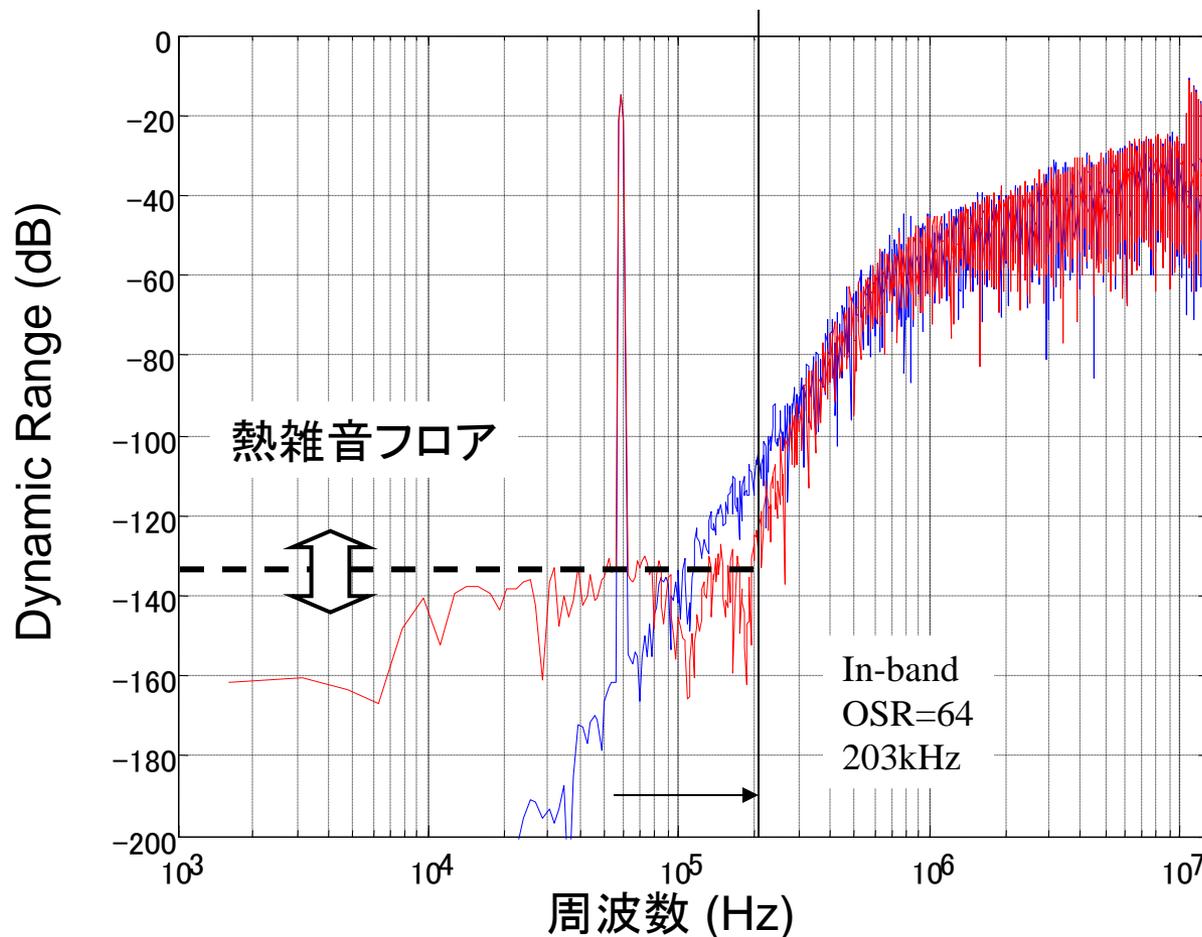
$$DR = \frac{3\pi}{2} (2^B - 1)^2 (2n + 1) \left(\frac{OSR}{\pi} \right)^{2n+1}$$

ローカルフィードバックを持った5次 $\Delta\Sigma$ 変調器



- ・積分器2個の周りのフィードバックで、共振周波数・ノッチ周波数を作れる.
- ・2個のノッチ周波数

バンドエッジにノッチ点を持った5次 $\Delta\Sigma$ 変調器

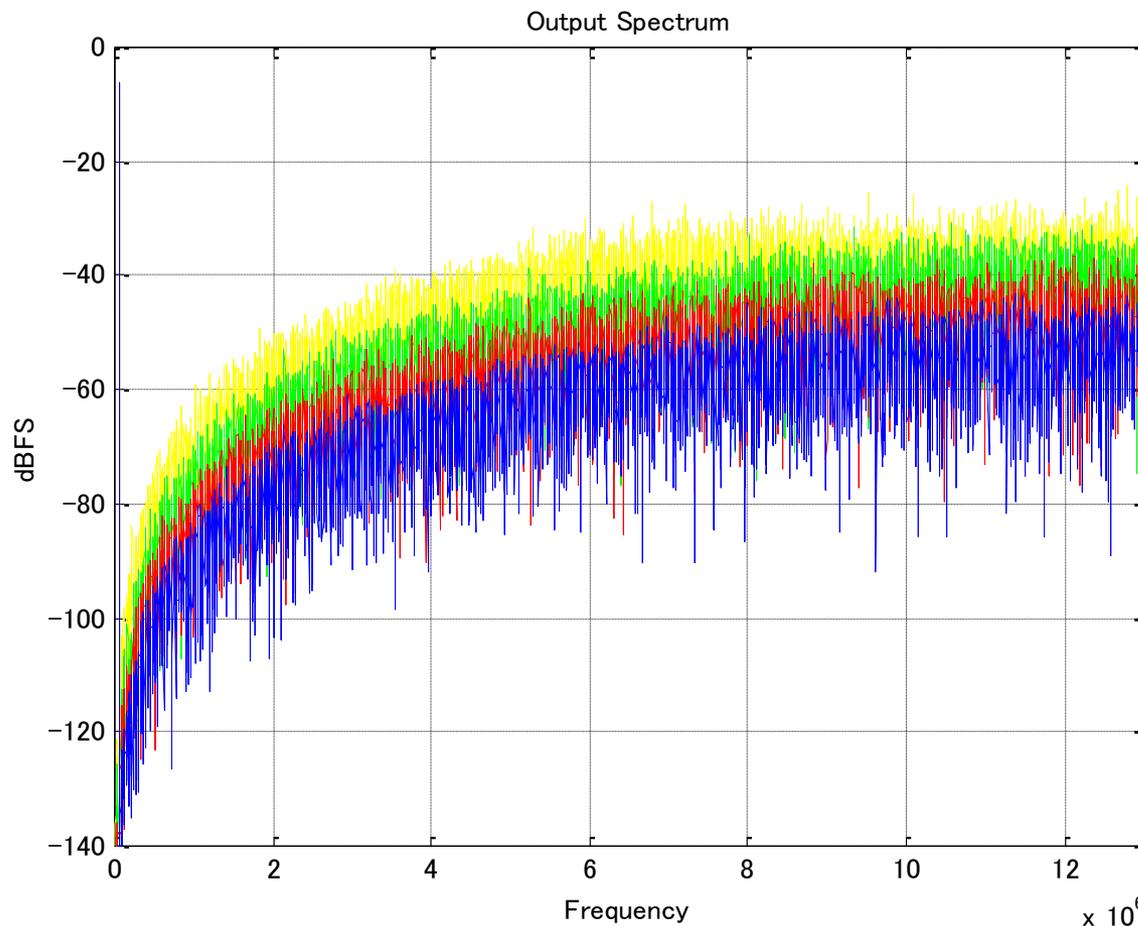


- ・バンドエッジでの量子化ノイズが低減し、SNRが改善できる。
- ・実際のADCでは、量子化ノイズのほか、回路の熱雑音が決める。

4.5 $\Delta\Sigma$ A/D変換器のメリット

- 1) 電圧方向の精度が無くても、時間方向に多数サンプルして精度を上げられる. 個別回路に(一部を除いて)精度が要求されない.
- 2) (シングルビット方式では)リニアリティが原理的によく、単純な構成で非常に高いSNRが得られる.
- 3) サンプリング周波数 f_s が非常に高いので、折り返しによる誤差がほとんど起きず、RCフィルタなどの簡単なアンチエイリアシングフィルタで十分.
- 4) 微細プロセスを利用すると、デジタルフィルタを内蔵しても面積的な問題が少なくなり、アナログの規模を小さくできるので、微細CMOS向きである.

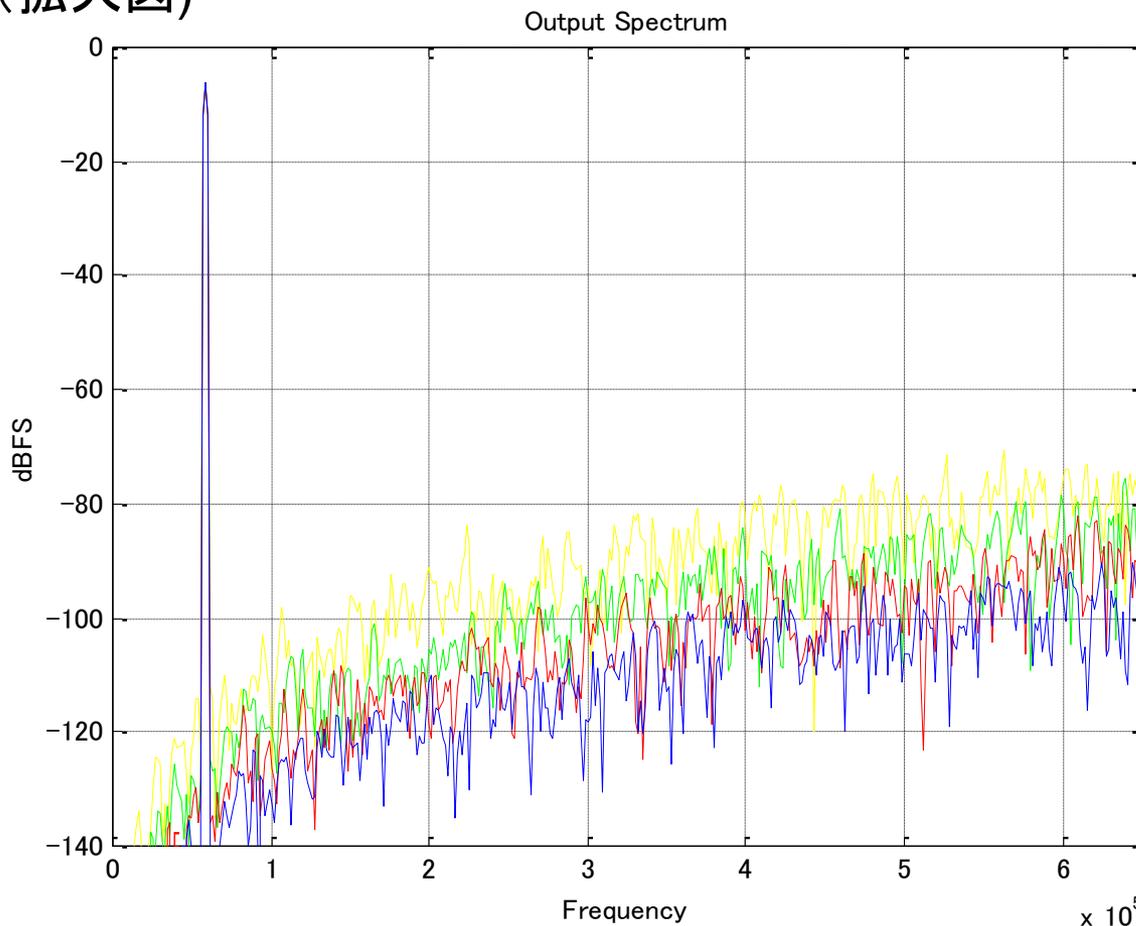
4.6 マルチビット $\Delta\Sigma$ 変調器



- 量子化器の分解能を1-bitから、2, 3, 4-bitと上げると、量子化雑音が6dBずつ改善され、SNRが上がってゆく。

マルチビット $\Delta\Sigma$ 変調器・熱雑音なし

スペクトラム(拡大図)

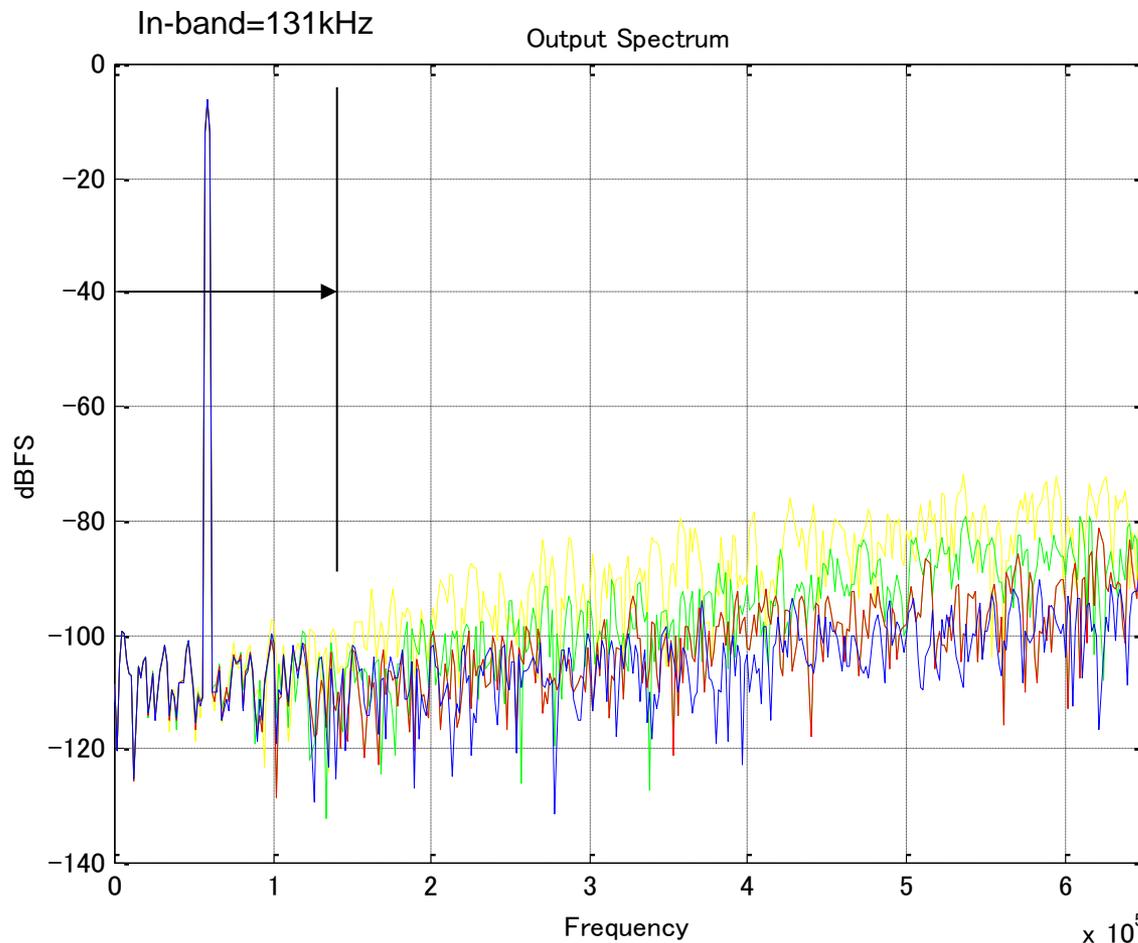


0-650kHz拡大図

黄色: 1bit
緑色: 2bit
赤色: 3bit
青色: 4bit

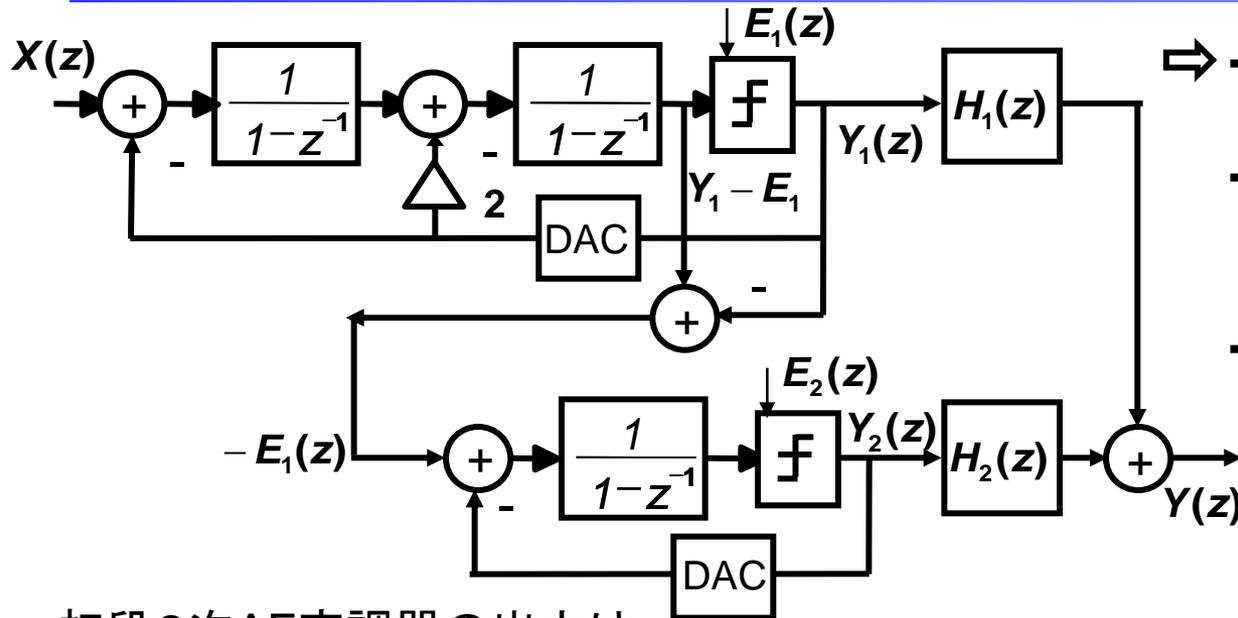
熱雑音無し.

マルチビット $\Delta\Sigma$ 変調器・熱雑音あり



- ・実際の回路では、回路熱雑音のため、SNRが決まってしまう。

4.7 カスケード(MASH)型 $\Delta\Sigma$ 変調器



⇒ 3次以上の $\Delta\Sigma$ は、安定性に問題があり設計が難しい。
 ・そこで、カスケード(MASH)型が考え出された。

・初段ループ出力で量子化雑音 $E_1(z)$ を作り、これを次段の $\Delta\Sigma$ でデジタル化して、この量子化雑音を前段の出力からデジタルで引き算して $E_1(z)$ を打ち消してやれば精度を上げられる。

量子化雑音 $E_1(z)$ の打ち消し

初段2次 $\Delta\Sigma$ 変調器の出力は、

$$Y_1(z) = X(z) + (1 - z^{-1})^2 E_1(z)$$

2段目の1次 $\Delta\Sigma$ 変調器の入力は $-E_1(z)$ なので、

$$Y_2(z) = -E_1(z) + (1 - z^{-1}) E_2(z)$$

$Y_1(z)$ と $Y_2(z)$ を加算するデジタルフィルタを $H_1(z) = 1$ $H_2(z) = (1 - z^{-1})^2$ とおくと、

$$\text{最終出力は、} Y(z) = Y_1 H_1 + Y_2 H_2 = X(z) + (1 - z^{-1})^2 E_1(z) - (1 - z^{-1})^2 E_1(z) + (1 - z^{-1})^3 E_2(z)$$

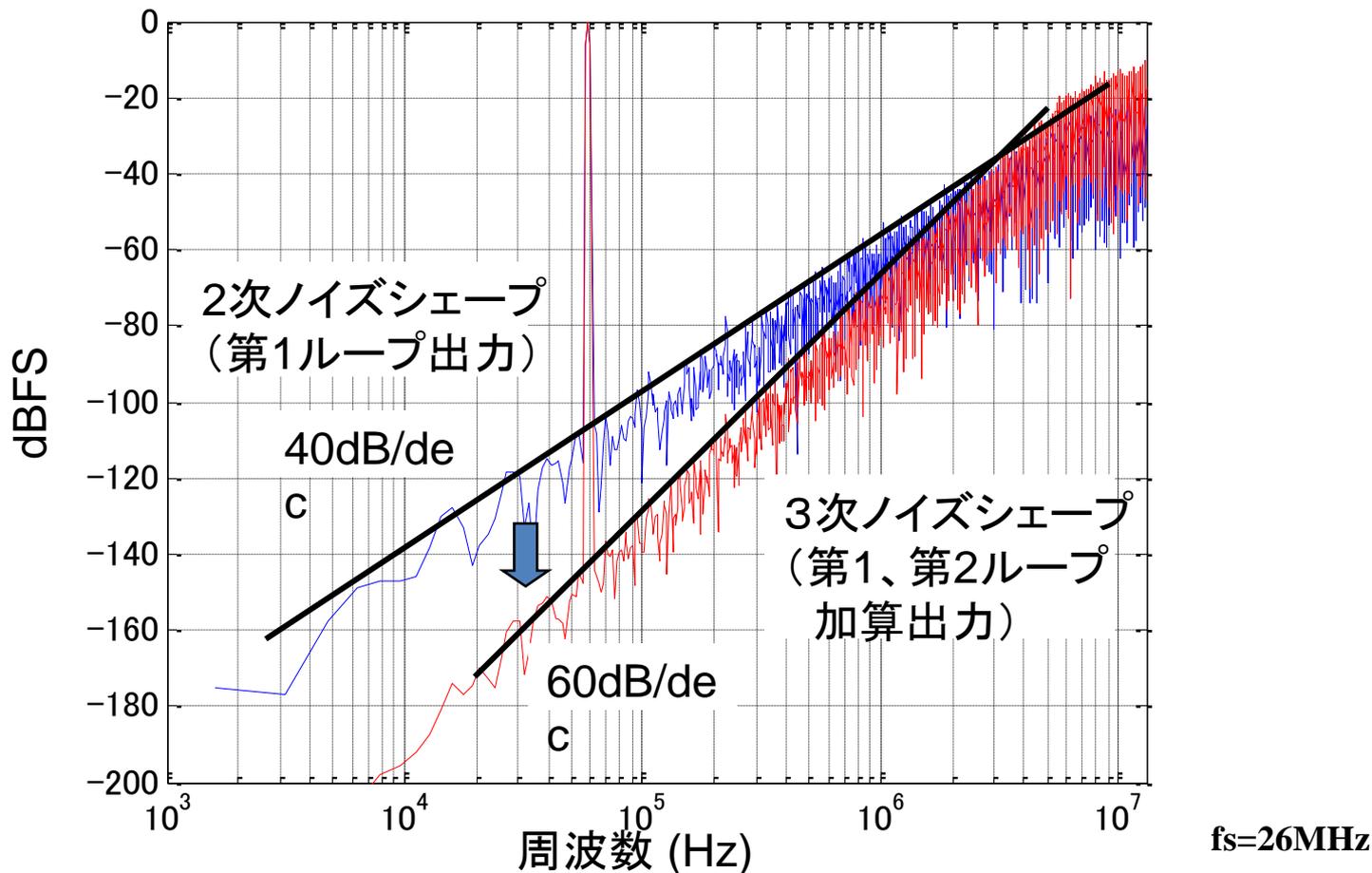
$$Y(z) = X(z) + (1 - z^{-1})^3 E_2(z)$$

となって、 $E_1(z)$ がキャンセルされ、 $E_2(z)$ が3次ノイズシェープされていることがわかる。

カスケード(MASH)型 $\Delta\Sigma$ 変調器

第1ループ
2次、1.5 bit

第2ループ
1次、1.5bit



$$Y(z) = Y_1 H_1 + Y_2 H_2 = X(z) + (1 - z^{-1})^2 E_1(z) - (1 - z^{-1})^2 E_1(z) + (1 - z^{-1})^3 E_2(z)$$

第1ループの量子化雑音を、第2ループがデジタルに変換して、デジタルドメインで差し引く。

カスケード(MASH)型 $\Delta\Sigma$ 変調器

1) Cascade方式の問題点:

- ・ $E_1(z)$ は、1段目と2段目出力の加算でキャンセルしている。回路が誤差を持つとキャンセルが不完全になり、1段目の量子化雑音 $E_1(z)$ がリークしてSNRが劣化する。
- ・1段目はアナログ、一方キャンセル用フィルタはデジタルなので、アナログの利得とデジタルの利得が狂うとリークが起きる。
- ・オペアンプの有限利得などが誤差要因になる。

2) 対策:

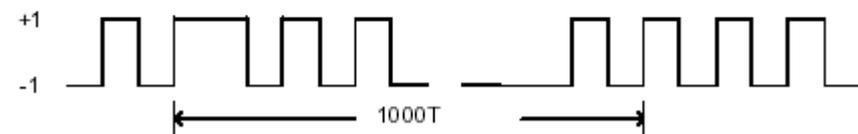
- ・キャリブレーションによって、アナログ利得誤差をデジタルフィルタに反映させてリーク影響を軽減するなどが行われている。

4.8 アイドルトーン

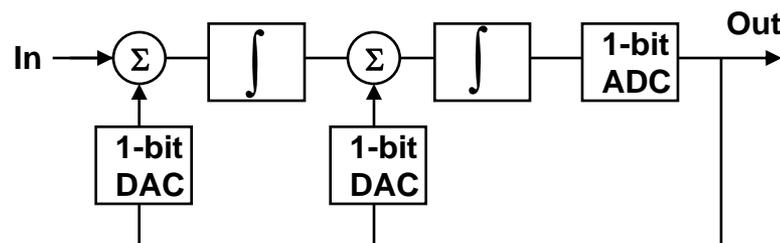
アイドルトーンは $\Sigma\Delta$ 変調器の出力が1bitのディスクリット信号のため生じる。入力端子で長時間の+1,-1の出力系列の平均値が入力DC電圧と平均されてゼロになるようにループが動作する。



(a)



(b)



a) 入力DC=0V時の1bit $\Sigma\Delta$ 変調器出力パターン

長時間平均がゼロとなり、入力の0Vと釣り合う。

b) 入力DC=0.001フルスケール時の1bit $\Sigma\Delta$ 変調器出力パターン

1000回に一回+1が余計に出て、入力の+0.001に釣り合うように働くため
1000回に一回の繰り返しパターンとなり、低周波トーンが出る。

一般に、小DC入力電圧では低周波のトーンが発生する。

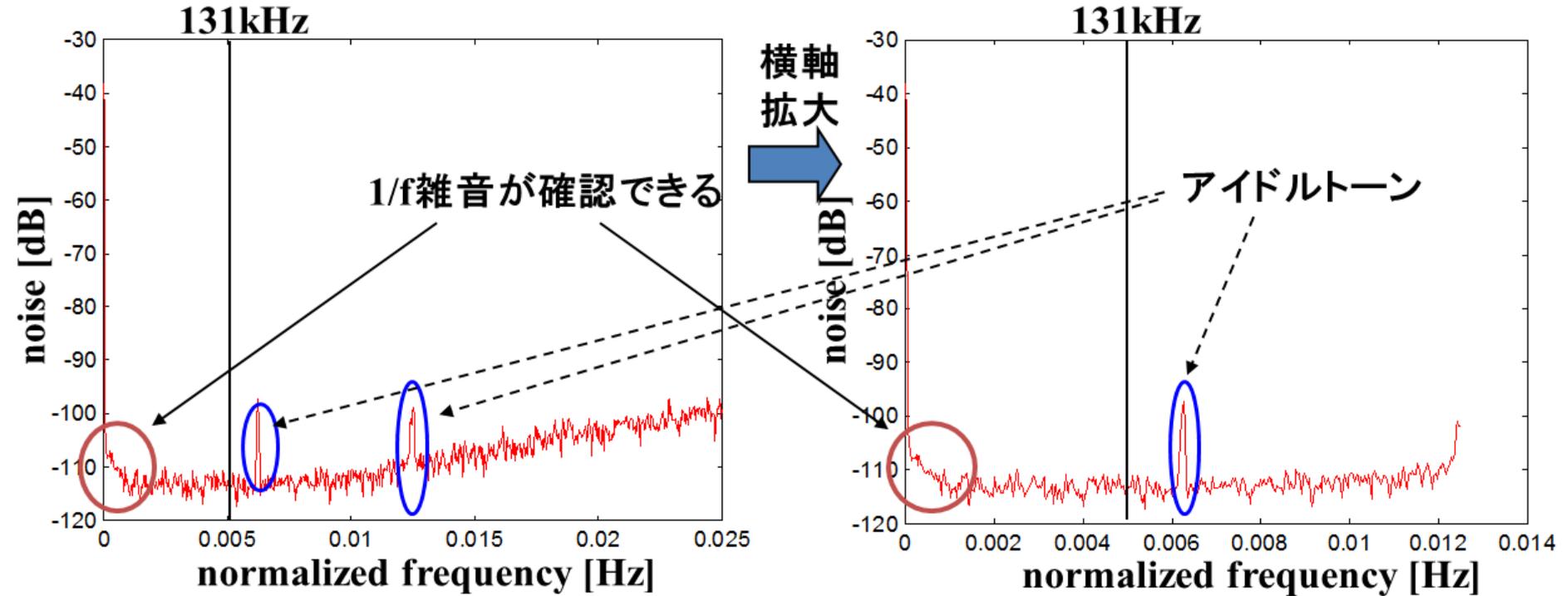
$$f_{DC} = \frac{1}{1000T} = \frac{1}{1000} f_s$$

また、入力信号を入れても、振幅が小さい間はトーンは依然発生する。

対策： デイザーを加える、DCオフセットを加える、3次以上の高次ループを使う、など。

アイドルトーンの例

低域スペクトルの拡大図

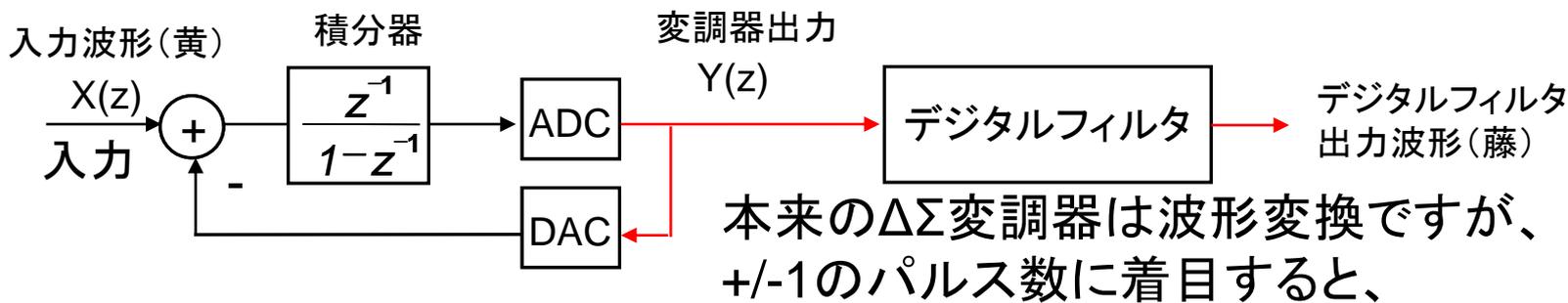


アイドルトーンの外に、1/f雑音が発生している。

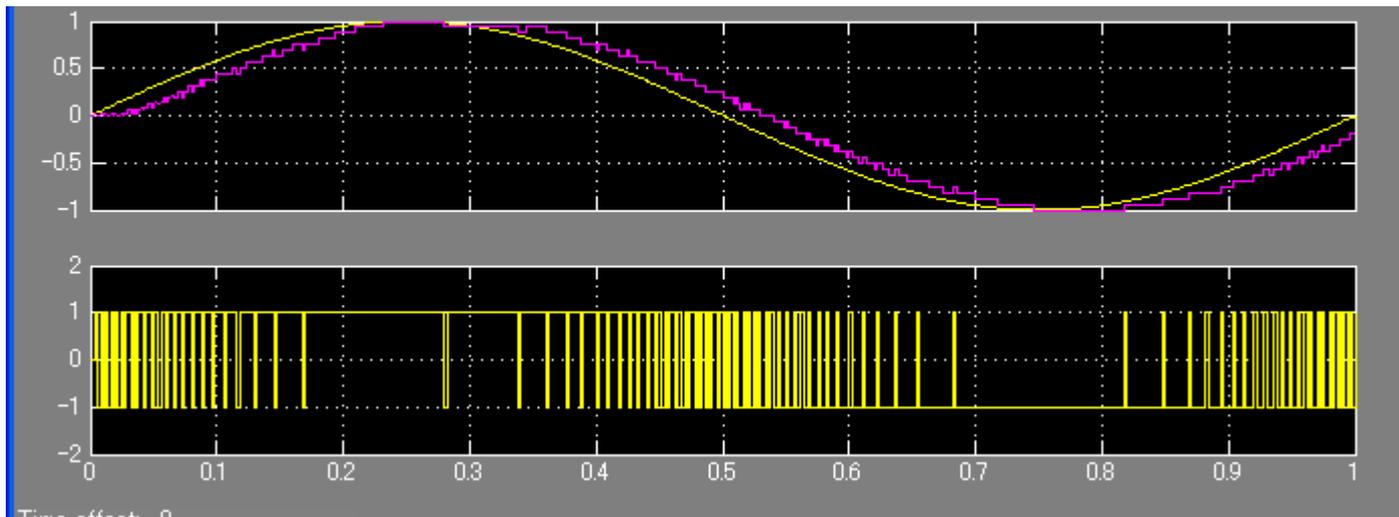
4.9 インクリメンタル $\Delta\Sigma$ A/D変換方式

- $\Delta\Sigma$ A/D変換器でDC電圧の1:1変換ができるか？
- インクリメンタル $\Delta\Sigma$ A/D変換器
- 電池用 $\Delta\Sigma$ A/D変換器

$\Delta\Sigma$ 変調器で DC電圧の1:1変換を実現できるか？



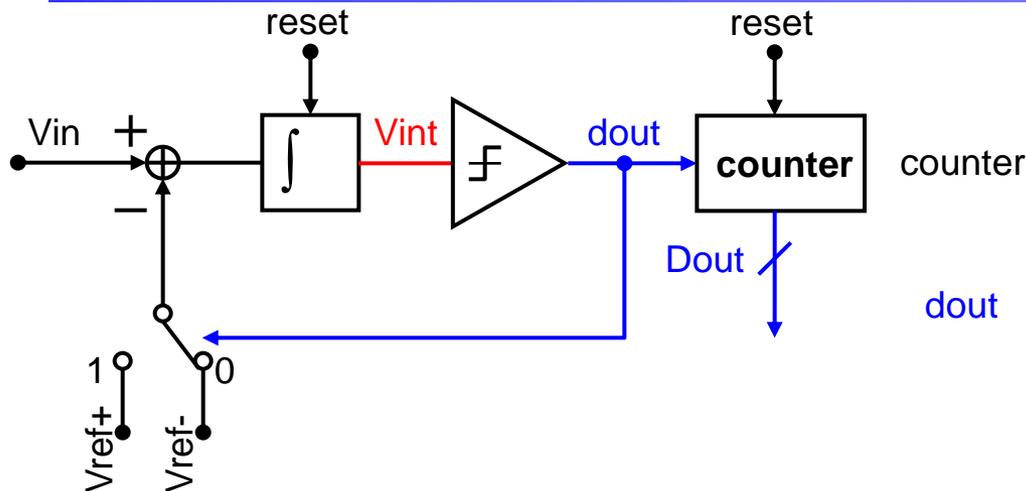
- ・入力波形(黄)
- ・デジタルフィルタ出力波形(藤)



変調器出力:
1-bit量子化

低DC入力電圧では-1のパルスが多く、高DC入力電圧では+1のパルスが多い。変換スタートを掛けて、一定時間後までの、+1/-1のパルスを積算すればDC電圧をデジタル値に直すことができる。これをインクリメンタル $\Delta\Sigma$ A/D変換器という。

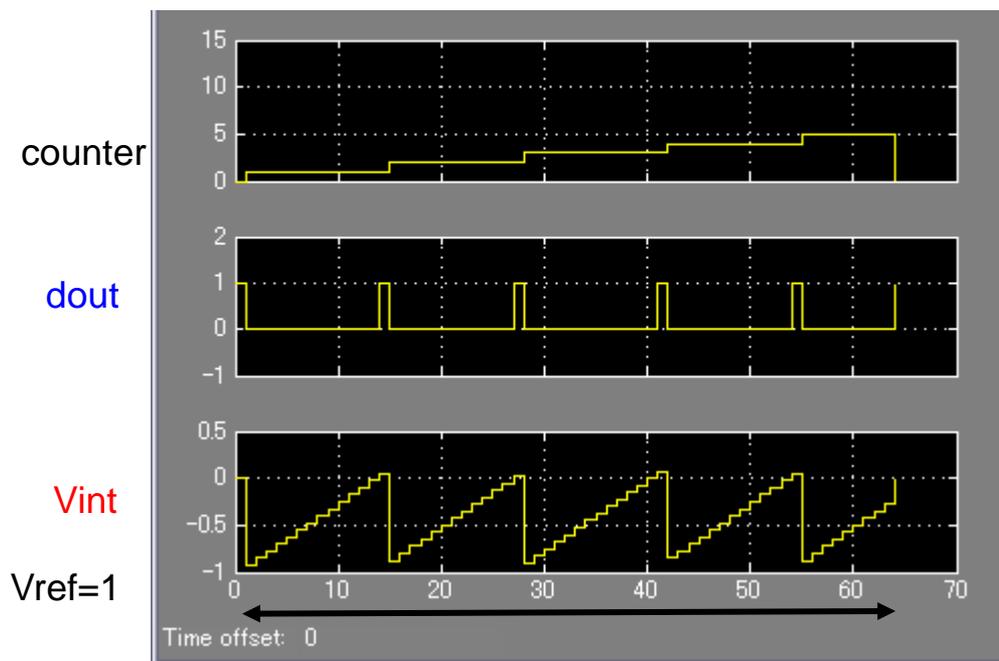
インクリメンタル $\Delta\Sigma$ A/D変換器



- 必要な分解能 $n=2^{n\text{bit}}$ 回、入力電圧 V_{in} を積算する。
- 積分器出力がゼロまで上がると、比較器が1を出力して入力に $-V_{ref}$ が加算される。カウンタが $-V_{ref}$ を加算した数を数える (N)。
- n ステップ後、積分器の出力 V は

$$V = nV_{in} - NV_{ref}$$

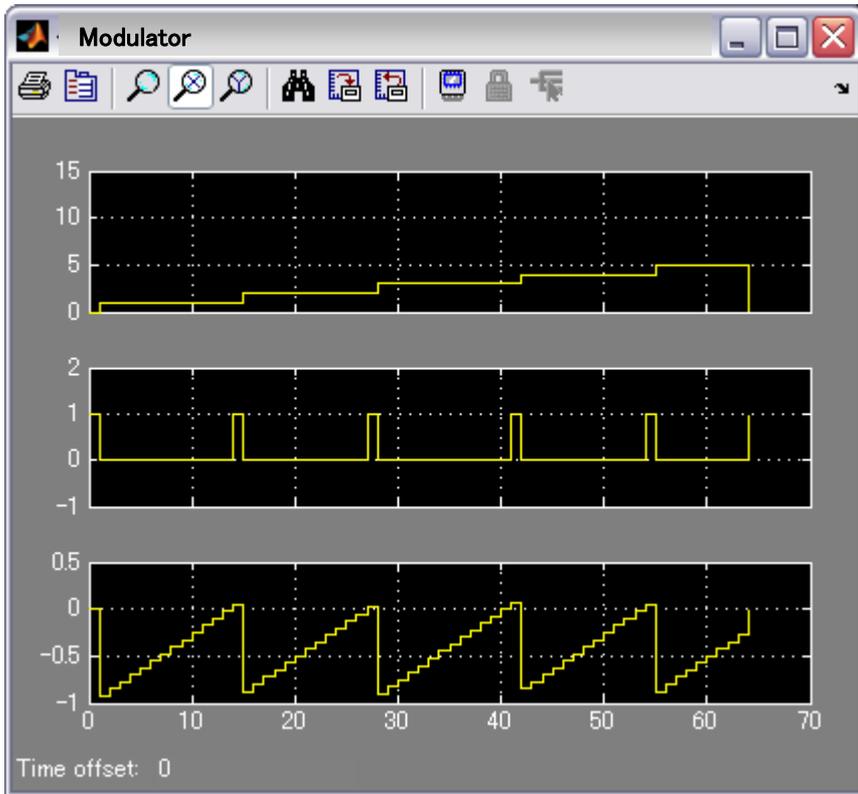
- N は、基準電圧(フルスケール) V_{ref} に対する V_{in} の比に、分解能 $n=2^{n\text{bit}}$ を掛けた数値である。つまりデジタル変換値が N に得られる。



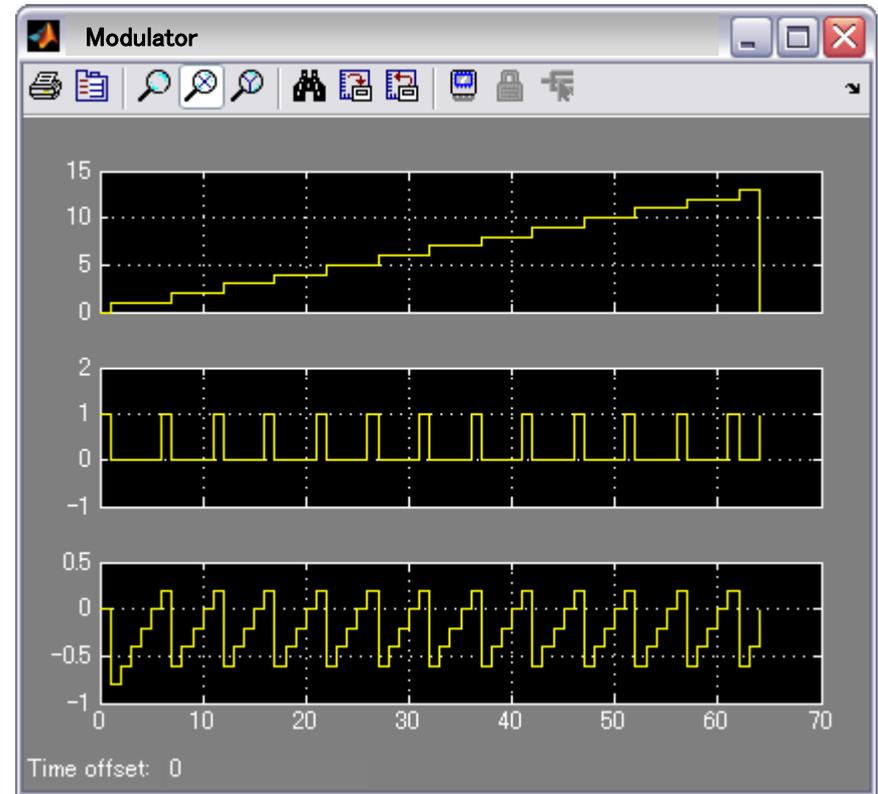
$2^6=64$

$$N = n \left(\frac{V_{in}}{V_{ref}} \right) + \varepsilon \quad -1 \leq \varepsilon \leq 1$$

インクリメンタル $\Delta\Sigma$ A/D変換器



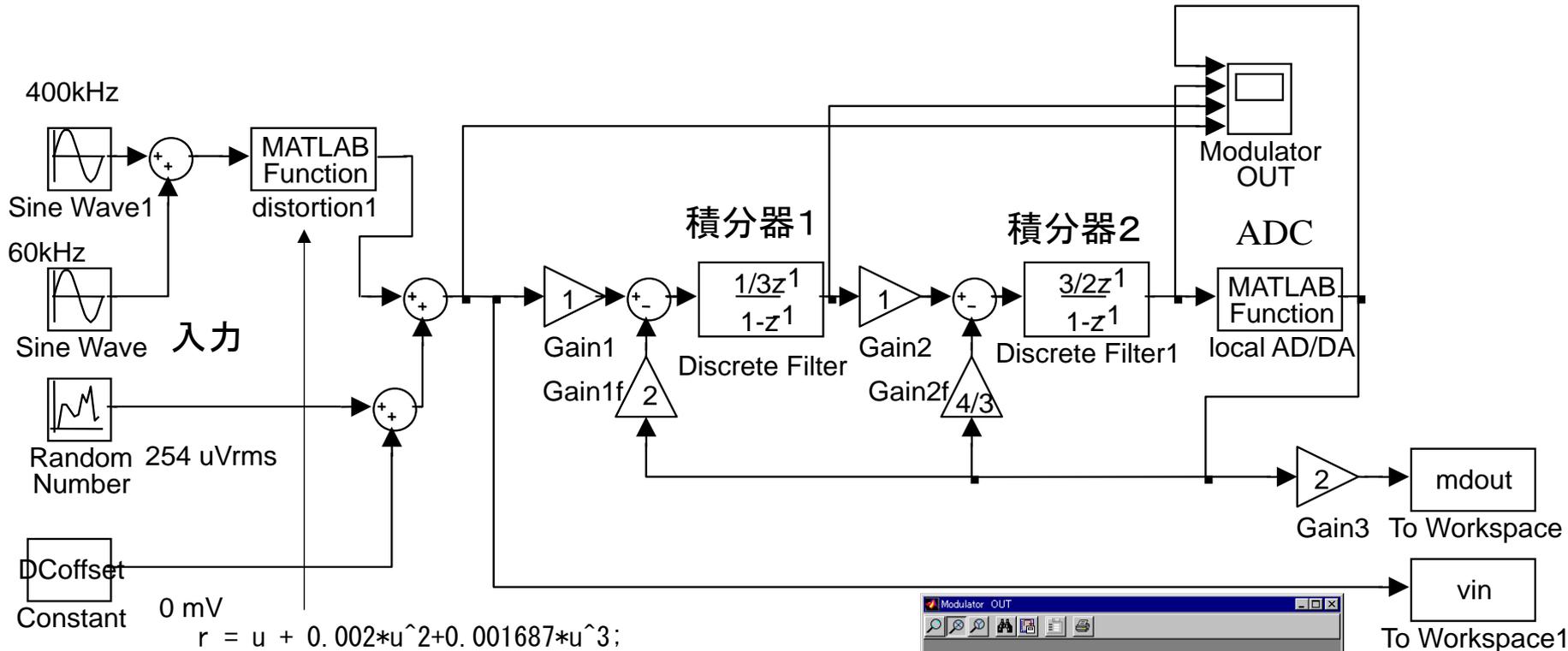
$V_{in}=0.075V$ パルスは少ない
13回加算して $V_{ref}=1V$ に達する。
64回の内 $N=5$
 $5/64=0.078$ となる。



$V_{in}=0.2$ パルスは多い
5回加算して $V_{ref}=1V$ に達する。
64回の内 $N=13$
 $13/64=0.2$ となる。

4.10 MATLAB/Simulinkによる $\Delta\Sigma$ A/D変換器の高位設計例

MATLAB/Simulinkによる機能シミュレーション



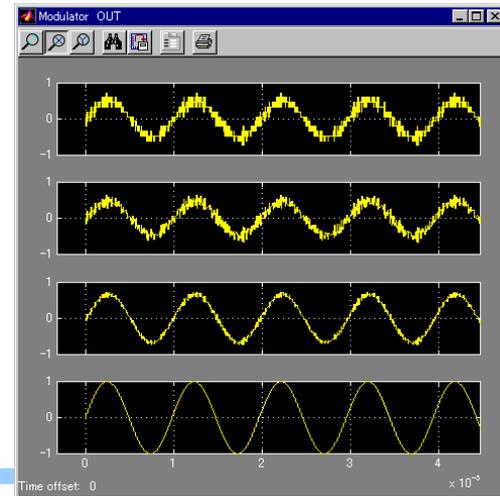
- ・MATLAB/SIMLINKでは、ブロック図を組み合わせただけでシステムを構成できそのシステムの動作をシミュレーションできる。
- ・ブロック図を作るのは、部品をコピーペーストして、結線でつなぐだけ。
- ・簡単に機能シミュレーションできる。

ADC出力

積分器2

積分器1

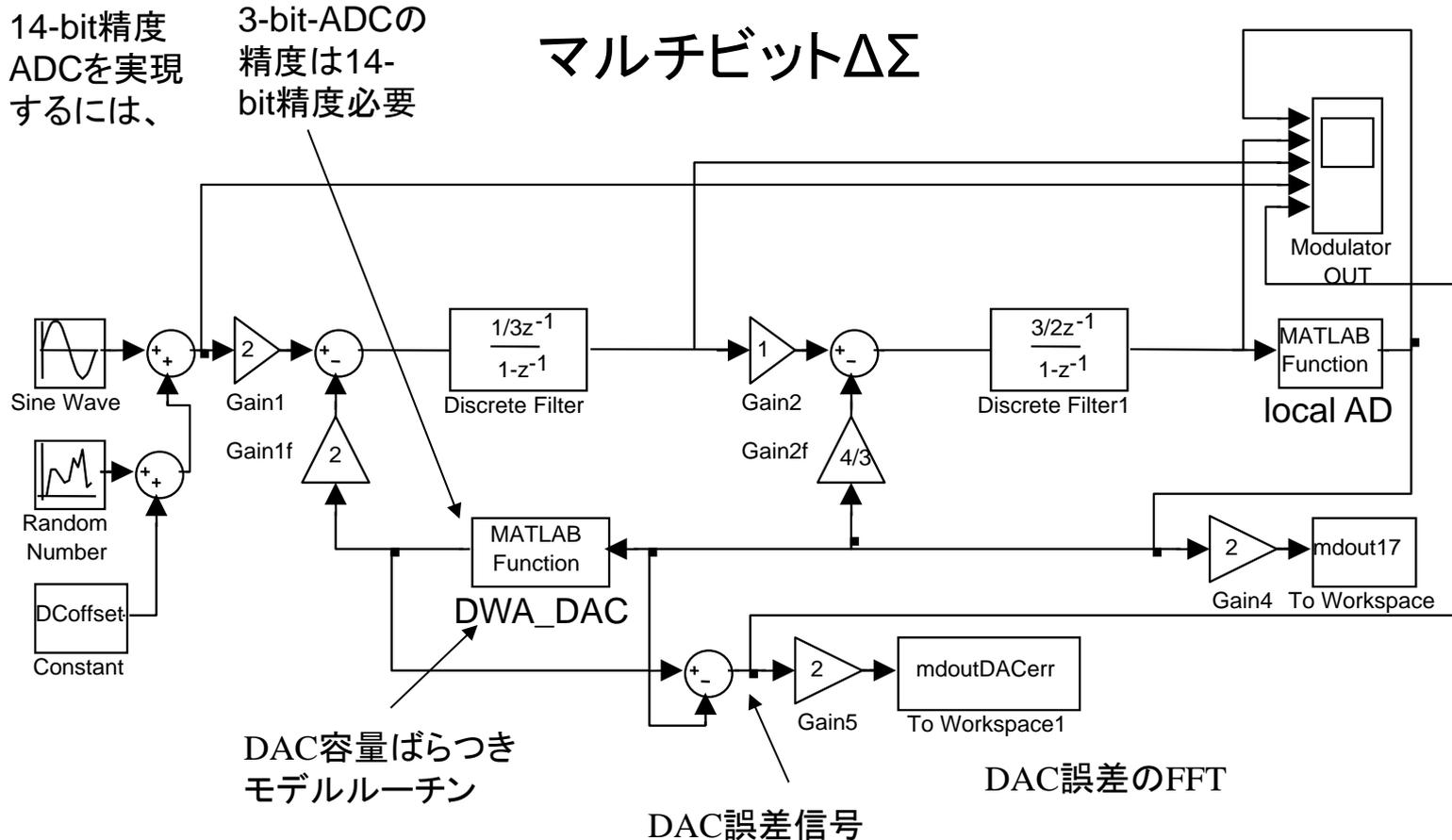
入力



4.11 DAC容量ばらつきによる雑音の混入

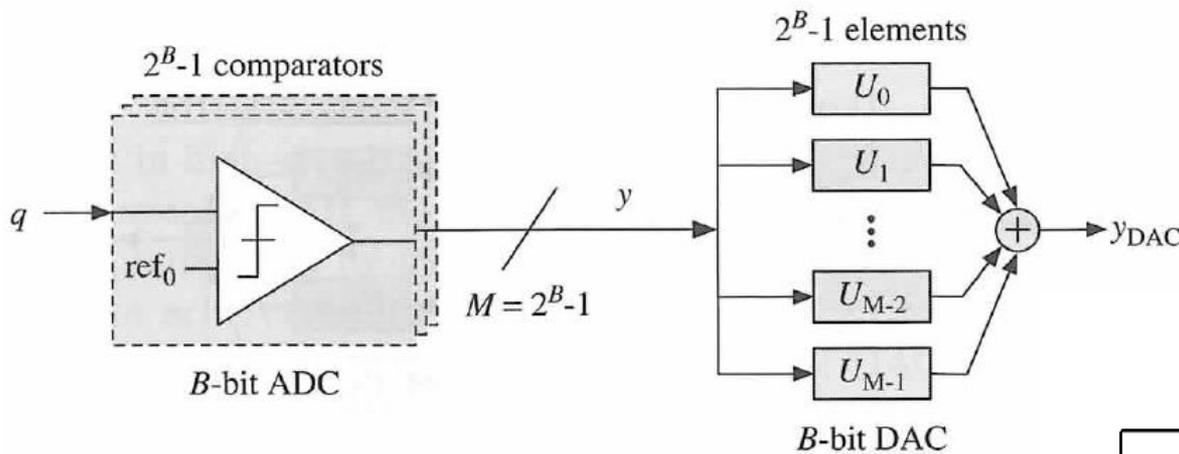
ミスマッチ・ノイズシェーピング

マルチビット $\Delta\Sigma$



MATLAB/Simulink

DAC容量ばらつきによる雑音の混入

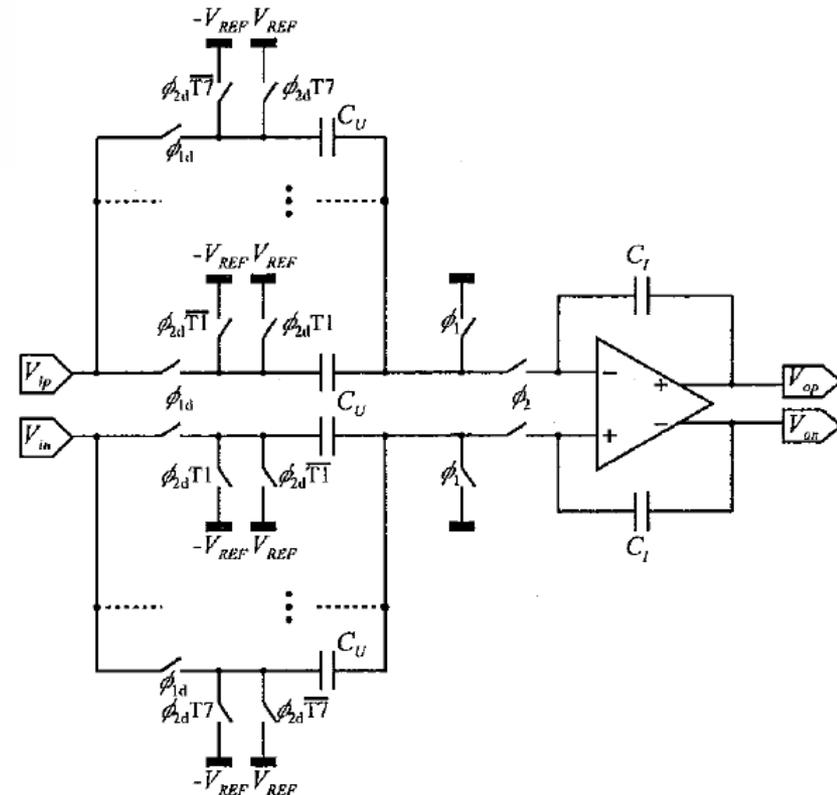


マルチビット $\Delta\Sigma$

マルチビット $\Delta\Sigma$ の内部DACの構成

単位素子を何個オンするかでDAC動作させる。

単位素子の大きさが全部そろっていけば高精度。



DAC容量ばらつきによる雑音の混入

メイン信号は
+/-0.5Vオーダー

ADC出力

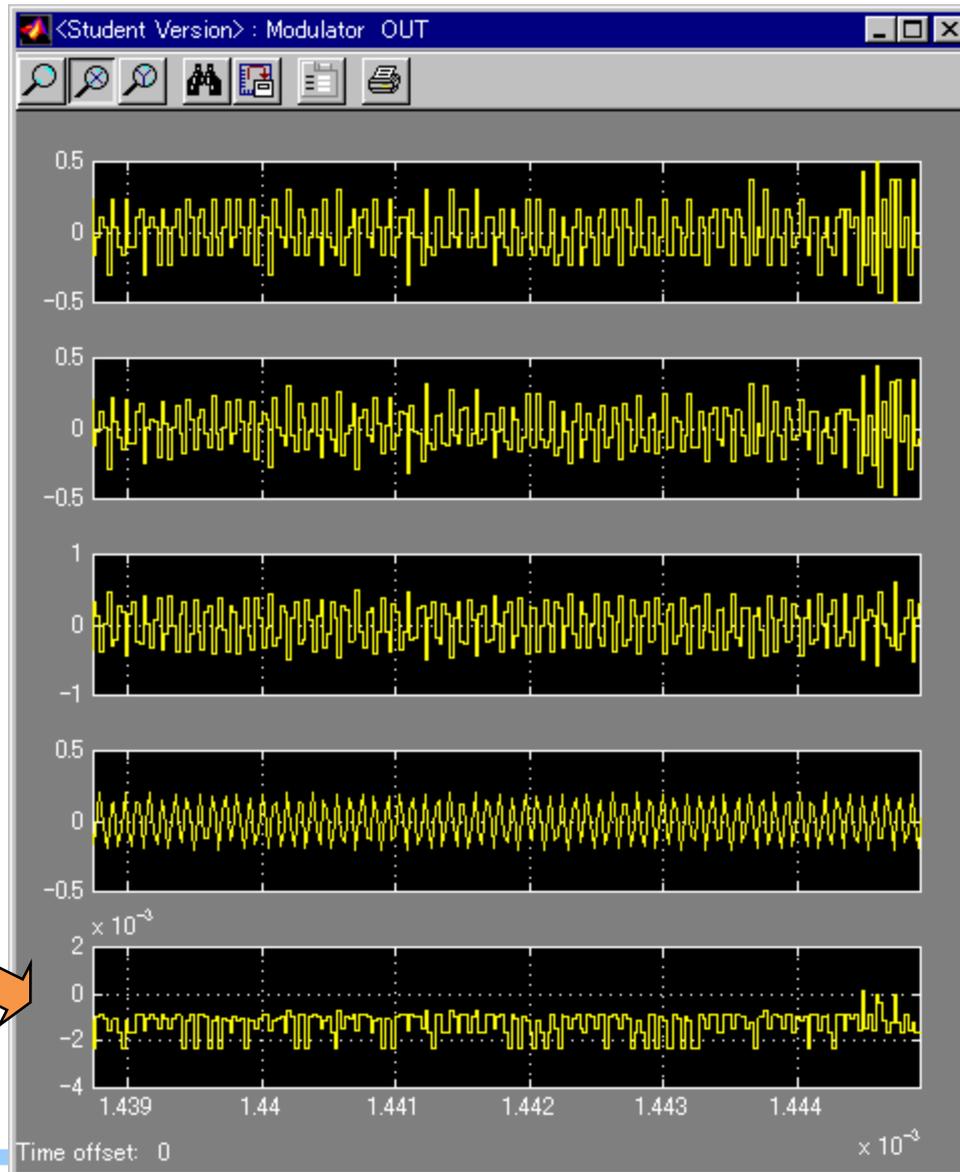
第2積分器
出力

第1積分器
出力

入力信号

雑音の混入

DAC誤差信号
+/-100 μ Vオーダー

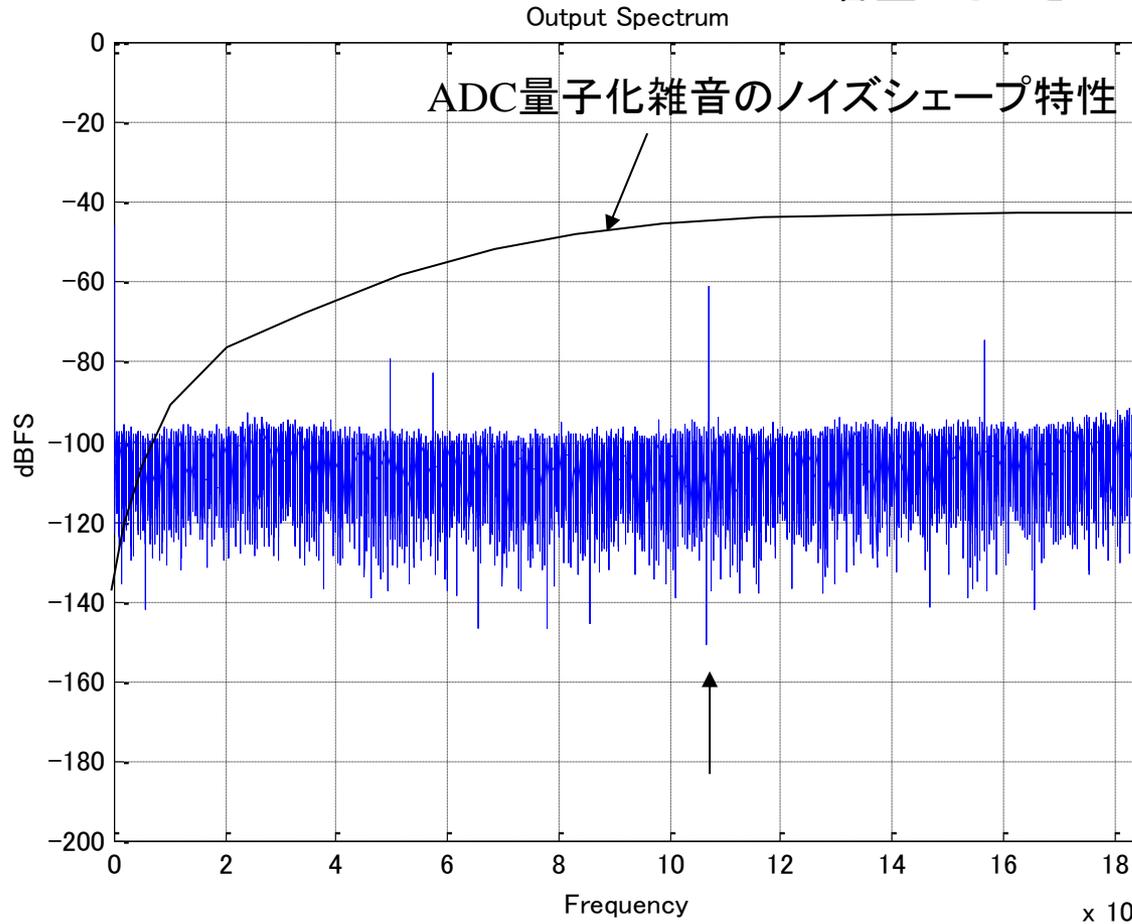


DAC容量ばらつきによる雑音の混入

容量ばらつきによるDAC誤差信号のスペクトラム

容量ばらつき1%の場合、DWAなし.

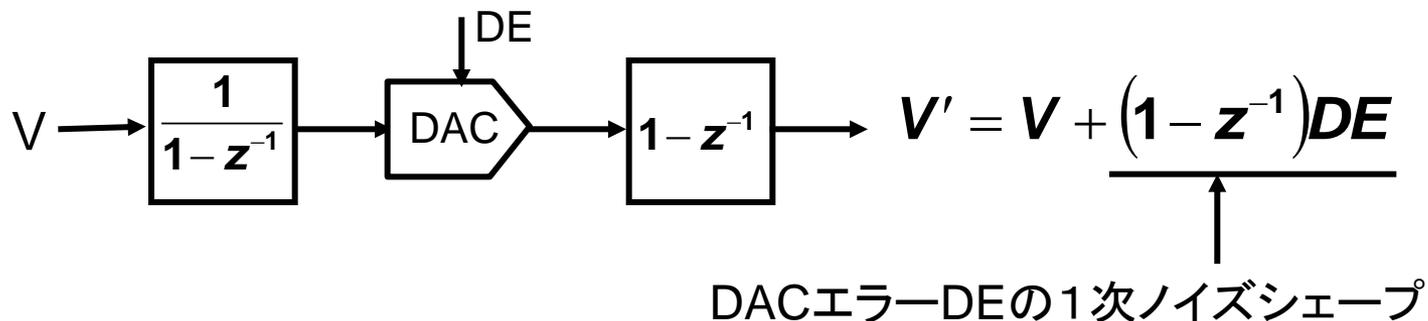
DAC誤差信号を
FFTしたもの.



ゼロ周波数でのボトムは98dB程度で、DAC誤差信号がSNRをリミットしているのが理解できる.

対策： ミスマッチ・ノイズ・シェーピング

- ・DAC容量ばらつきによるノイズを何とか除けないか？
ミスマッチをノイズシェープできないか？
- ・DACの入力信号を、まず積分して、つぎに出力で微分すると、DAC信号自体は正しい値 V' が出るのに対し、DACで加わったミスマッチによる誤差 DE は、微分され、高周波領域にノイズシェープされる。

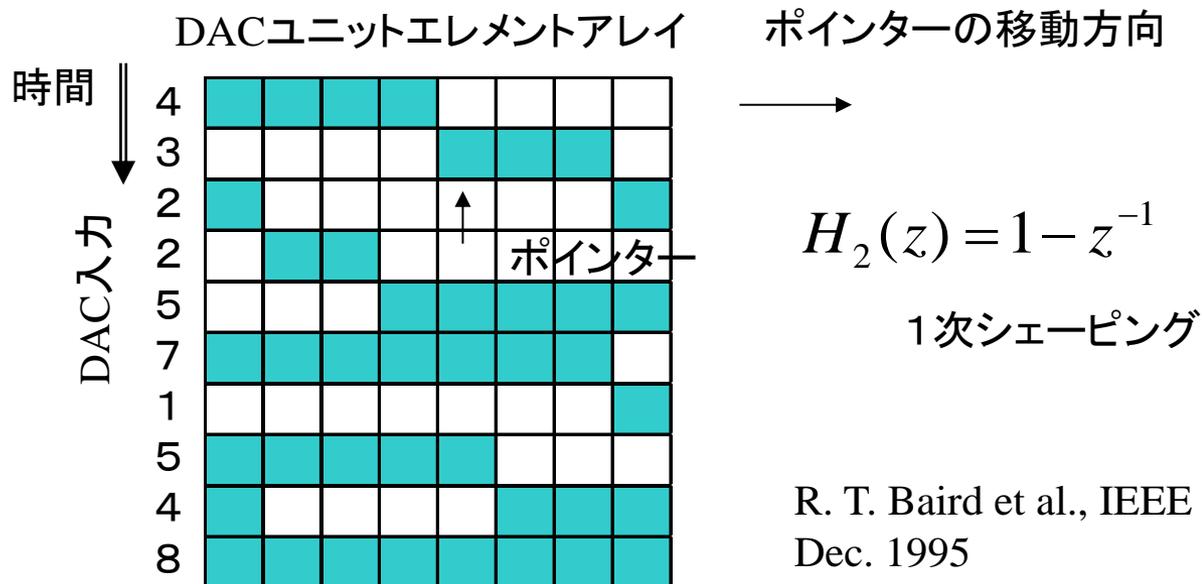


- ・では有限エレメント個数のDACでどのようにして積分と微分を実現するか？

ミスマッチ・ノイズ・シェーピング

DWAアルゴリズム

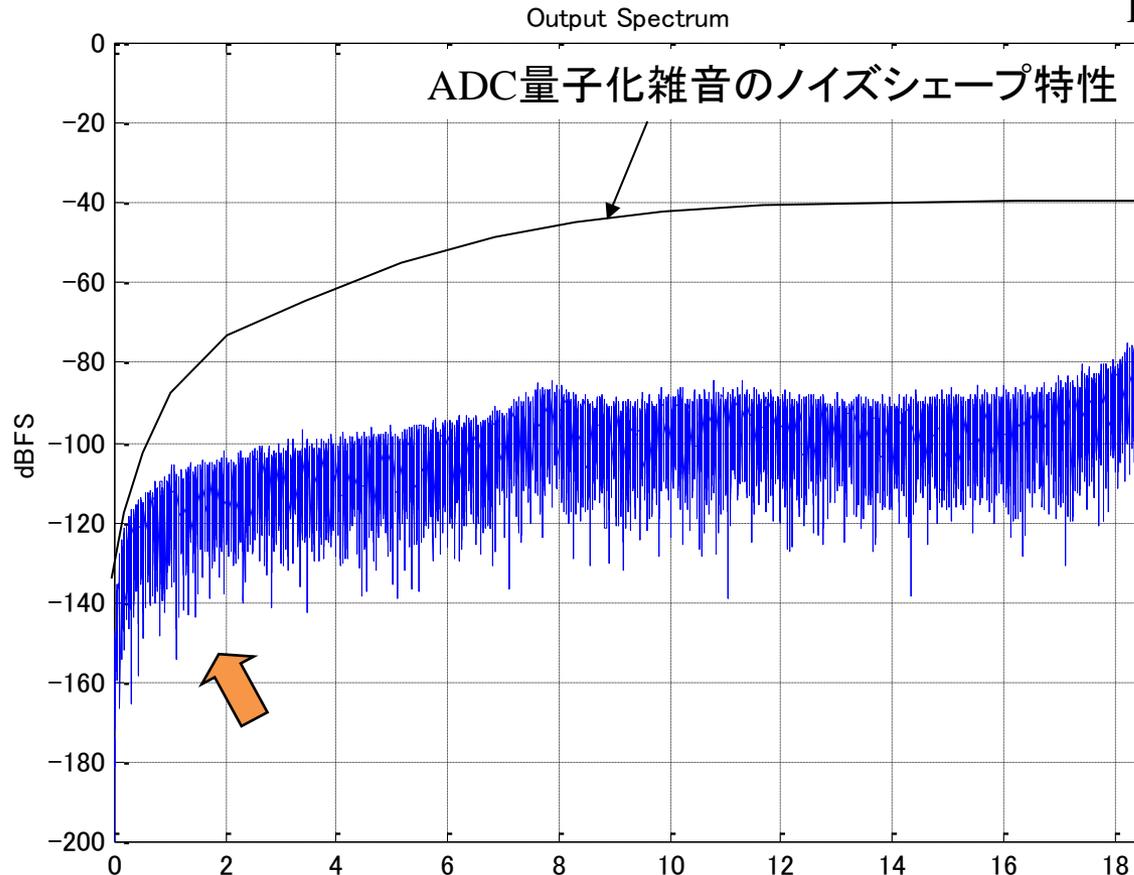
- DWA (Data Weighted Averaging): ポインタを使ってDAC容量を、順次使うことにより、ミスマッチが1次ノイズシェープされる手法。DCにゼロ点ができる。ミスマッチノイズシェープと呼ばれる。
- 時間的に要素の平均をとるという意味でダイナミックエレメントマッチングと呼ばれることもある。DWAはその一種。



ミスマッチ・ノイズ・シェーピング

DWAを行ったDAC誤差信号のスペクトラム

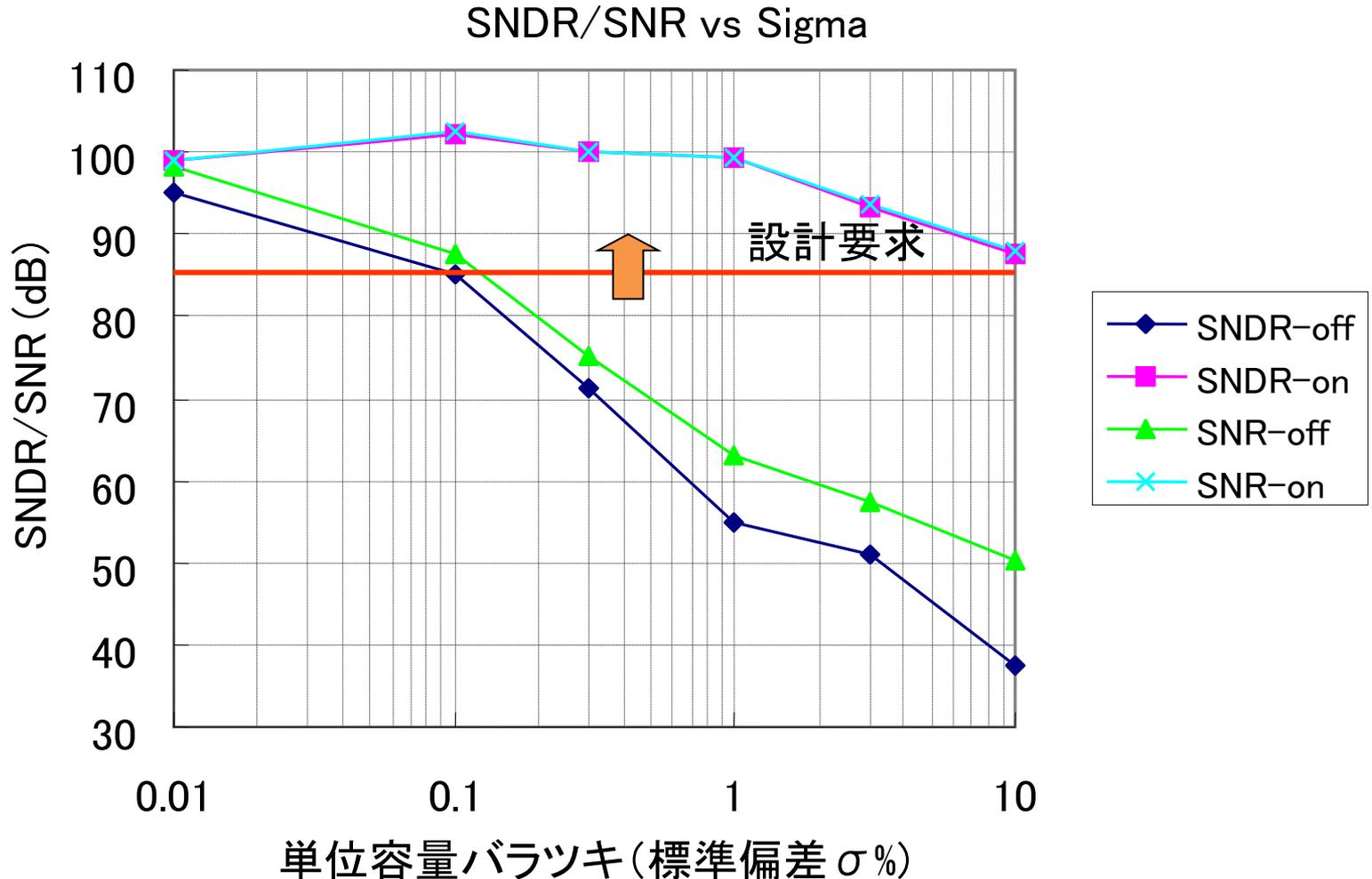
容量ばらつき1%の場合
DWAあり.



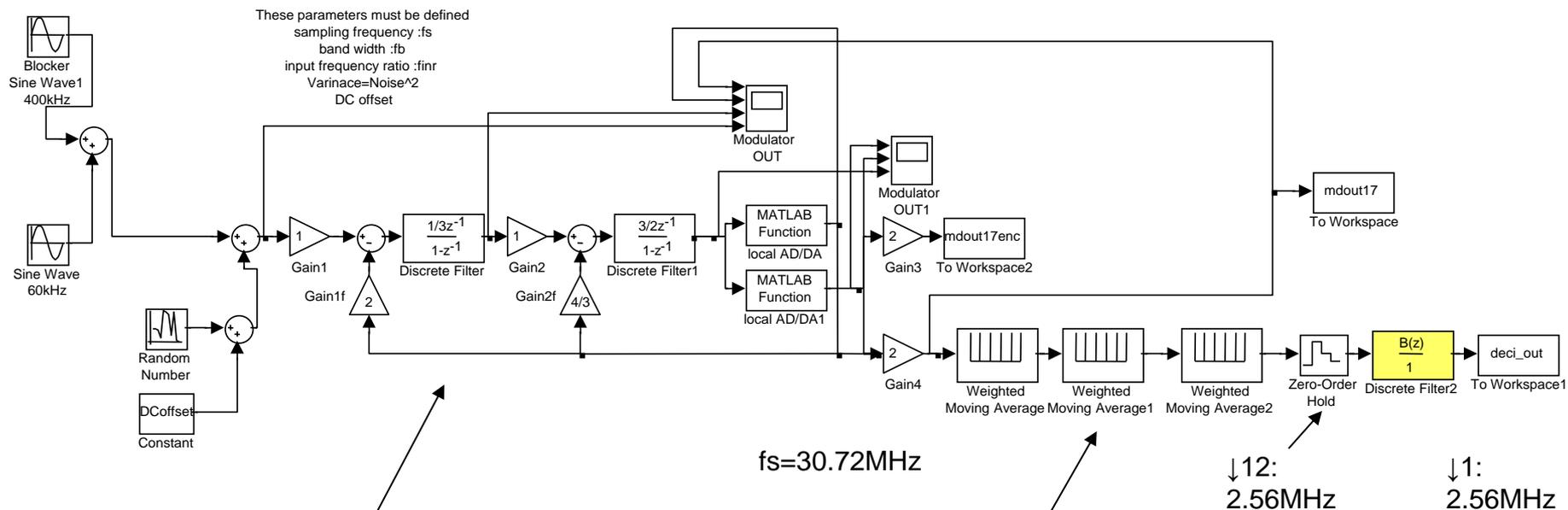
DAC容量ミスマッチばらつきによるノイズが、1次ノイズシェープされて、ゼロ周波数でノッチになる。従ってゼロ周波数でのSNRが向上する。

ミスマッチ・ノイズ・シェーピングによるSN改善

DWAによるSNR/SNDR改善



ΔΣ変調器とデシメーションフィルタの構成案



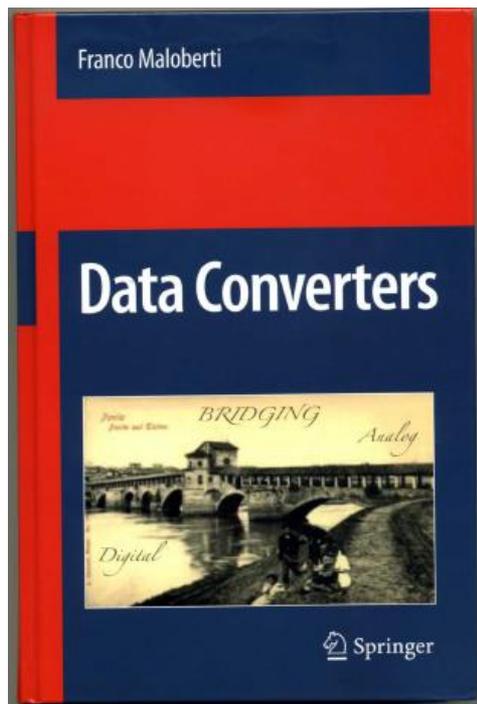
構成要素:

- 1) 2次3-bitΔΣ変調回路
- 2) 12サンプル移動平均フィルタx3 (36クロック遅れ@30.72MHz, 3クロック@2.56MHz)
- 3) 0.2fsデジタルFIRフィルタ(～30タップ:30クロック遅れ@2.56Hz)
- 4) ハーフバンドフィルタが使えるならハードウェア規模が小さくなる。

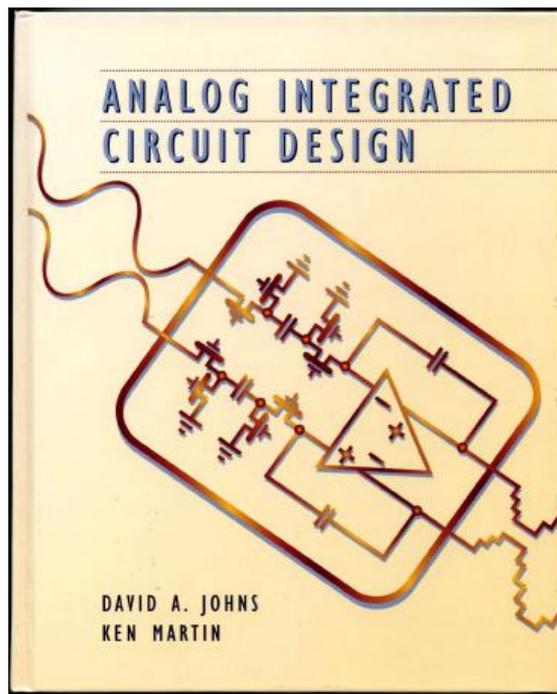
$\Delta\Sigma$ A/D変換器のまとめ

- 1) $\Delta\Sigma$ A/D変換器について、その動作原理を解説し、各種構成法を紹介、実際の設計について述べた。
- 2) 微細化・低電圧化でアナログ回路は作りにくくなるが、 $\Delta\Sigma$ は回路要素のアナログ的精度が必要な部分が少なく、高精度な変換が実現できるため、デジタル主体のLSIになじみ易く、今後さらに活用されてゆくと考えられる。
- 3) ただし設計には $\Delta\Sigma$ 特有の知識や設計手法が必要である。
例えば、量子化器の非線形性のために生まれるアイドルトーンといった問題や、高精度を追及するためにマルチビット量子化器を使った場合、内部D/A変換器の容量 mismatches をダイナミックエレメントマッチングで取り除くこと、などである。
また、高精度を実現するには回路の熱雑音も考慮した設計が必要である。

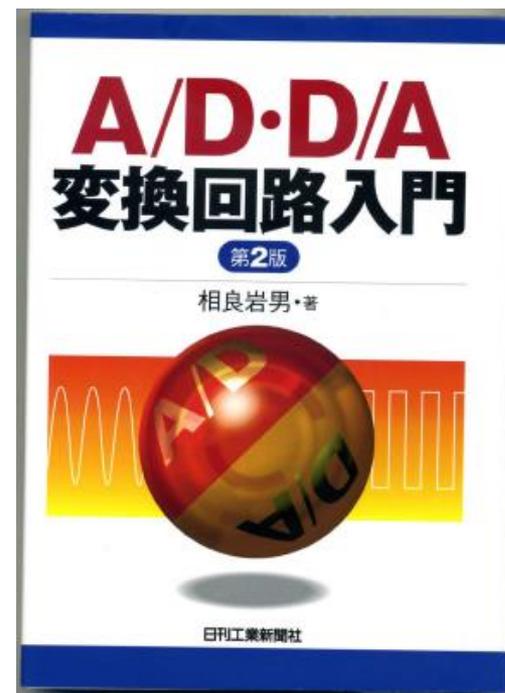
AD/DA参考書（一般）



(1) Franco Maloberti 著
Springer
ISBN 978-0-387-32485-2

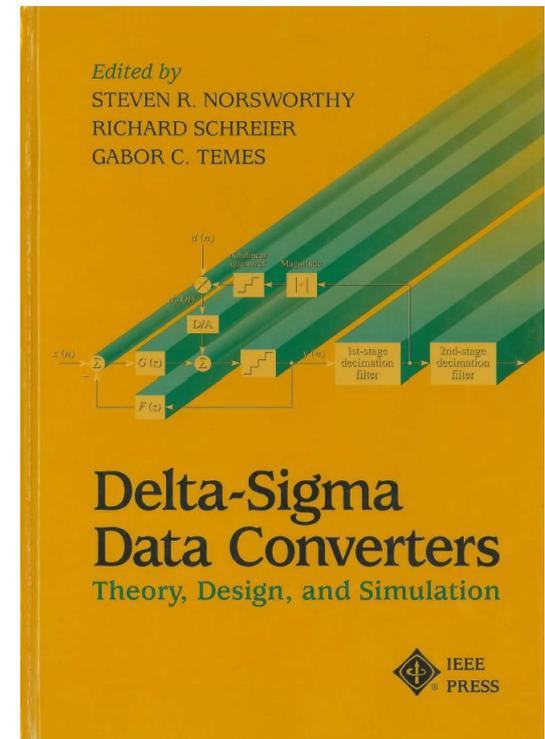
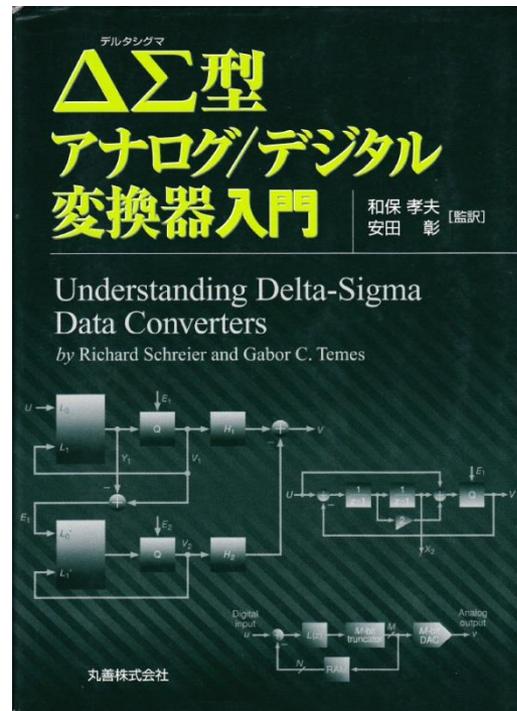
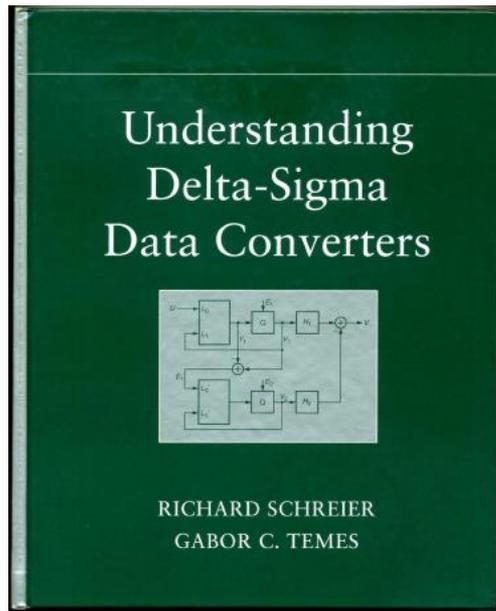


(2) David A. Johns
Ken Martin 著
Wiley
ISBN 0-471-14448-7



(3) 相良岩男 著
日刊工業新聞社

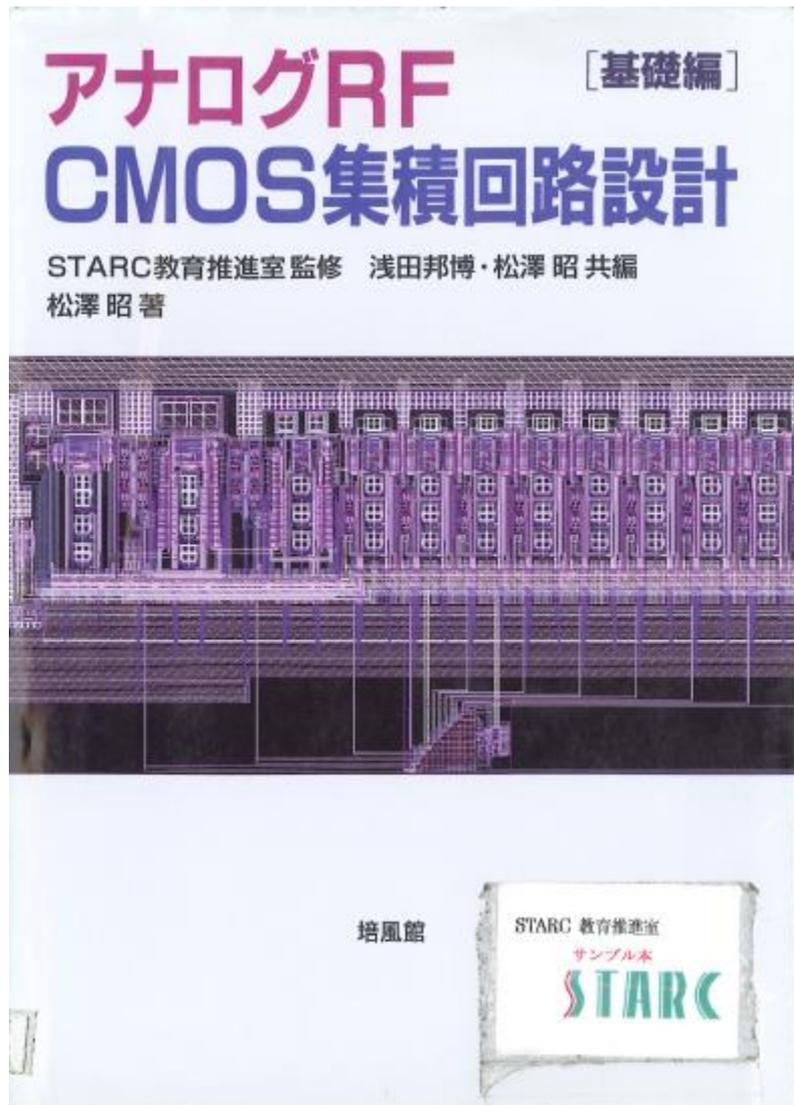
AD/DA参考書 (ΔΣADC)



(4) Richard Schreier
Gabor C. Temes 著
Wiley-Interscience
ISBN 0-471-46585-2

(4) 翻訳、丸善株式会社
ISBN 978-4-621-07872-3
9,500円+税

(5) S. Norsworthy
Richard Schreier
Gabor C. Temes 著
IEEE Press
ISBN 0-7803-1045-4



1) アナログRF CMOS集積回路 [基礎編]
 STARC教育推進室 浅田邦博、松澤明
 共編 培風館、8,000円

2) アナログRF CMOS集積回路 [応用編]
 STARC教育推進室 浅田邦博、松澤明
 共編 培風館

参考文献

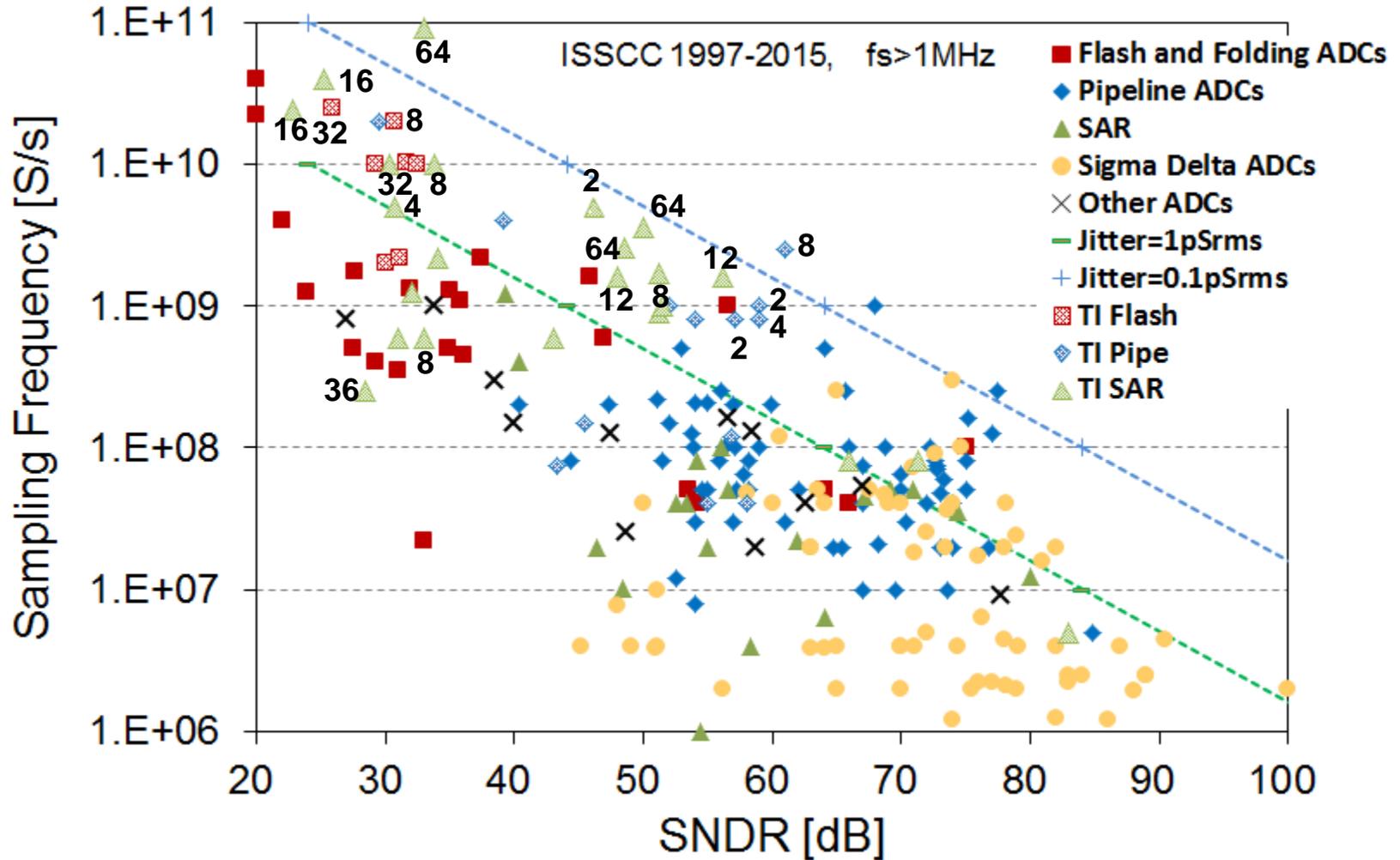
- 1) アナログRF CMOS集積回路 [基礎編]
STARC教育推進室浅田邦博、松澤明共編 倍風館
- 2) アナログRF CMOS集積回路 [応用編]
STARC教育推進室浅田邦博、松澤明共編 倍風館
- 3) 金沢大学 RF_AMS LSI設計の概要 (公開資料)
- 4) Data Converters, Franco Maloberti, Springer, ISBN978-0-387-32485-2
- 5) CMOS Mixed-Signal Circuit Design, second edition,
R. Jacob Baker, IEEE Press, and Wiley
- 6) Analog Integrated Circuit Design, David A Johns, Ken Martin, Wiley, ISBN
0-471-14448-7
- 7) A/D・D/A変換回路入門 相良岩男 日刊工業新聞社
- 8) 東京工業大学 松澤研究室 Web, 2011/09/13 電情報通信学会研究会
- 9) Nano-CMOS Circuit and Physical Design, Ban P. Wong,
Anurag Mittal, Yu Cao and Greg Starr, WILEY-INTERSCIENCE, 2005
- 10) CMOS Analog Circuit Design, Phillip E. Allen, Douglas R. Holberg,
Oxford University Press, 2002

参考文献

- 11) A Small-Chip-Area Transceiver IC for Bluetooth Featuring a Digital Channel-Selection Filter, Masaru Kokubo, Tatsuji Matsuura, et. al. IEICE Trans. Electron, Vol. E87-C, No. 6, June 2004
- 12) A 240-Mbps, 1W CMOS EPRML Read-Channel LSI Chip Using an Interleaved Subranging Pipeline A/D Converter, Tatsuji Matsuura, et. al. IEEE Journal of Solid State Circuits, Vol. 33, No. 11, November 1988, pp.1840-1850
- 13) 応用電子回路工学 松澤 昭 電気学会大学講座 2014年6月, A5判, 並製 276頁, 3,024円
- 14) 基礎電子回路工学 松澤 明 電気学会大学講座、A5判, 並製, 260頁, 2,916円

付録 学会で発表されている AD変換器の性能

ISSCC, VLSIでのADCの性能 (SNDR vs. f_s)



数字はタイムインターリーブのチャンネル数

ISSCC, VLSIでのADCの性能 (SNDR vs P_w/f_s)

