

高信頼性N-ch LDMOSの提案 —民生用電源から車載用への展開—

松田順一

群馬大学

2018年12月25日（火）

トスラブ山王（山王健保会館）2階 会議室

概要

- LDMOSの用途と車載品への展開
- 従来(基本)LDMOSの問題点
- 高信頼性 30–50(20–40) V 用LDMOSの提案
- 高信頼性 60–100 V 用LDMOSの提案
- まとめ
- 謝辞
- 参考文献

シミュレーション: 3次元デバイスシミュレータ **Advance/TCAD** を使用

LDMOSの用途と車載品への展開

- ・低電力の電圧変換用の集積型スイッチングデバイス
- ・パワーアンプの出力増幅用デバイス

例: POL (Point of Load) 用電源、液晶パネルのLEDバックライト用電源、
携帯電話及び携帯電話基地局用パワーアンプなど

民生品

スイッチング電源の
高効率化と高周波化(小型化)

- ・低特性オン抵抗
- ・低スイッチング損失

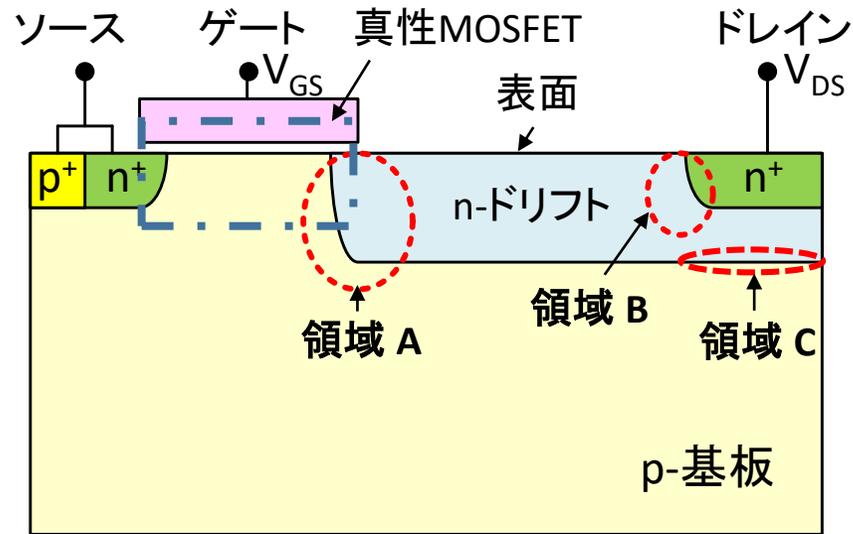


車載品(携帯電話基地局も含む)

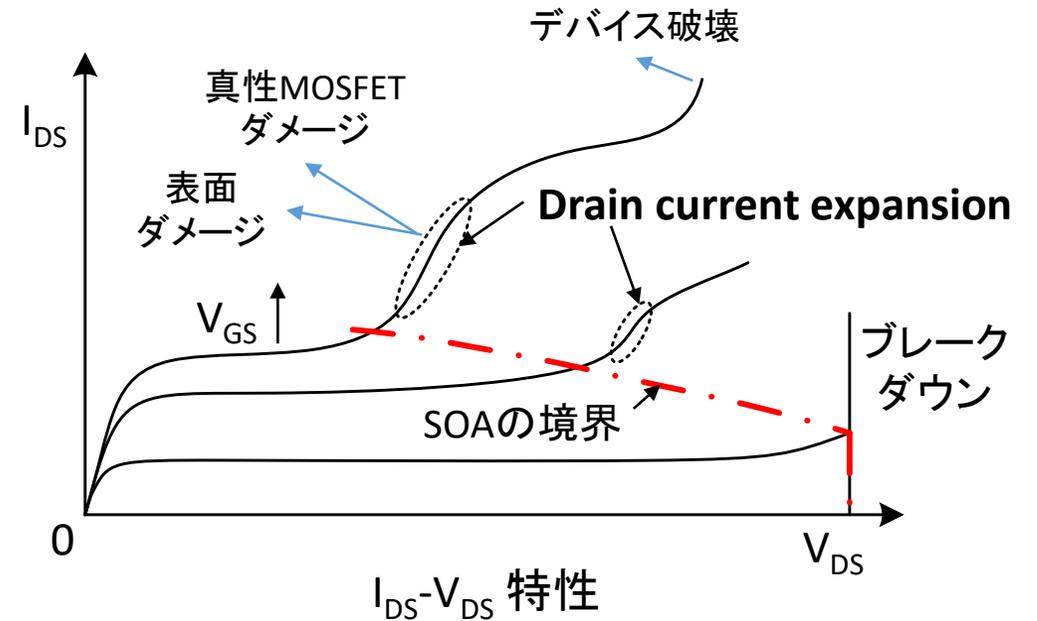
民生品の要求に加えて**高信頼性**

- ・高ホットキャリア耐性
- ・広SOA (Safe Operating Area)

基本LDMOSの問題点

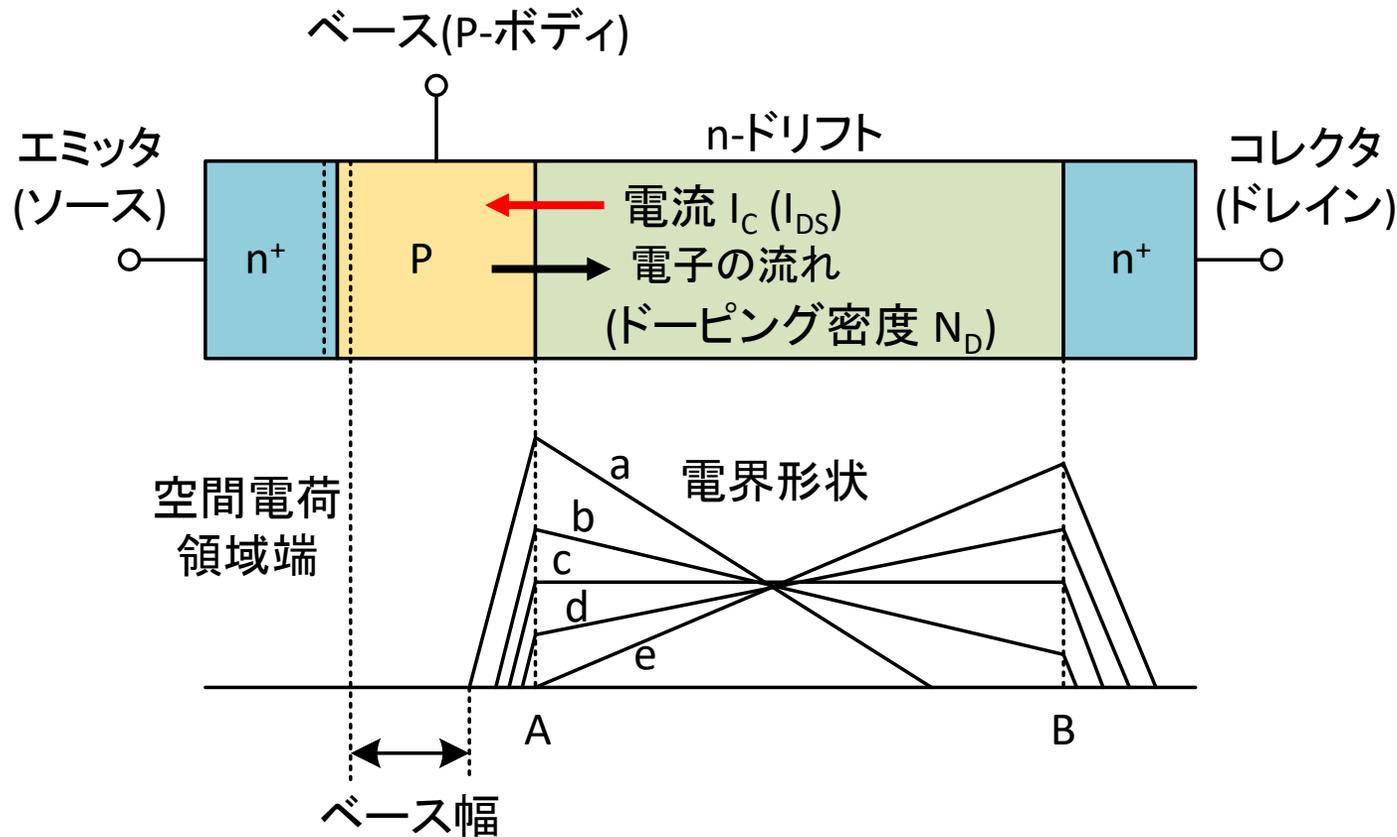


基本LDMOSの断面



- 問題
- (1) **低ホットキャリア耐性**
⇒ 領域 A 内の高電界に起因: DAHC (drain avalanche hot carriers)を誘起
 - (2) **ドレイン電流の拡張 (Drain current expansion (CE))**: 狭いSOA
⇒ 領域 B 内のKirk効果による高電界に起因
 - (3) **高特性オン抵抗**
⇒ n-ドリフト領域の低不純物濃度に起因
 - (4) **耐圧の低下**
⇒ 領域 C 内の高電界に起因

Kirk効果のモデル



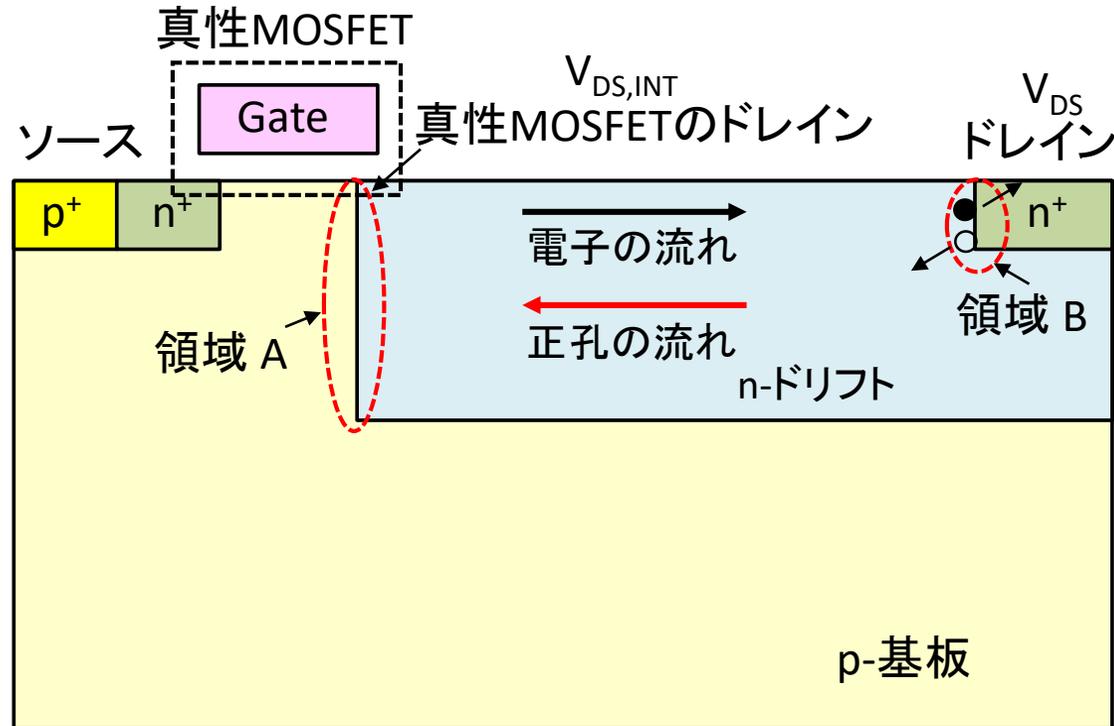
■ $I_C (I_{DS})$ 増大

- ⇒ 電界形状は“a” から “e”へ変化
- ⇒ **電界ピークは “A” から “B”へ移動**
- ⇒ ベース幅拡大
(**Base widening or Kirk effect**)

■ N_D 増大

- ⇒ 電界ピークが “A” から “B”へ移動
するにより高い $I_C (I_{DS})$ が必要
- ⇒ 固定 $I_C (I_{DS})$ では “B” での電界は低下

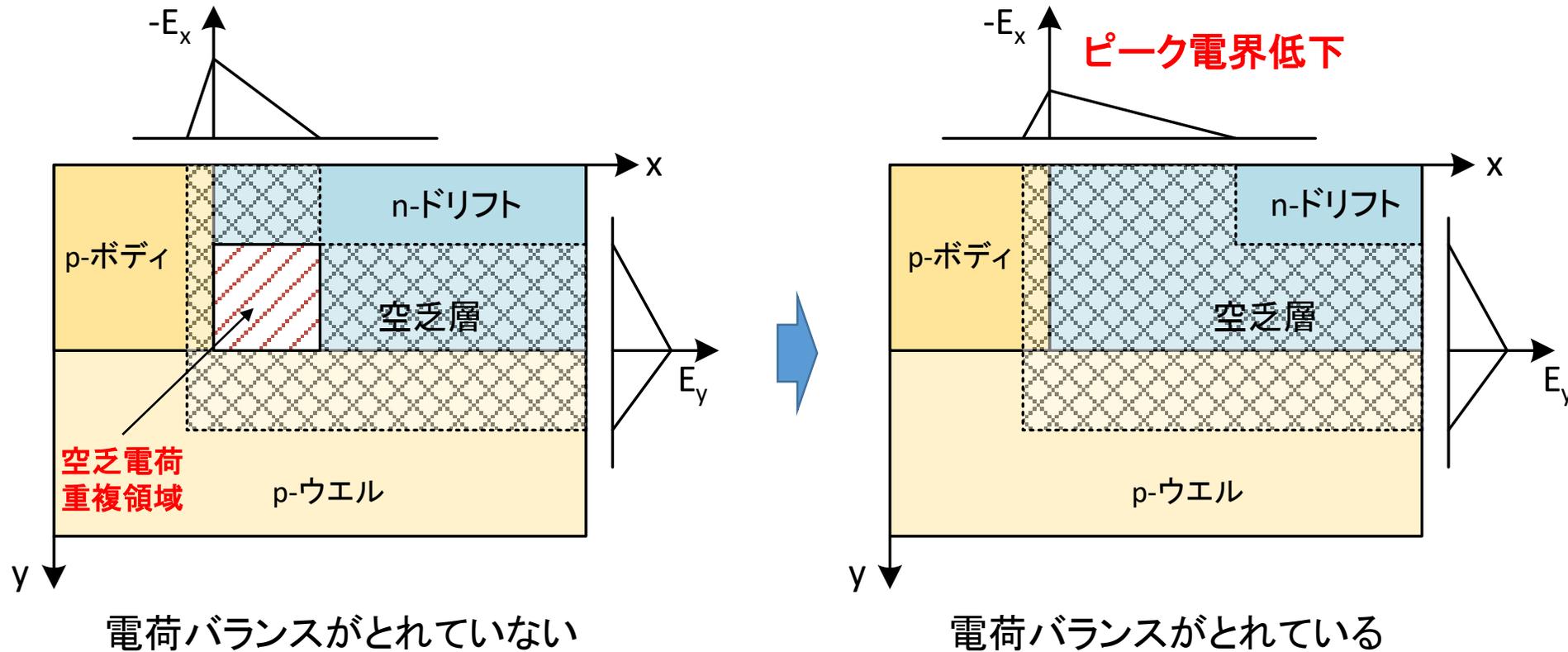
Current Expansion (CE) のモデル



- ① 電子による高電流
- ② 領域 B で高電界発生 (∵ Kirk 効果)
- ③ 領域 B でインパクトイオン化による電子正孔対発生
- ③ 領域 B から正孔電流発生
- ④ n-ドリフト領域で抵抗低下(伝導度変調)
- ⑤ 真性MOSFETのドレイン電圧 $V_{DS,INT}$ 上昇
- ⑥ I_{DS} 増大 (CE発生) (∵ 真性MOSFET: 線形動作)
- ⑦ I_{DS} 飽和 (∵ 真性MOSFET: 飽和動作)

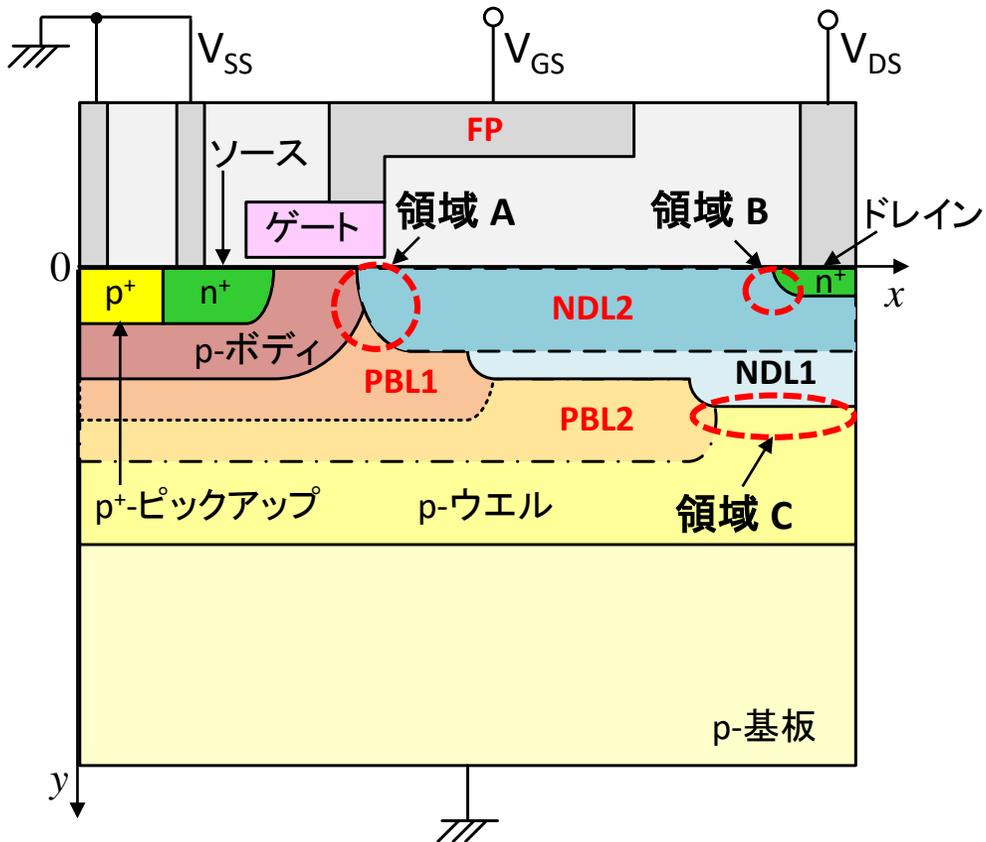
Ref. S. Poli, S. Reggiani, R. K. Sharma, M. Denison, E. Gnani, A. Gnudi, and G. Bacarani, IEEE Trans. Electron Devices, 59, p. 745 (2012).

RESURF (Reduced Surface Field)のモデル



高信頼性 30-50(20-40) V 用 LDMOSの提案

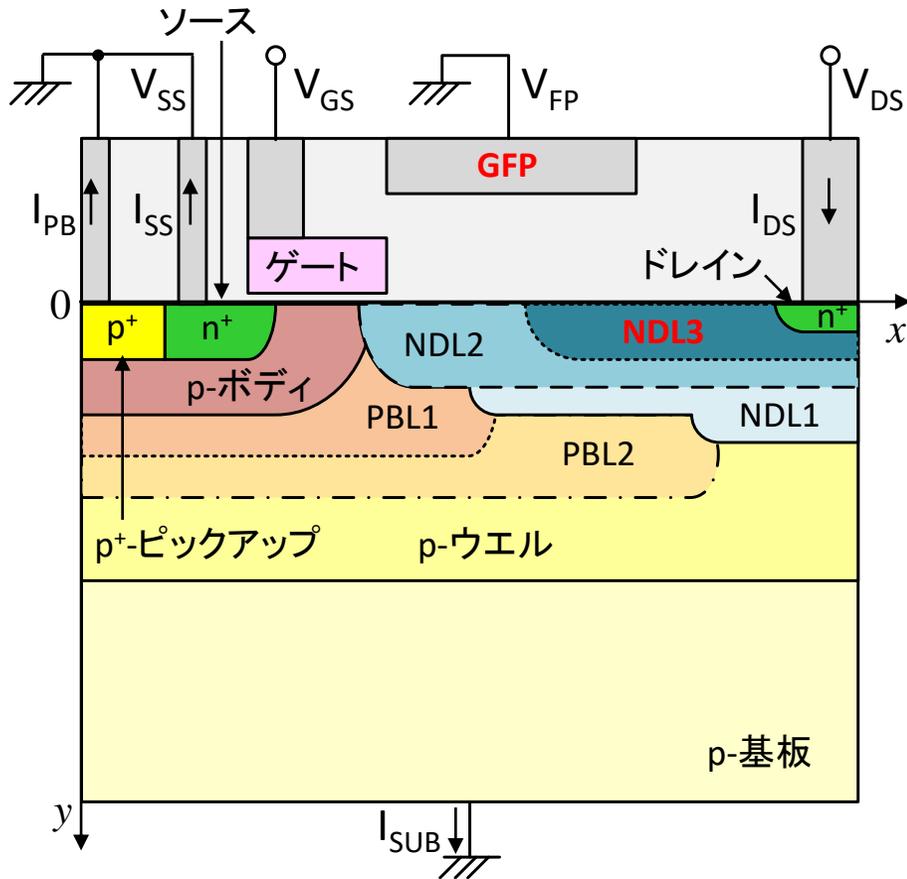
高信頼性 30-50 V LDMOS: 提案(1) (1)



提案された 30-50 V LDMOS の断面
(1セル: $3.725 \mu\text{m} \times 0.3 \mu\text{m}$)
0.35 μm CMOS compatible process

- 2層のp型埋め込み層 (**Dual RESURF** 構造)
 - ・PBL1: 領域 A のRESURF強化⇒**高ホットキャリア耐性**
 - ・PBL2: ① ドリフト領域内の均一電界
② 領域 C の耐圧低下防止
- 2層のn-ドリフト層
 - ・NDL1: ドリフト領域の基本層
 - ・NDL2: **特性オン抵抗低減**
CE 抑制(領域 B のKirK効果による電界低減)
- フィールドプレート FP (**ゲートへ接続**)
 - ・ドリフト領域のRESURF補強
 - ・**Miller 容量の増大⇒スイッチング損失増大(問題)**
- **スケーラブルLDMOS**
 - ・回路設計の自由度向上
 - ・低コストプロセス

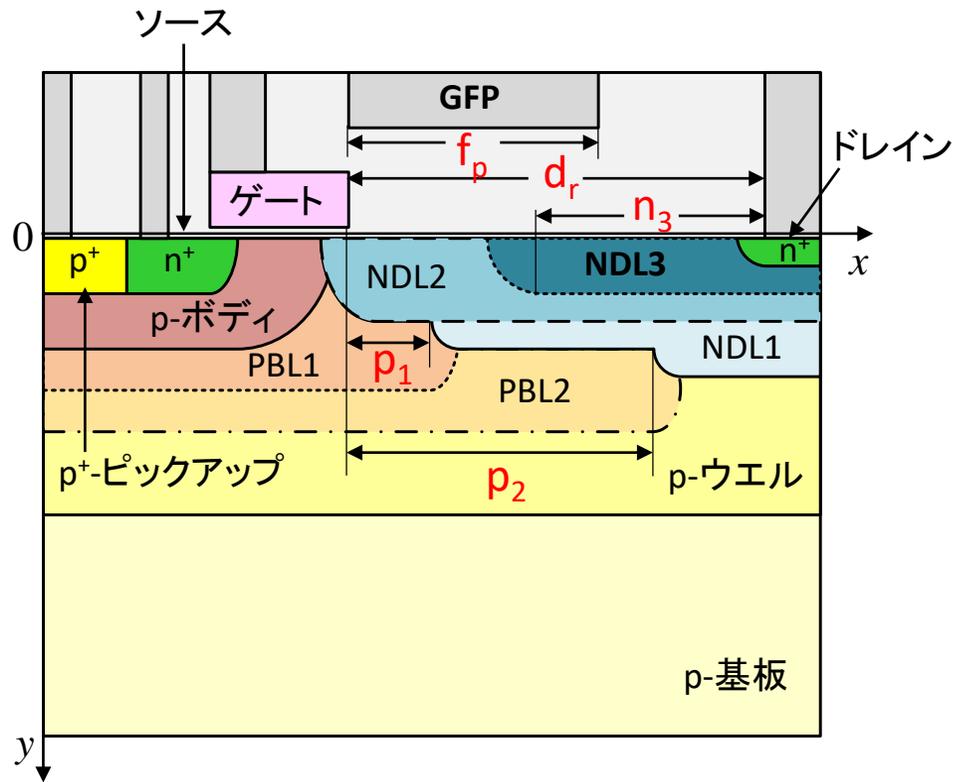
高信頼性 20-40 V LDMOS: 提案(2) (2, 3)



提案された 20-40 V LDMOS の断面
(1セル: $3.555 \mu\text{m} \times 0.3 \mu\text{m}$)
0.18 μm CMOS compatible process

- 2層のp型埋め込み層 (Dual RESURF 構造)
 - ・PBL1 とPBL2: 提案(1)と同じ
- 3層のn-ドリフト層
 - ・NDL1 とNDL2: 提案(1)と同じ
 - ・NDL3: 特性オン抵抗低減とCE抑制
(GFPによる特性オン抵抗増大の抑制)
- 接地されたフィールドプレート GFP (Grounded Field Plate)
 - ・ドリフト領域のRESURF補強
 - ・Miller容量低減⇒スイッチング損失低減
- スケーラブルLDMOS
 - ・回路設計の自由度向上
 - ・低コストプロセス

スケラブルLDMOS

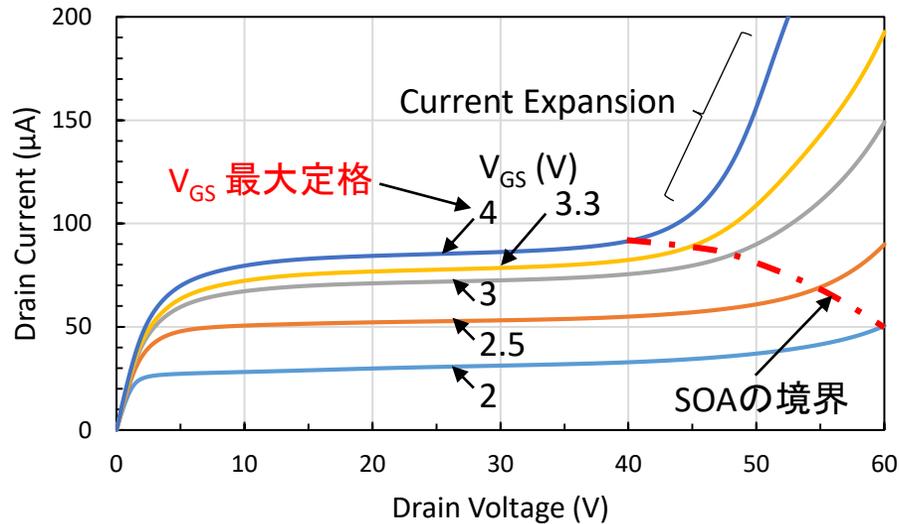


■ ドリフト領域の縮小

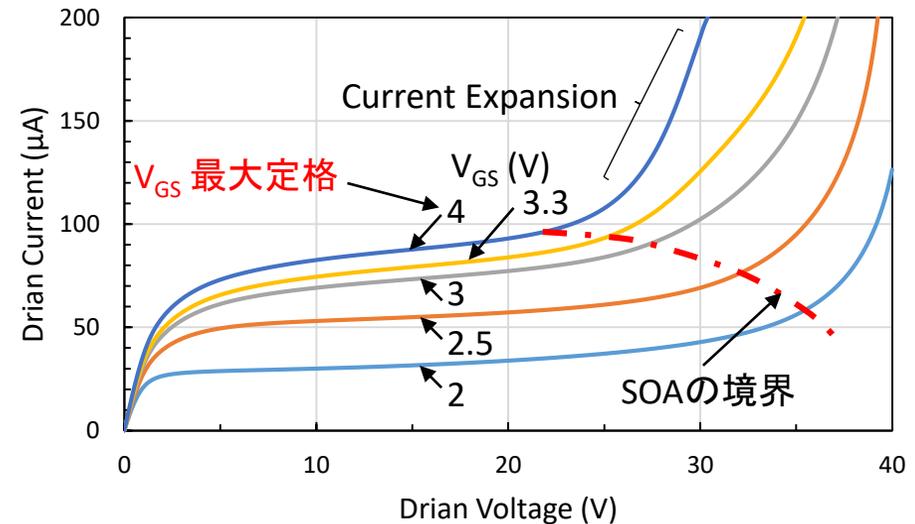
- ・ p_1 , p_2 , 及び f_p を d_r の縮小に比例して縮小
- ・ n_3 は固定 (ゲート近傍の電界増大を避けるため)

f_p : ドリフト領域上のGFPの長さ
 d_r : ドリフト領域の長さ(DRL)
 n_3 : NDL3の長さ
 p_1 : ドリフト領域下のPBL1の長さ
 p_2 : ドリフト領域下のPBL2の長さ

$I_{DS}-V_{DS}$ 特性 (提案(2))



ドリフト領域
縮小



(a) ドリフト領域縮小なしデバイス(1セル: $3.555\mu\text{m} \times 0.3\mu\text{m}$)

(b) ドリフト領域50%縮小デバイス(1セル: $2.23\mu\text{m} \times 0.3\mu\text{m}$)

■ CE 発生電圧

⇒ $V_{CE} = 40\text{ V}$ (at $V_{GS} = 4\text{ V}$ 最大定格)

■ 特性オン抵抗

⇒ $R_{on}A = 40.9\text{ m}\Omega \cdot \text{mm}^2$ at $V_{GS} = 3.3\text{ V}$

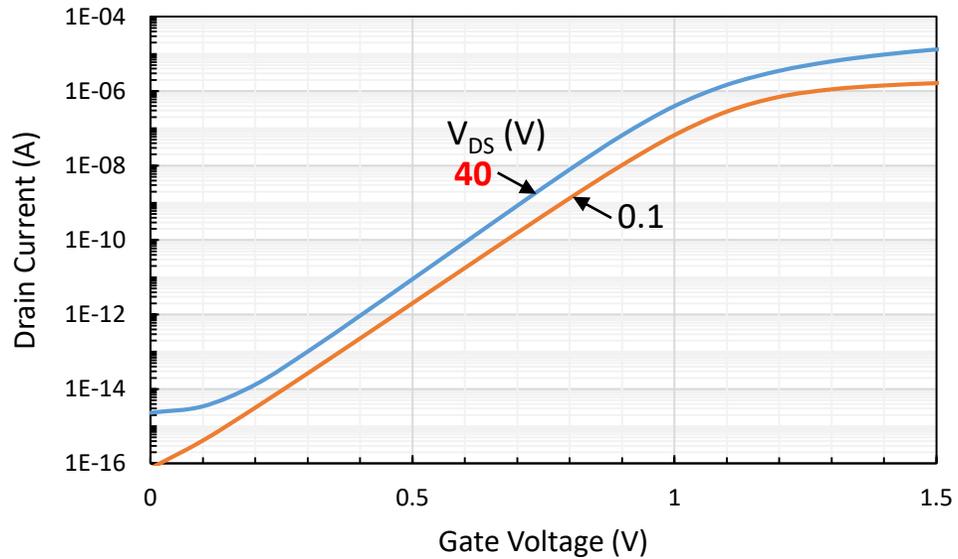
■ CE 発生電圧

⇒ $V_{CE} = 20\text{ V}$ (at $V_{GS} = 4\text{ V}$ 最大定格)

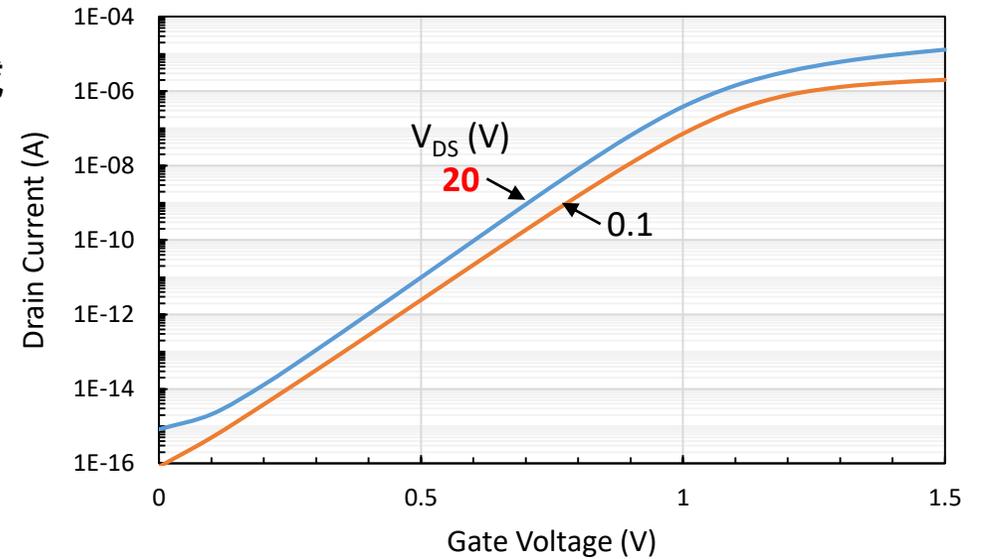
■ 特性オン抵抗

⇒ $R_{on}A = 18.4\text{ m}\Omega \cdot \text{mm}^2$ at $V_{GS} = 3.3\text{ V}$

$I_{DS}-V_{GS}$ 特性 (提案(2))



ドリフト領域
縮小



(a)ドリフト領域縮小なしデバイス(1セル: $3.555\mu\text{m} \times 0.3\mu\text{m}$)

(b)ドリフト領域50%縮小デバイス(1セル: $2.23\mu\text{m} \times 0.3\mu\text{m}$)

■ しきい値電圧 V_{TH}

V_{TH} (at $I_{DS} = 0.1 \mu\text{A}$ and $V_{DS} = 0.1 \text{V}$) = 1.026 V

■ V_{DS} 増大による V_{TH} 低下

ΔV_{TH} ($V_{DS} = 0.1\text{V} \rightarrow 40 \text{V}$) = 0.104 V

■ $V_{DS} = 40 \text{V}$ でも非常に低いリーク電流

■ しきい値電圧 V_{TH}

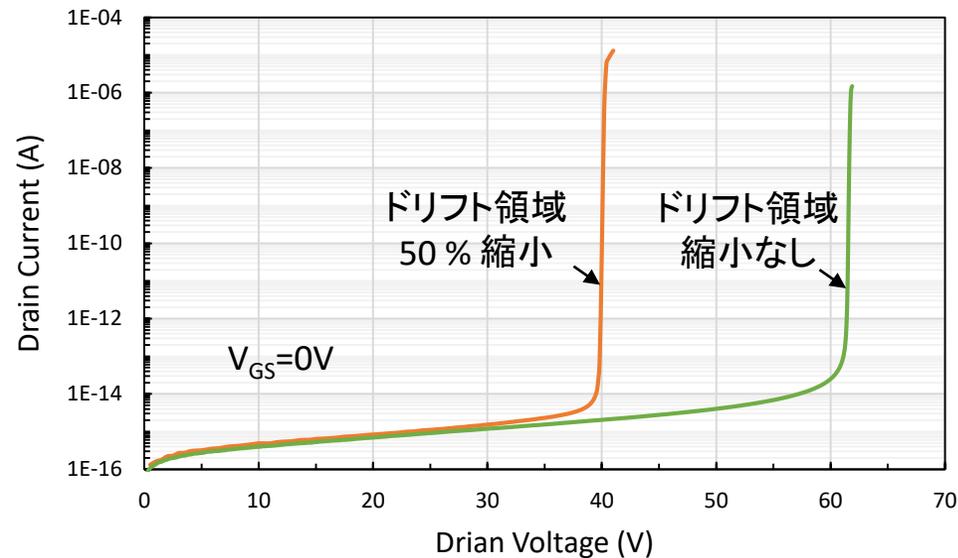
V_{TH} (at $I_{DS} = 0.1 \mu\text{A}$ and $V_{DS} = 0.1 \text{V}$) = 1.023 V

■ V_{DS} 増大による V_{TH} 低下

ΔV_{TH} ($V_{DS} = 0.1\text{V} \rightarrow 20 \text{V}$) = 0.100 V

■ $V_{DS} = 20 \text{V}$ でも非常に低いリーク電流

ブレイクダウン電圧特性(提案(2))



■ ブレイクダウン電圧 BV_{DS} (at $I_{DS} = 1 \times 10^{-13}$ A)

・ドリフト領域50% 縮小デバイス: $BV_{DS} = 39.8$ V

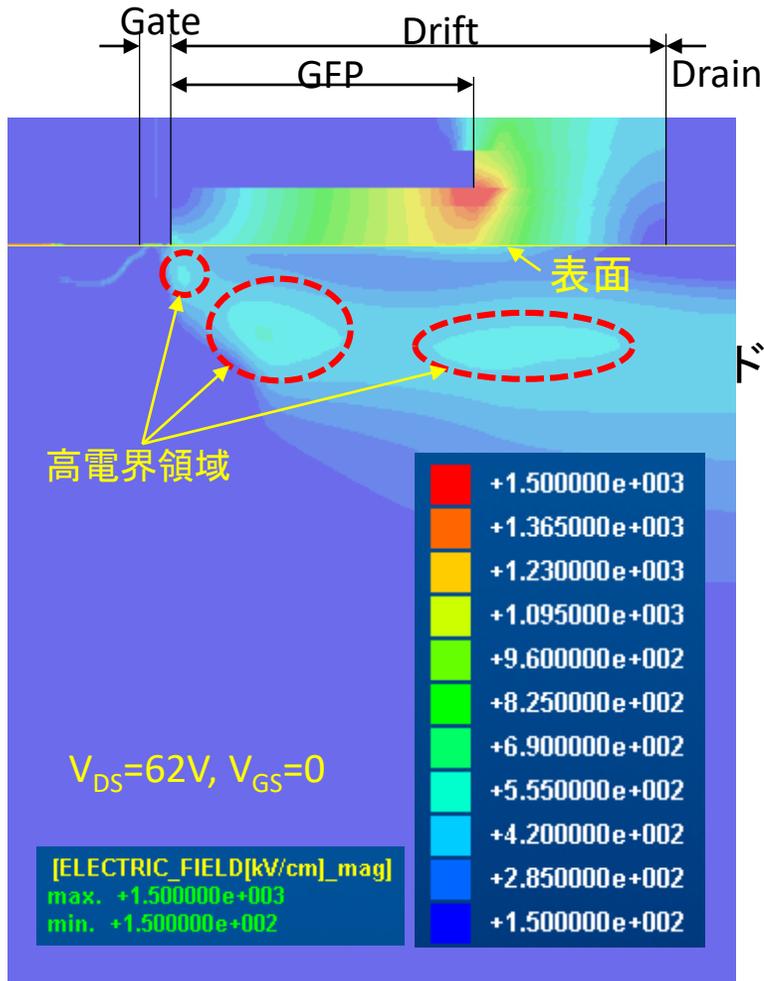
⇒ 20 V 動作に十分な余裕あり

・ドリフト領域縮小なしデバイス: $BV_{DS} = 61.9$ V

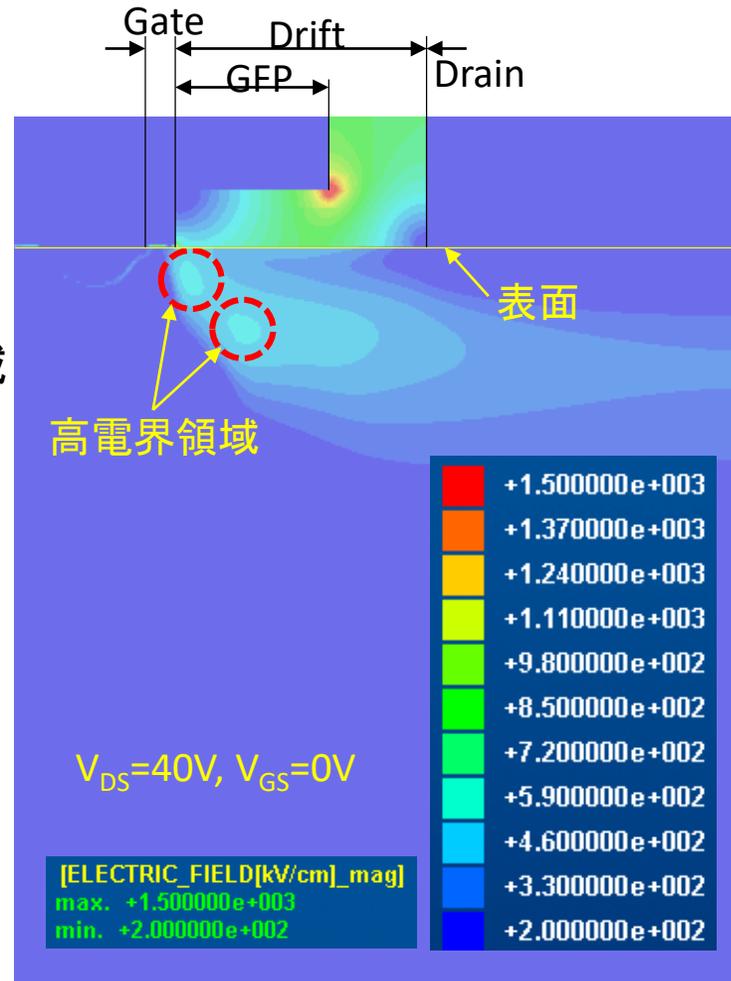
⇒ 40 V 動作に十分な余裕あり

20-40 V LDMOS提案(2)のブレイクダウン電圧特性

ブレイクダウン時の電界分布(提案(2))



(a)ドリフト領域縮小なしデバイス



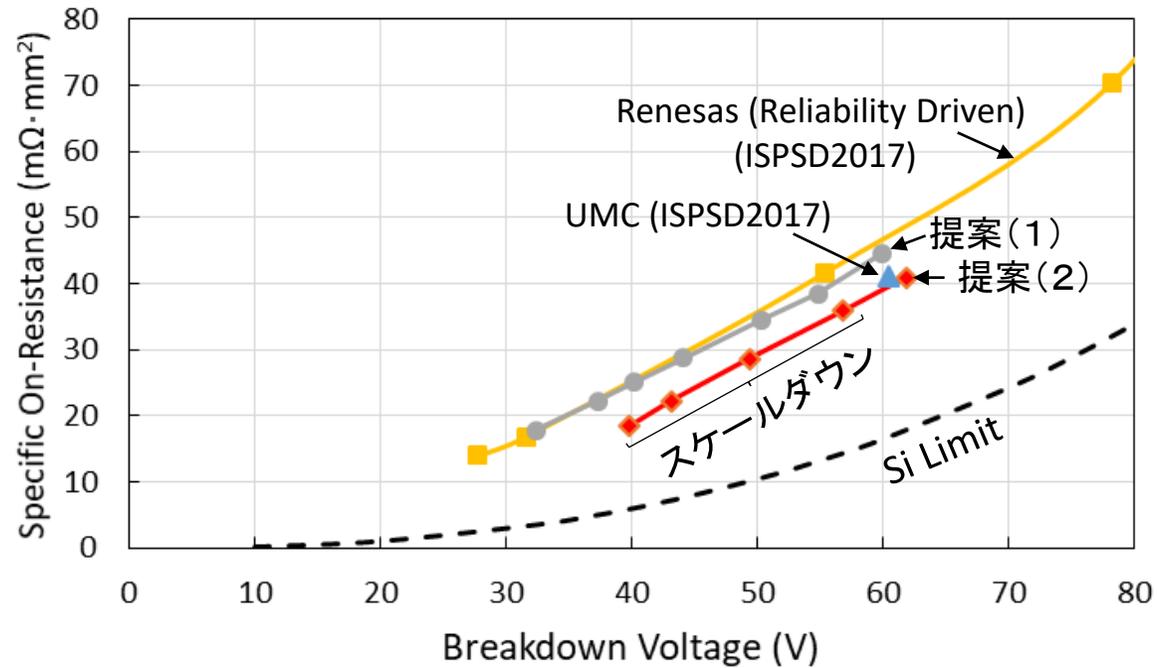
(b)ドリフト領域50%縮小デバイス

■ 高電界領域
(ブレイクダウン箇所)
⇒ 両デバイス共バルク



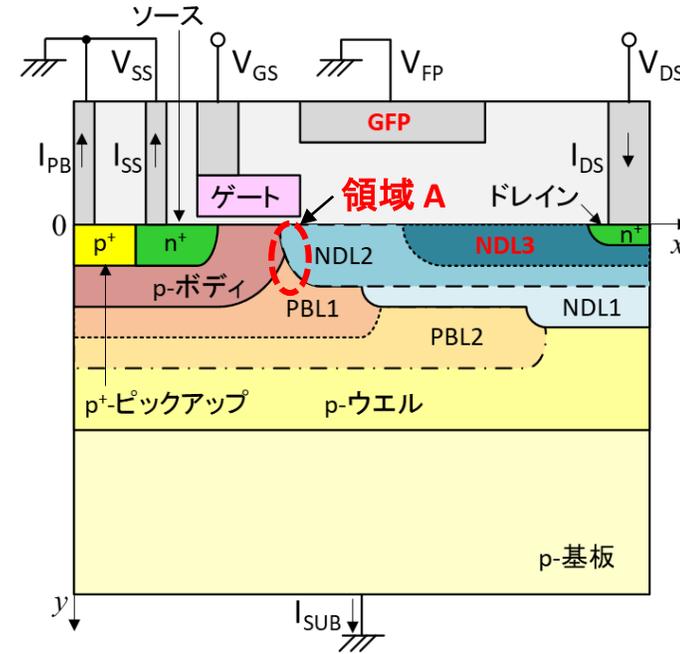
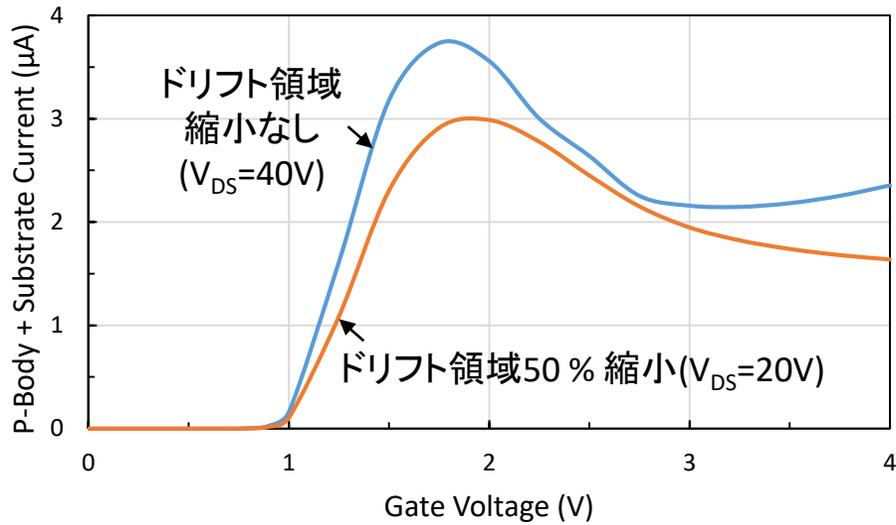
両デバイスのESD耐性は
高いと推定

$R_{on}A-BV_{DS}$ 特性



- 提案(2) デバイスの $R_{on}A-BV_{DS}$
 - ⇒ UMC (ISPSD2017) の特性とほぼ同じ
 - ⇒ **先端レベルにある**

全正孔電流 ($I_{PB} + I_{SUB}$) の V_{GS} 依存性 (提案(2))



提案(2) LDMOSの断面

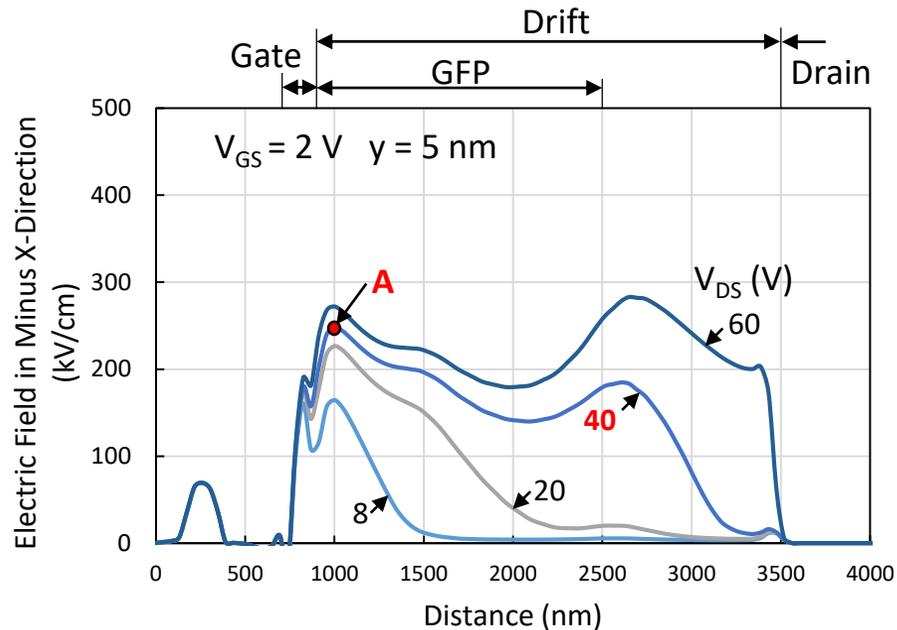
■ 両提案デバイスのピーク正孔電流

- ・ $V_{GS} \doteq 2V$ にピークあり
⇒ 真性MOSFET飽和動作
- ・ 主に領域 A 内のインパクトイオン化によって発生

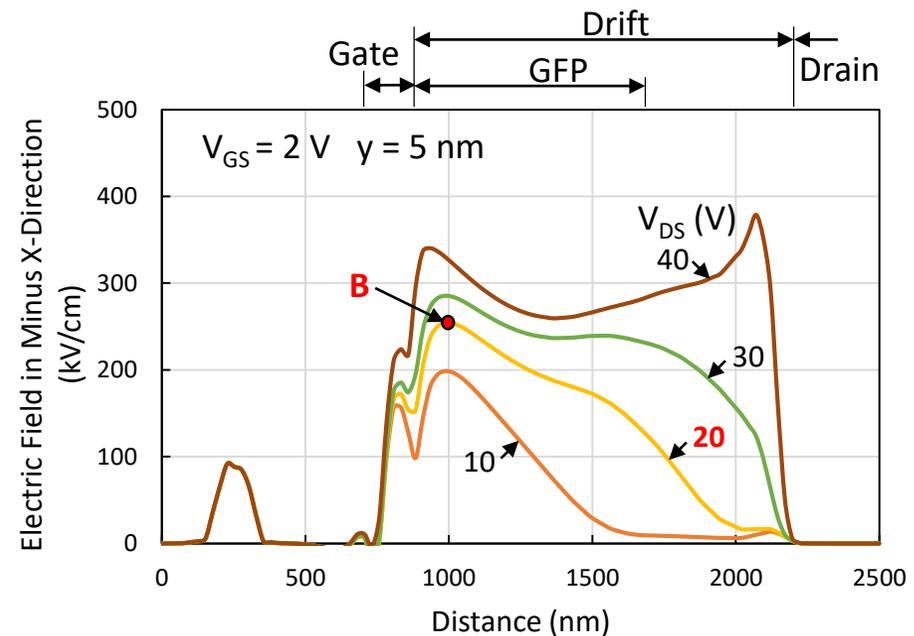


ホットキャリアによるダメージは、
両提案デバイス共、 $V_{GS} \doteq 2V$ で最大になる

表面に沿った電界形状 ($V_{GS} = 2 \text{ V}$) (提案(2))



(a)ドリフト領域縮小なしデバイス



(b)ドリフト領域50%縮小デバイス

ドリフト長	$-E_{xx}$ (kV/cm)	I_{SS} (μA)	V_{DS} (V)	V_{GS} (V)
縮小なし	248 (A)	30.9	40	2
50%縮小	254 (B)	30.7	20	2

E_{xx} : $x = 1000 \text{ nm}$ での x 方向電界

I_{SS} : 1セルのソース電流(電子電流)

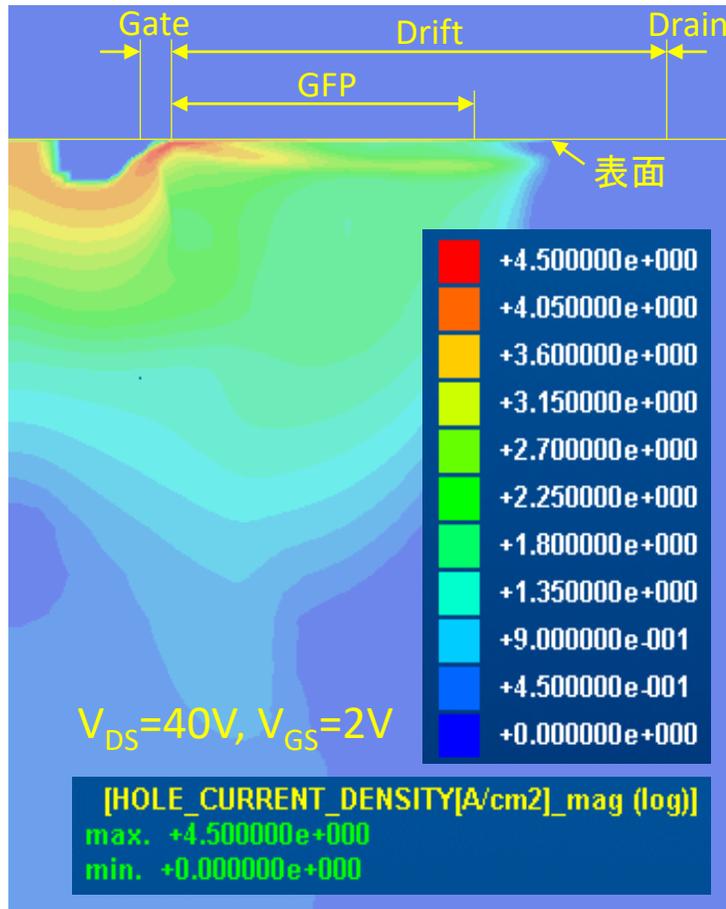
Note: インパクトイオン化による正孔電流 = $F(E_{xx}, I_{SS})$

■ 両提案デバイス

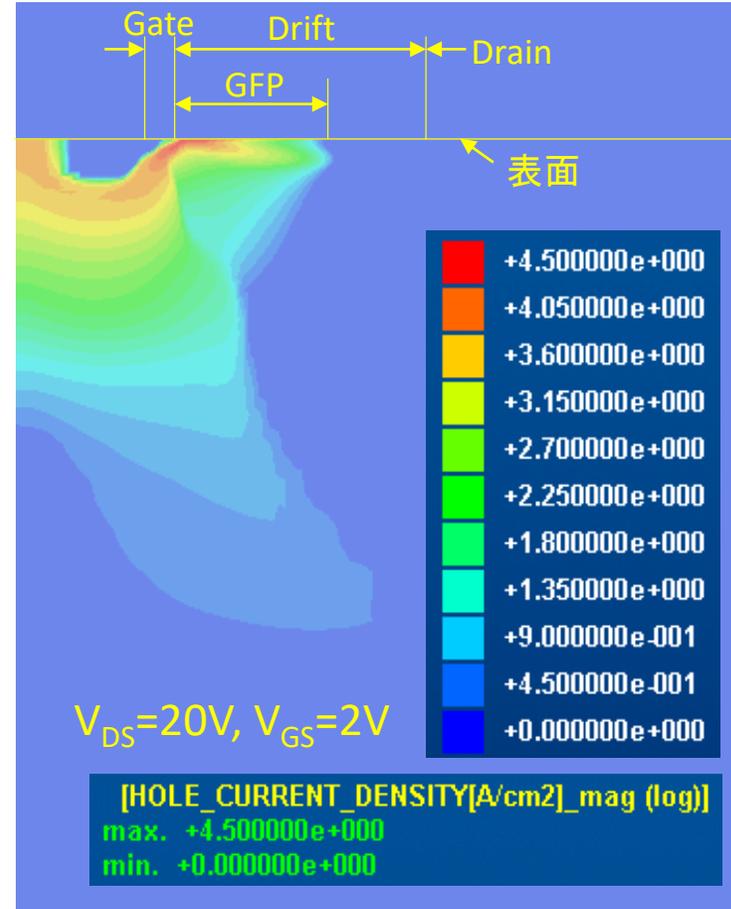
⇒ ほぼ同じホットキャリア耐性を持つ

⇒ Dual RESURF 構造により、高ホットキャリア耐性を持つ

正孔電流密度分布($V_{GS} = 2V$) (提案(2))



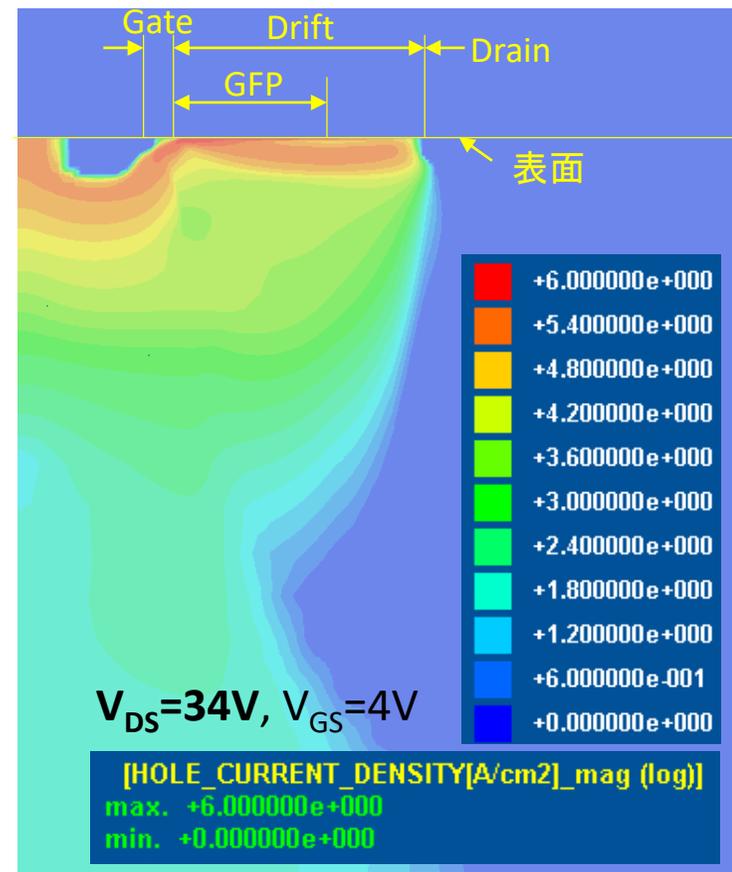
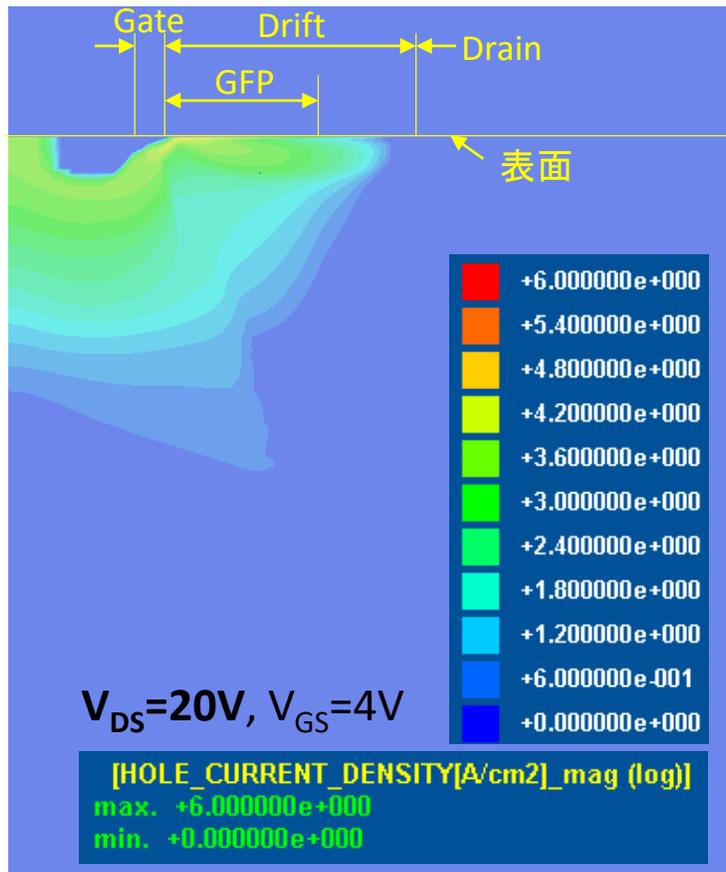
(a)ドリフト領域縮小なしデバイス



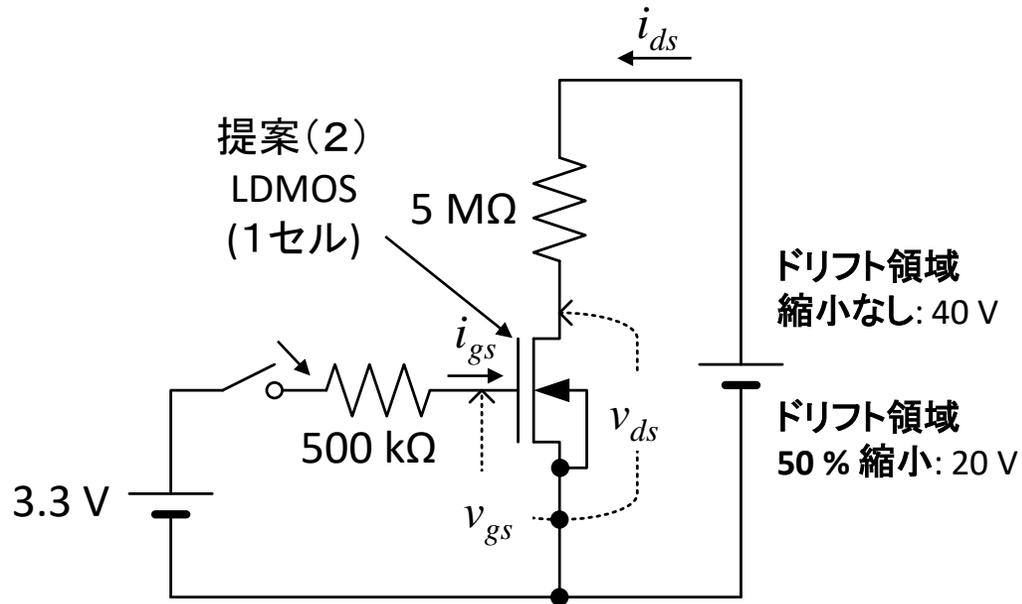
(b)ドリフト領域50%縮小デバイス

正孔電流密度分布($V_{GS} = 4\text{ V}$) (提案(2))

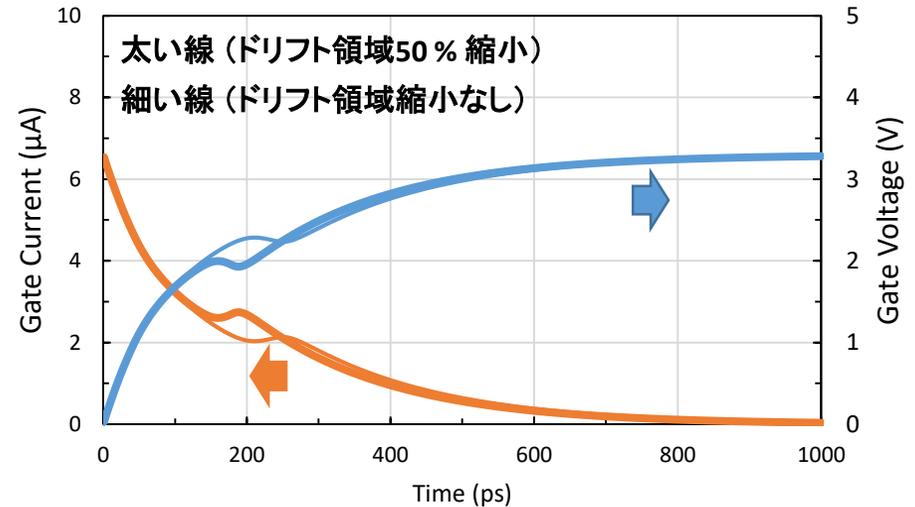
ドリフト領域50% 縮小デバイス



ターンオン特性とFOM(提案(2))



ターンオン特性を求めるための回路



ターンオン特性(1セル)

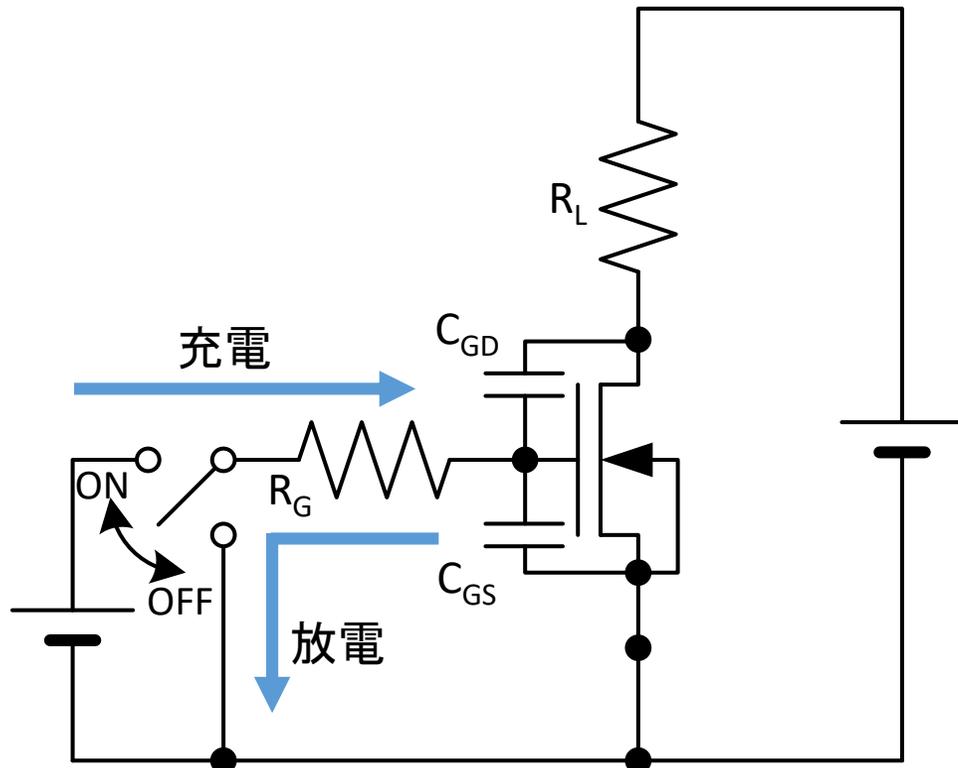
FOM (オン抵抗 × ゲート電荷)

ドリフト領域長	Q_g/A (nC/mm ²)	$R_{on}A$ (mΩ · mm ²)	FOM (mΩ · nC)
縮小無し	1.18	40.9	48.2
50% 縮小	1.86	18.4	34.2

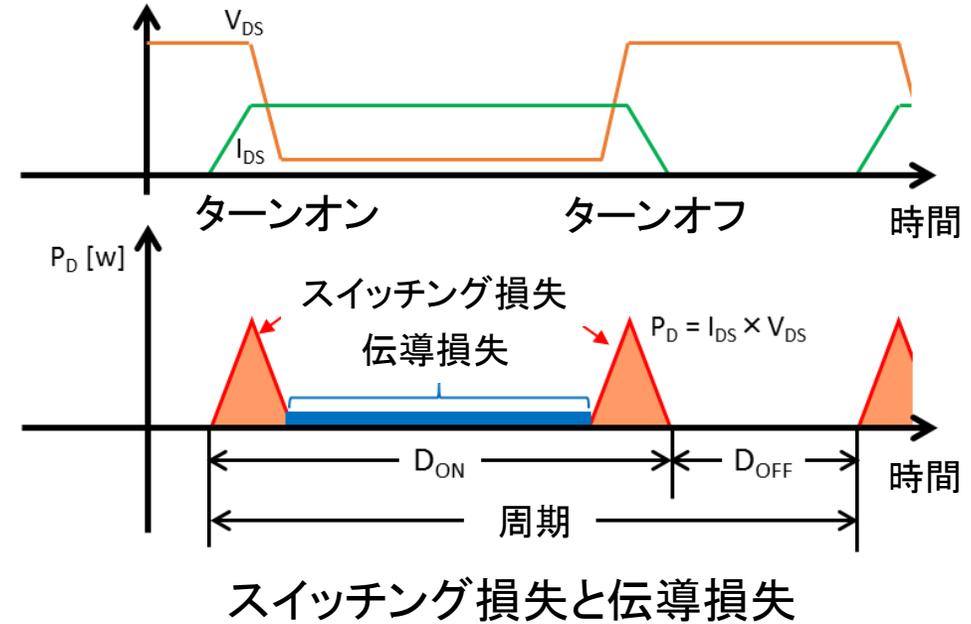
Q_g/A : ゲート電荷密度

- 提案(2)のデバイスFOM (ドリフト領域縮小なし)
⇒ **提案(1)のデバイスのFOM (141 mΩ · nC)の約1/3**
- 提案(2)のデバイスFOM (ドリフト領域50% 縮小)
⇒ より低い特性オン抵抗によってドリフト領域縮小なしのデバイスより更に低下

全消費電力



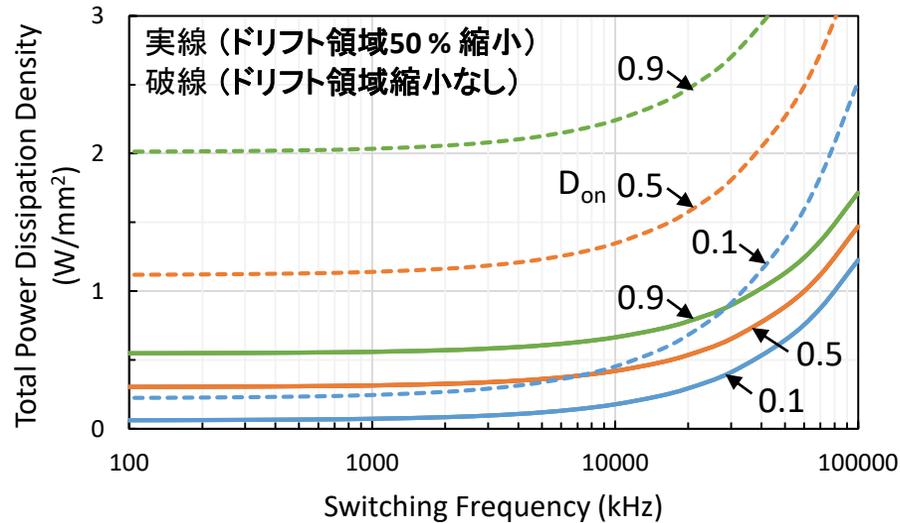
ターンオンによるゲート充電と
ターンオフによるゲート放電



■ 全消費電力

- (1) ゲートドライビング損失
(C_{GS} と C_{GD} の充放電: R_G による損失)
- (2) ターンオンとオフ期間のスイッチング損失
- (3) 時比率による伝導損失

全消費電力密度 P_{TD} のスイッチング周波数依存性 (提案(2))



P_{TD} のスイッチング周波数依存性

1周期当たりのスイッチング損失密度 E_{sw} の成分

ドリフト領域長	E_{GD} [J/mm ²]	$E_{ON/OFF}$ [J/mm ²]	E_{sw} [J/mm ²]
縮小無し	3.89×10^{-9}	1.91×10^{-8}	2.30×10^{-8}
50% 縮小	6.14×10^{-9}	5.52×10^{-9}	1.17×10^{-8}

E_{GD} : ゲートドライビング損失密度

$E_{ON/OFF}$: ターンオンとオフ期間のスイッチング損失密度

$$E_{sw} = E_{GD} + E_{ON/OFF}$$

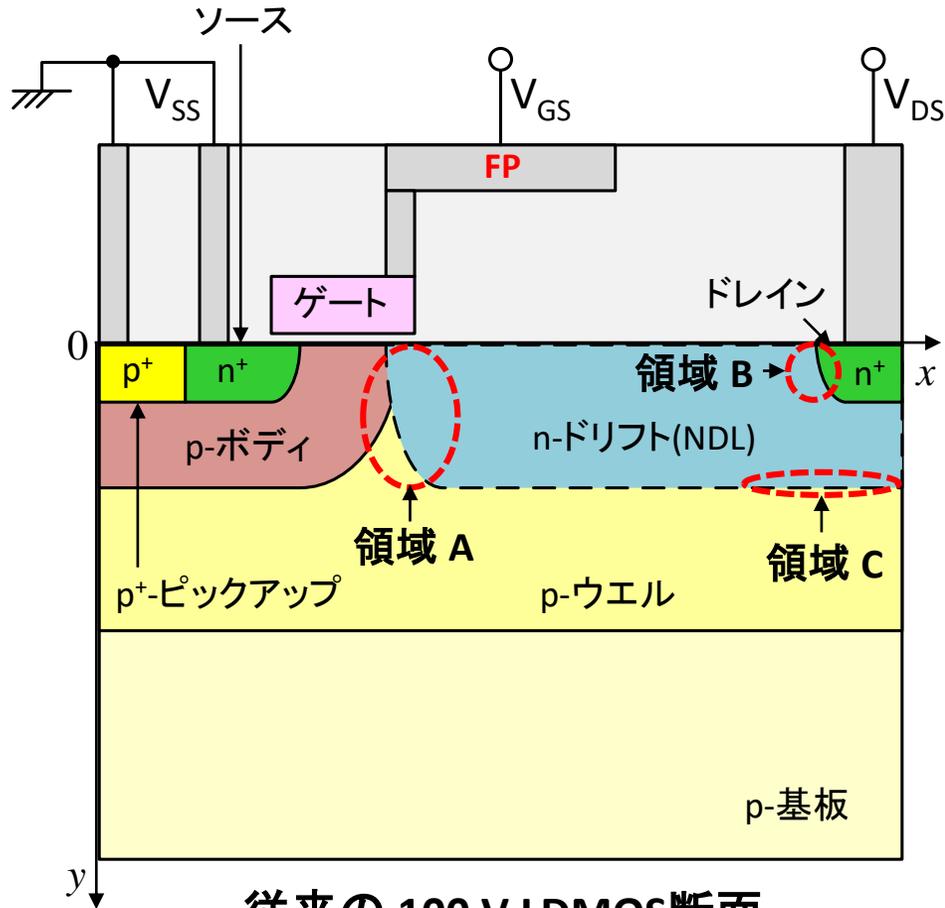
- P_{TD} (ドリフト領域50% 縮小) < P_{TD} (ドリフト領域縮小無し)
- ∴ ドリフト領域50% 縮小デバイスの **低 $R_{on}A$** と **低 E_{sw}**

20-40 V LDMOS 提案(2) 特性のまとめ

- 20-40 V 動作に対し、十分に CE を抑制し、広い SOA を持つ
- $R_{on}A - BV_{DS}$ の特性は先端レベルにある
- 非常に低い FOM (伝導損失とスイッチング損失の抑制) を持つ
- 高ホットキャリア耐性が見込まれる
- スケーラブルデバイスであることから、
低プロセスコストで回路設計の自由度が高い

高信頼性 60-100 V 用LDMOSの提案

従来の 100 V LDMOS



従来の 100 V LDMOS断面

(1セル: $6.55 \mu\text{m} \times 0.2 \mu\text{m}$)

0.35 μm CMOS compatible process

■ 問題

(1) 低ホットキャリア耐性

⇒ 領域 A 内の高電界による

DAHC (Drain Avalanche Hot Carriers)の発生に起因

(2) CEの発生(狭いSOA)

⇒ 領域 B 内の高電界に起因 (Kirk効果)

(3) 耐圧の低下

⇒ 領域 C 内の高電界に起因

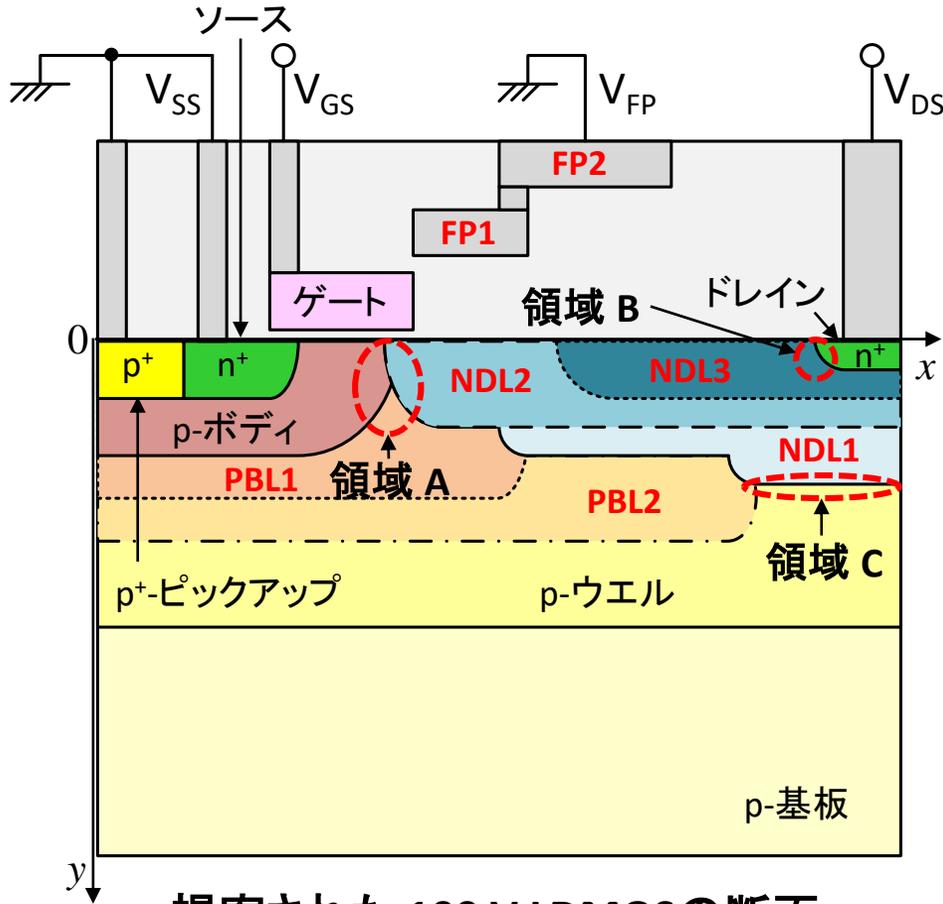
(4) 高特性オン抵抗

⇒ n-ドリフト領域(NDL)の低濃度に起因

(5) 高スイッチング損失

⇒ 大きなMiller容量に起因

高信頼 100 V LDMOSの提案(4)



提案された 100 V LDMOSの断面

(1セル: $6.55 \mu\text{m} \times 0.2 \mu\text{m}$)

0.35 μm CMOS compatible process

■ 2層のp型埋め込み層 (Dual RESURF 構造)

- ・PBL1: 領域 A のRESURF強化 \Rightarrow 高ホットキャリア耐性
- ・PBL2: ① ドリフト領域内の均一電界
② 領域 C の耐圧低下防止

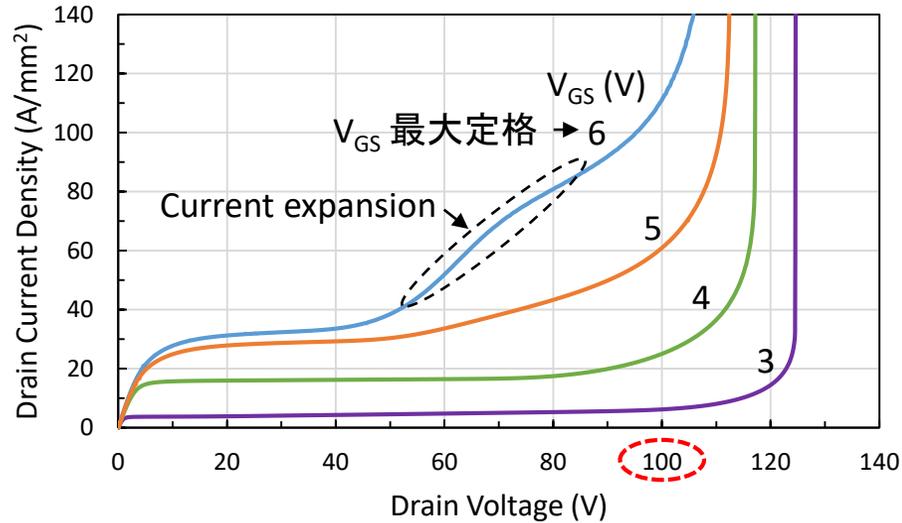
■ 3層のn-ドリフト層

- ・NDL1: ドリフト領域の基本層
- ・NDL2, 3: 特性オン抵抗低減
CE 抑制 (領域 B のKirK効果による電界低減)
(NDL3: GFPによる特性オン抵抗増大の抑制)

■ 接地された2段階フィールドプレート (Two-Step GFP)

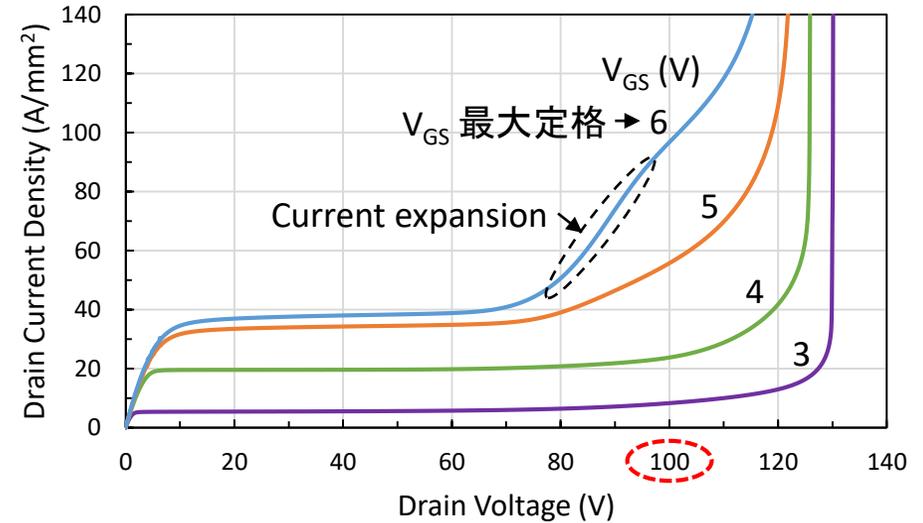
- ・FP1: 領域 A のRESURF補強
- ・FP2: 領域 A を除くドリフト領域のRESURF補強
- ・Miller 容量低減 (スイッチング損失低減)

$I_{DS} - V_{DS}$ 特性



(a) 従来 LDMOS

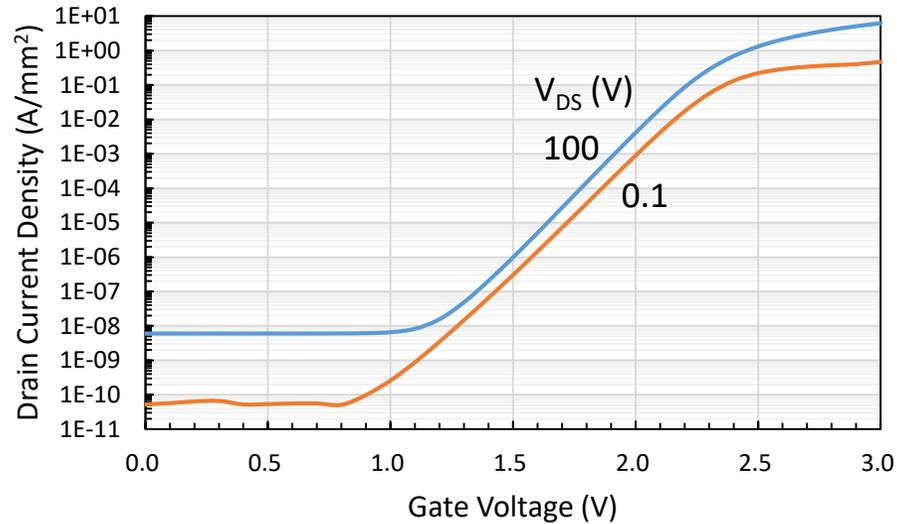
- CE 発生ドレイン電圧 V_{CE}
⇒ 約 50 V at $V_{GS} = 6$ V
- 特性オン抵抗 $R_{on,sp}$
⇒ 178 $m\Omega \cdot mm^2$ at $V_{GS} = 5$ V



(b) 提案 LDMOS

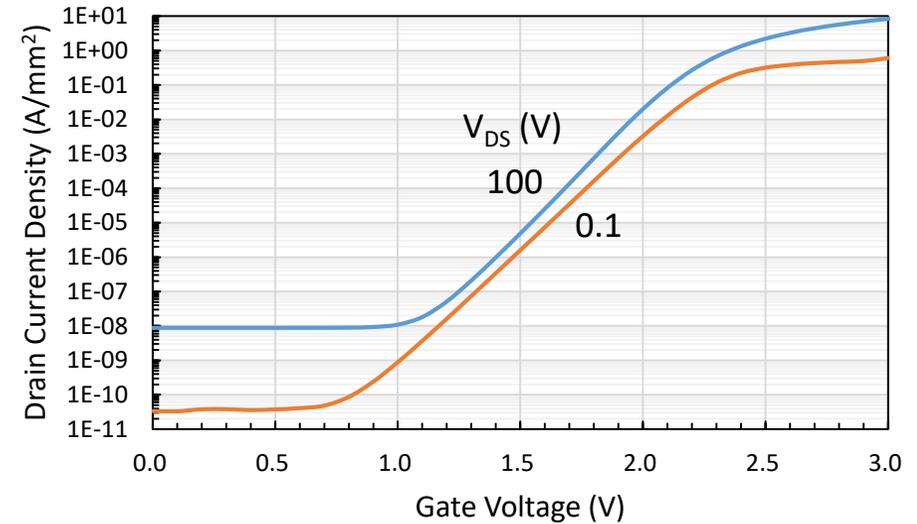
- CE 発生ドレイン電圧 V_{CE}
⇒ 約 70 V at $V_{GS} = 6$ V
- 特性オン抵抗 $R_{on,sp}$
⇒ 150 $m\Omega \cdot mm^2$ at $V_{GS} = 5$ V

$I_{DS} - V_{GS}$ 特性



従来 LDMOS

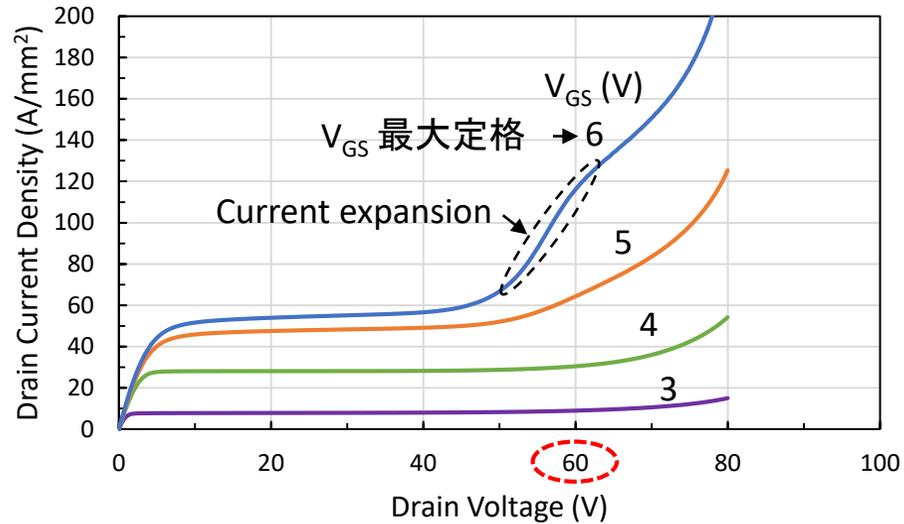
- $V_{TH} = 2.16$ V at $I_{DS} = 1 \times 10^{-2}$ A/ mm^2
- $\Delta V_{TH} = -0.10$ V at $I_{DS} = 1 \times 10^{-2}$ A/ mm^2
 $V_{DS}=0.1V \Rightarrow V_{DS}=100V$
- $V_{DS} = 100$ Vでも非常に低いリーク電流



提案 LDMOS

- $V_{TH} = 2.08$ V at $I_{DS} = 1 \times 10^{-2}$ A/ mm^2
- $\Delta V_{TH} = -0.12$ V at $I_{DS} = 1 \times 10^{-2}$ A/ mm^2
 $V_{DS}=0.1V \Rightarrow V_{DS}=100V$
- $V_{DS} = 100$ Vでも非常に低いリーク電流

スケールダウンデバイスの $I_{DS} - V_{DS}$ 特性



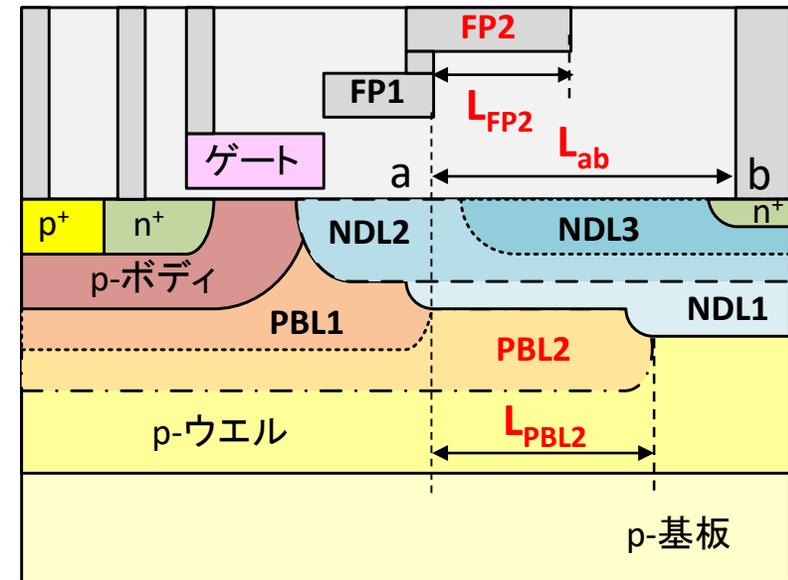
$I_{DS} - V_{DS}$ 特性 ($0.5 \times L_{ab}$)

■ CE 発生ドレイン電圧 V_{CE}

⇒ 約 50 V at $V_{GS} = 6$ V

■ 特性オン抵抗 $R_{on,sp}$

⇒ 78 $m\Omega \cdot mm^2$ at $V_{GS} = 5$ V

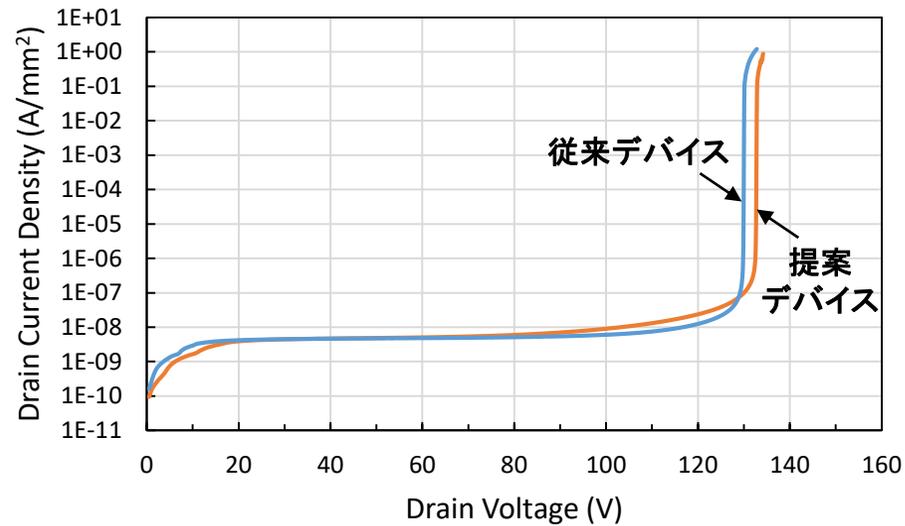


n-ドリフト領域のスケールリング

$$\alpha L_{ab} \rightarrow \alpha L_{PBL2} \text{ と } \alpha L_{FP2}$$

α : スケールリングファクタ

ブレークダウン特性



ブレークダウン特性

■ ブレークダウン電圧 BV_{DS} (at $I_{DS} = 1 \times 10^{-6} \text{ A/mm}^2$)

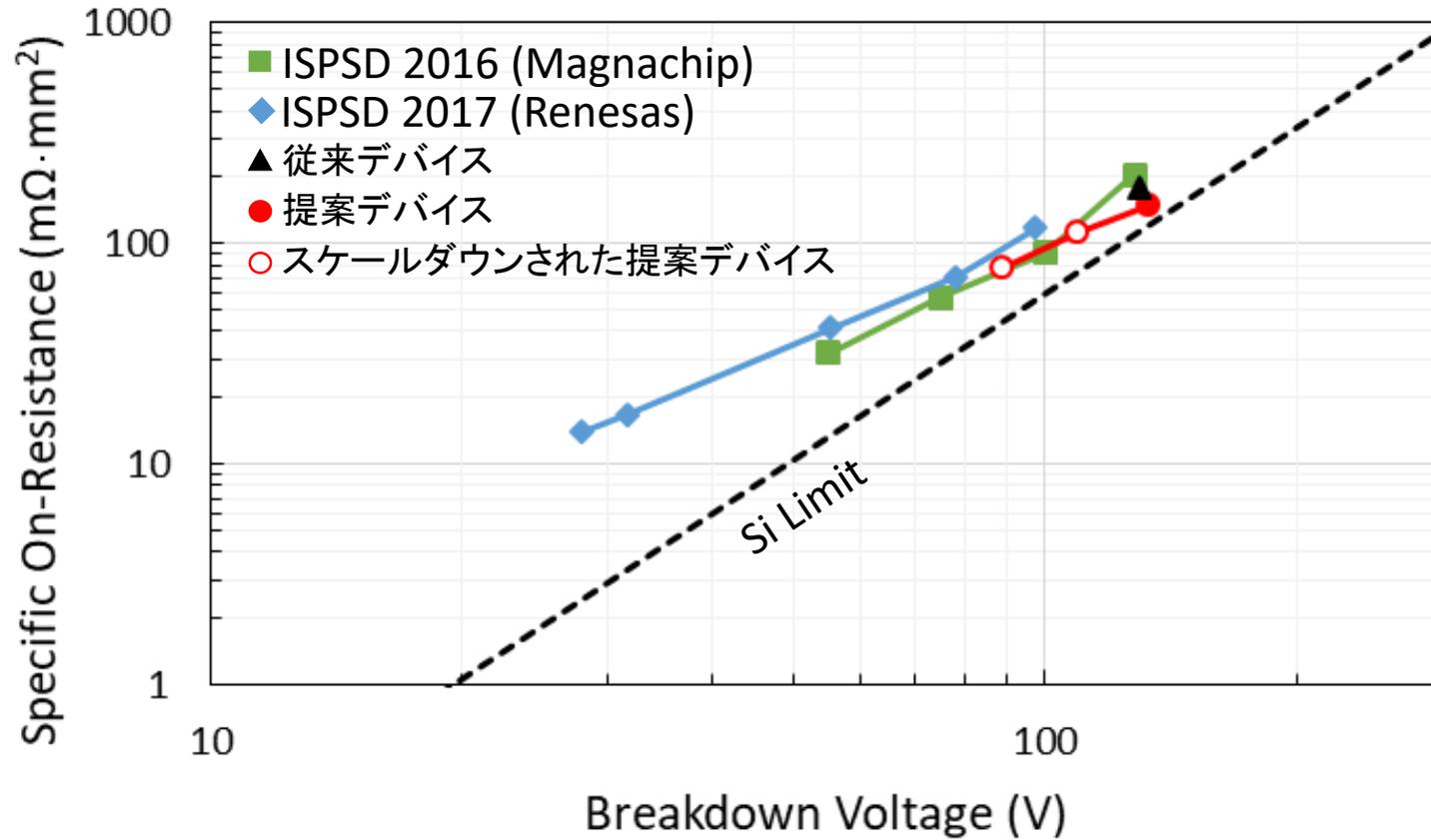
・従来デバイス $\Rightarrow 130 \text{ V}$

・提案デバイス $\Rightarrow 133 \text{ V}$



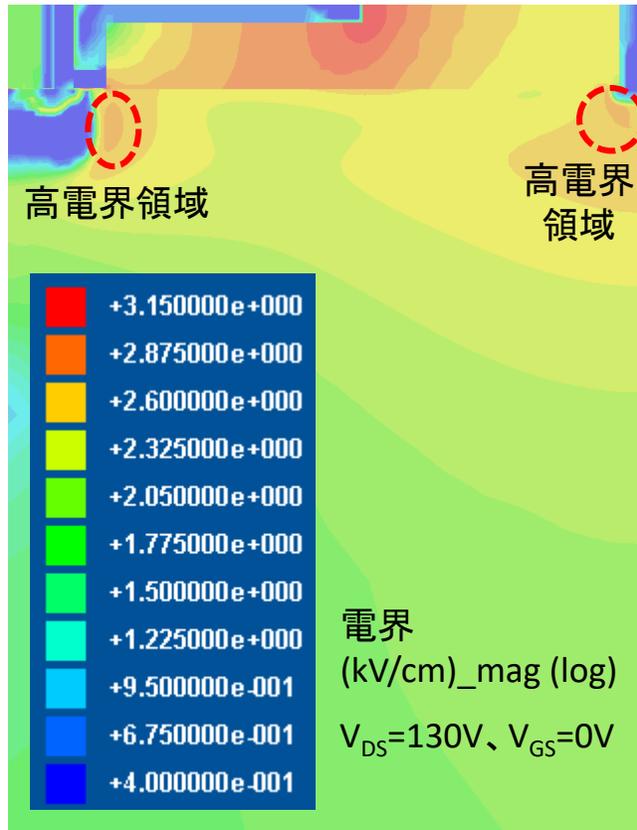
両デバイス共 100 V 動作には十分な耐圧

$R_{on,sp}$ - BV_{DS} 特性

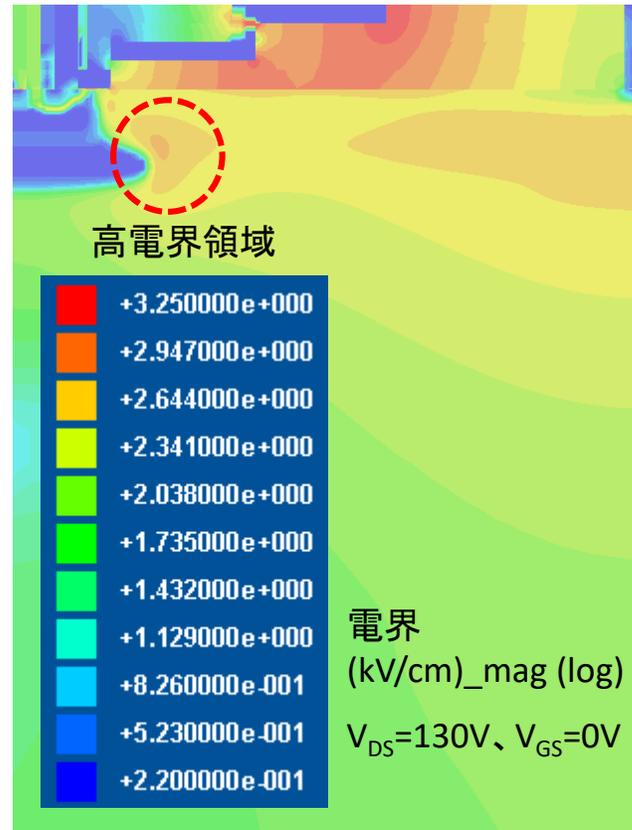


■ 提案デバイスの $R_{on,sp}$ - BV_{DS} 特性
⇒ 先端レベル

ブレイクダウン時の電界分布



従来 LDMOS



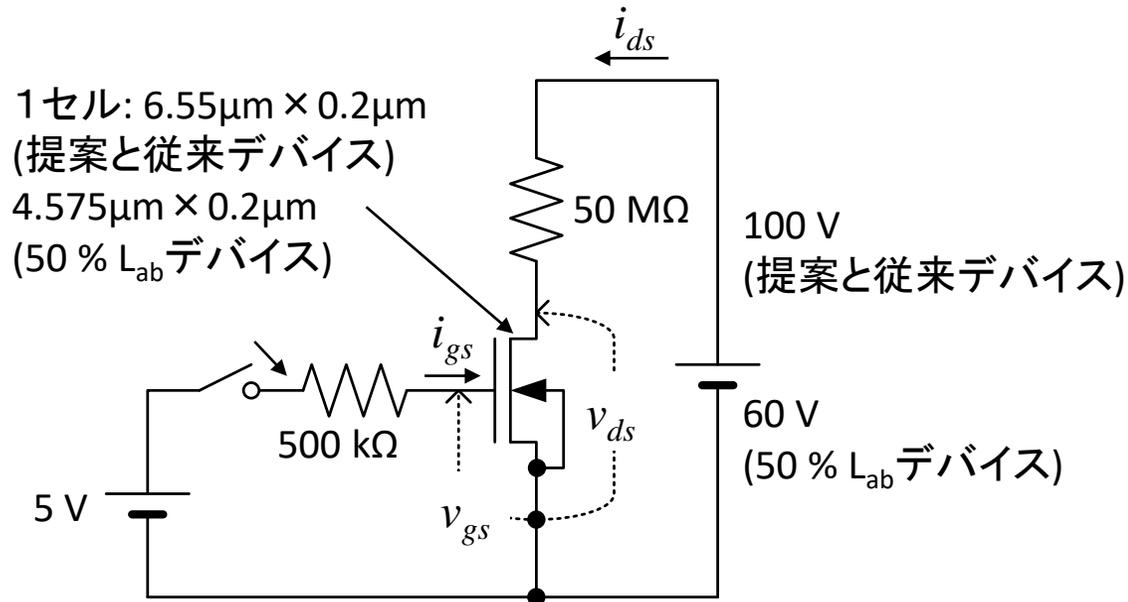
提案 LDMOS

- 高電界領域 (ブレイクダウン箇所)
- ⇒ 提案デバイスの高電界位置は従来デバイスのものより深い



提案デバイスのESD耐性は従来デバイスより高いと推定

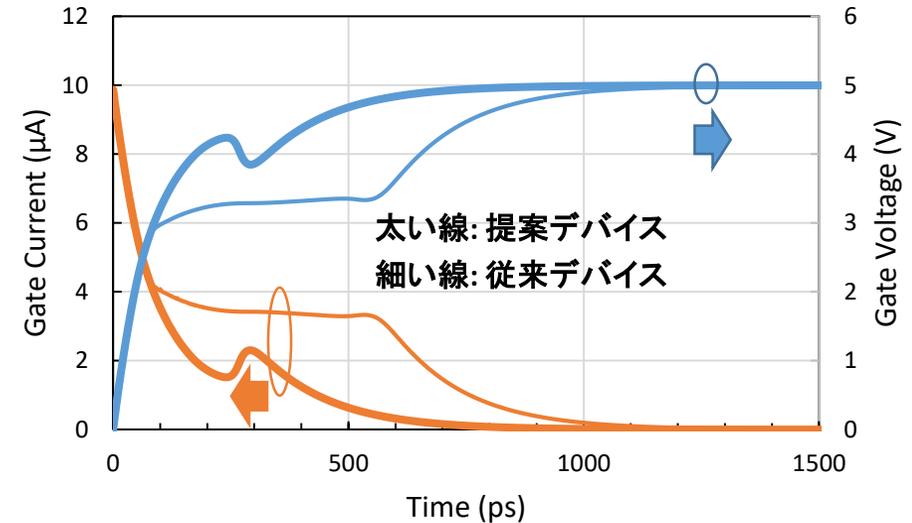
ターンオン特性とFOM



ターンオン特性を求めるための回路

■ ゲート電荷密度 Q_g

- Q_g (従来デバイス) = 2.09 nC/mm²
- Q_g (提案デバイス) = 1.06 nC/mm²

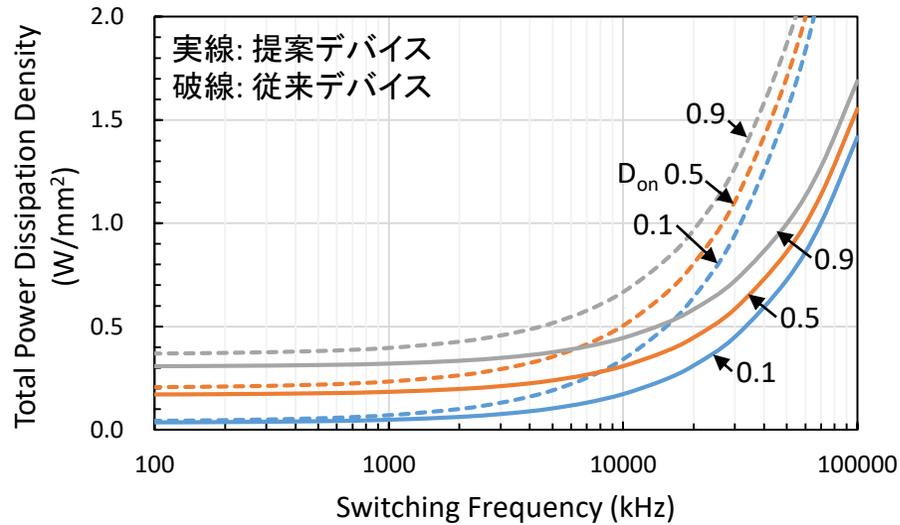


ターンオン特性 (1セル)

■ FOM (オン抵抗 × ゲート電荷)

- FOM (従来デバイス) = 373 m Ω ·nC
- FOM (提案デバイス) = 159 m Ω ·nC

P_{TD} のスイッチング周波数依存性



P_{TD} のスイッチング周波数依存性

1周期当たりのスイッチング損失密度 E_{SW} の成分

デバイス	E_{GD} (J/mm ²)	$E_{ON/OFF}$ (J/mm ²)	E_{SW} (J/mm ²)
従来	1.05×10^{-8}	1.96×10^{-8}	3.01×10^{-8}
提案	5.31×10^{-9}	5.32×10^{-9}	1.06×10^{-8}

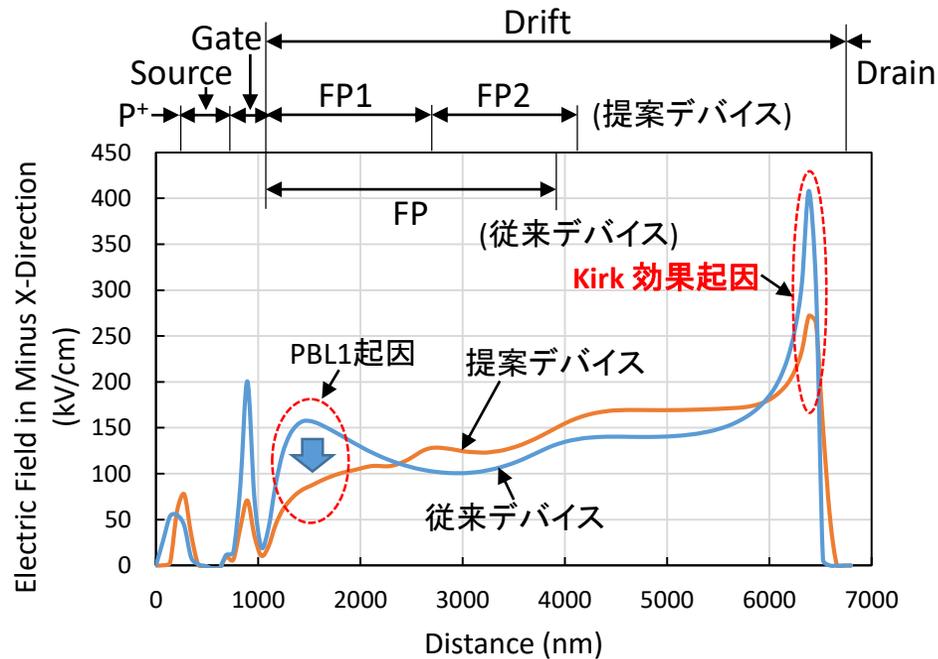
E_{GD} : ゲートドライビング損失密度

$E_{ON/OFF}$: ターンオンとオフ期間のスイッチング損失密度

$$E_{SW} = E_{GD} + E_{ON/OFF}$$

- P_{TD} (提案デバイス) < P_{TD} (従来デバイス)
- ∴ 提案デバイスの **低 $R_{on}A$** と **低 E_{SW}**

表面に沿った電界分布 (1): CE 低減



表面に沿った電界分布 ($V_{DS}=80V$, $V_{GS}=6V$)

- E_g : ゲート側ドリフト端近傍の電界
- $V_{DS,INT}$: 真性MOSFETのドレイン電圧
- N_D : n-ドリフト領域の濃度

① E_g (提案) $<$ E_g (従来) (∵ **PBL1**)

⇒ 提案デバイスで電子電流発生(ゲート近傍)低減

② $\Delta V_{DS,INT}$ (提案) $<$ $\Delta V_{DS,INT}$ (従来) (∵ **Dual RESURF**)

⇒ 提案デバイスでソース電流(電子電流)低減

③ N_D (提案) $>$ N_D (従来) (∵ **NDL2 と 3**)

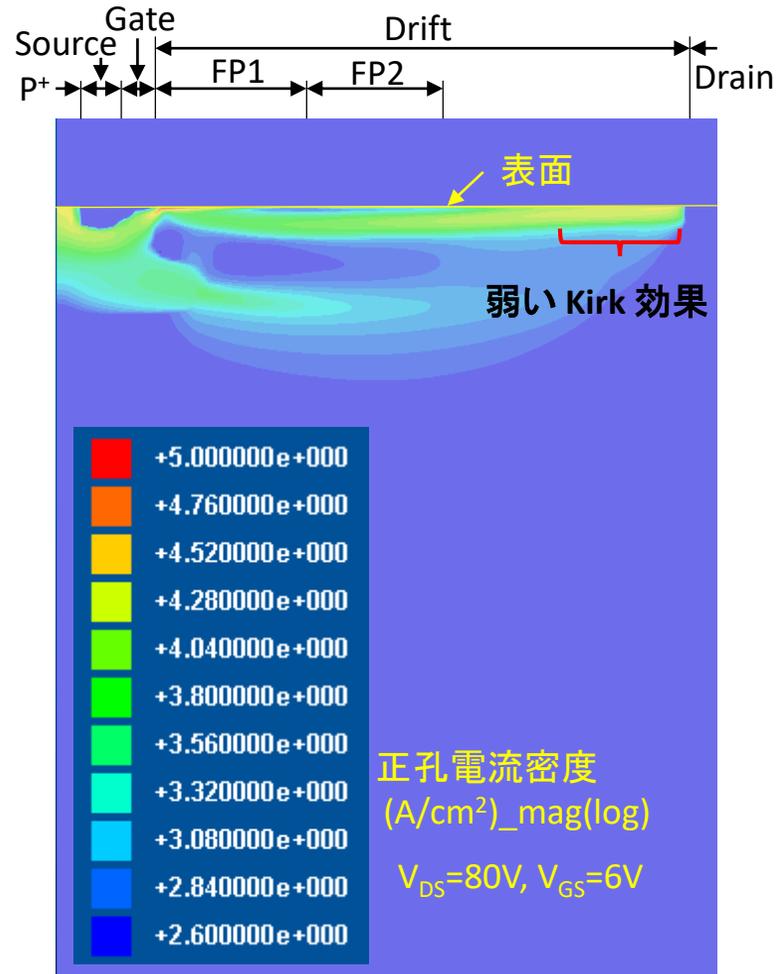
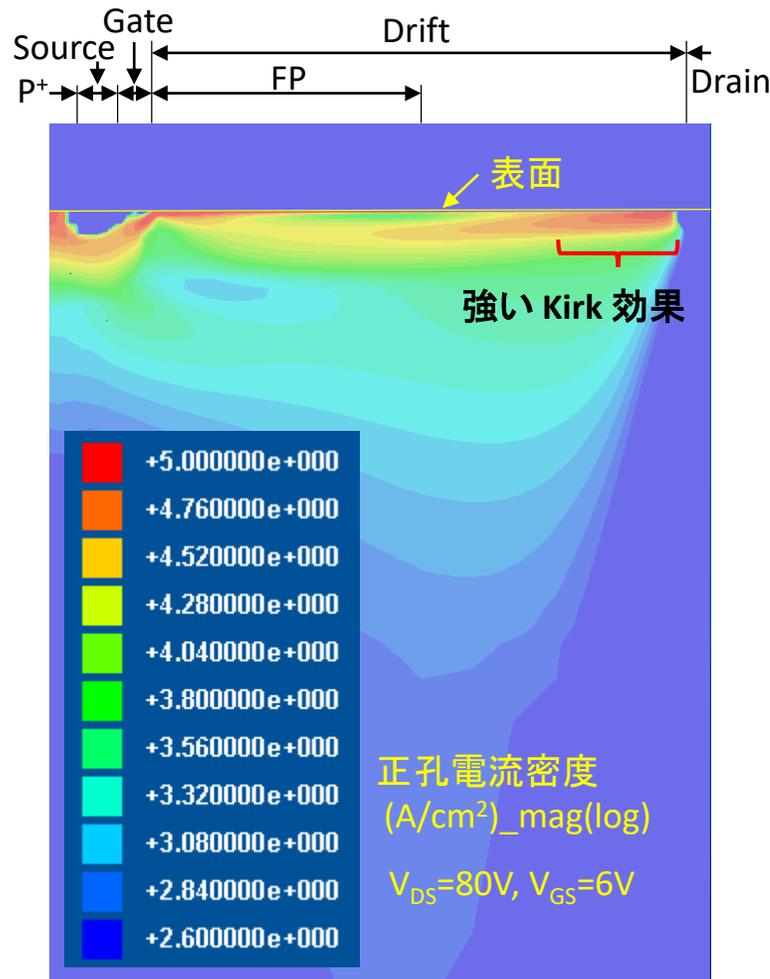
⇒ 提案デバイスでKirk効果の低減

■ ドレイン側ドリフト端近傍の電界 E_d :

E_d (提案) \ll E_d (従来) (∵ **Kirk effect**)

CE (提案) \ll CE (従来)

正孔電流密度分布 ($V_{GS}=6V$)



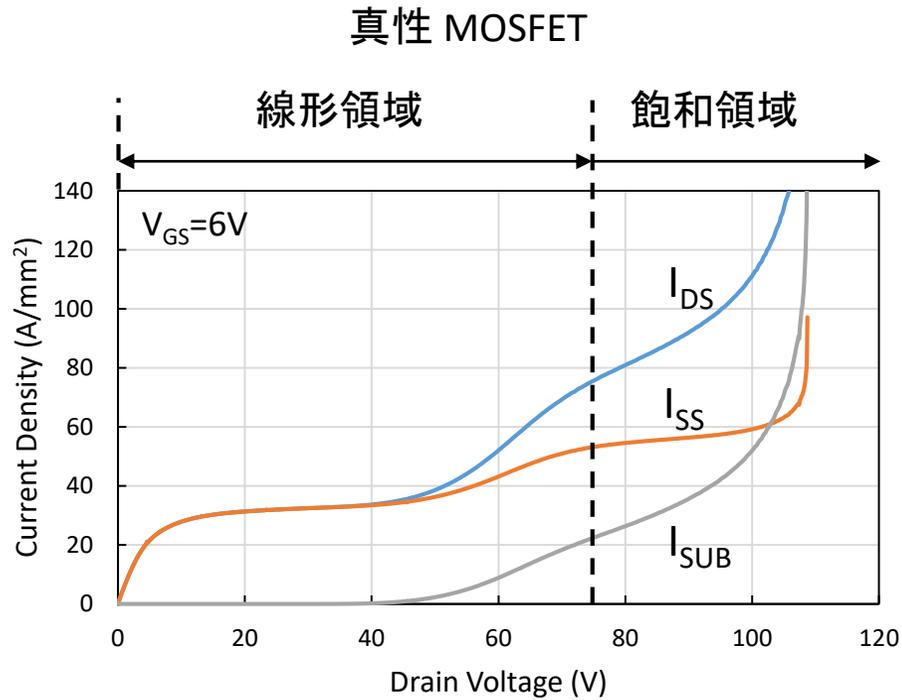
■ ゲート側ドリフト領域端近傍の
正孔電流密度 J_{hg}

$$J_{hg}(\text{従来}) > J_{hg}(\text{提案})$$

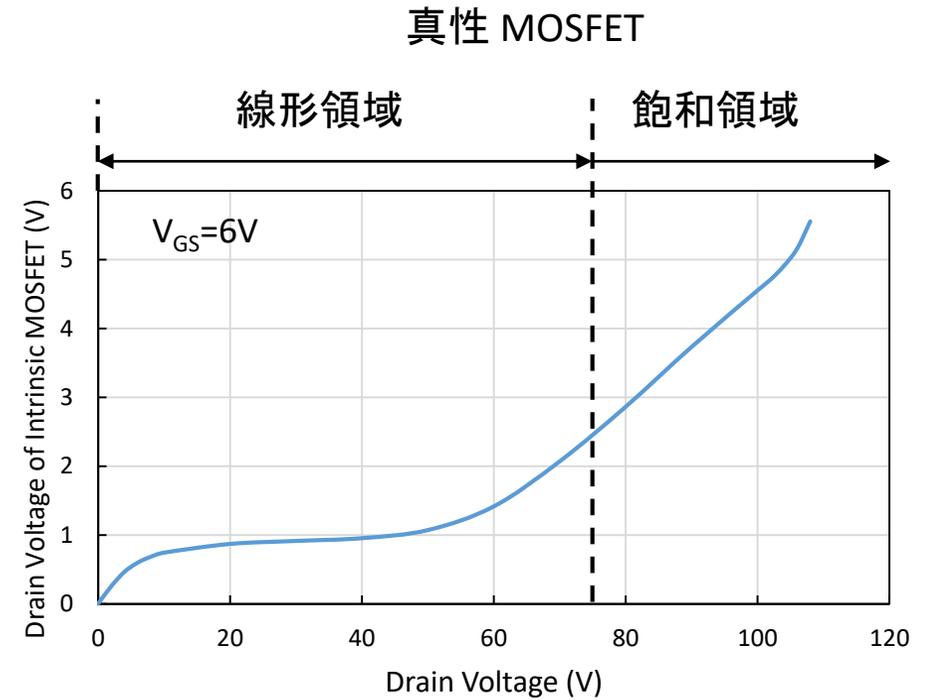
■ ドレイン側ドリフト領域端近傍の
正孔電流密度 J_{hd}

$$J_{hd}(\text{従来}) > J_{hd}(\text{提案})$$

従来LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS}=6V$)

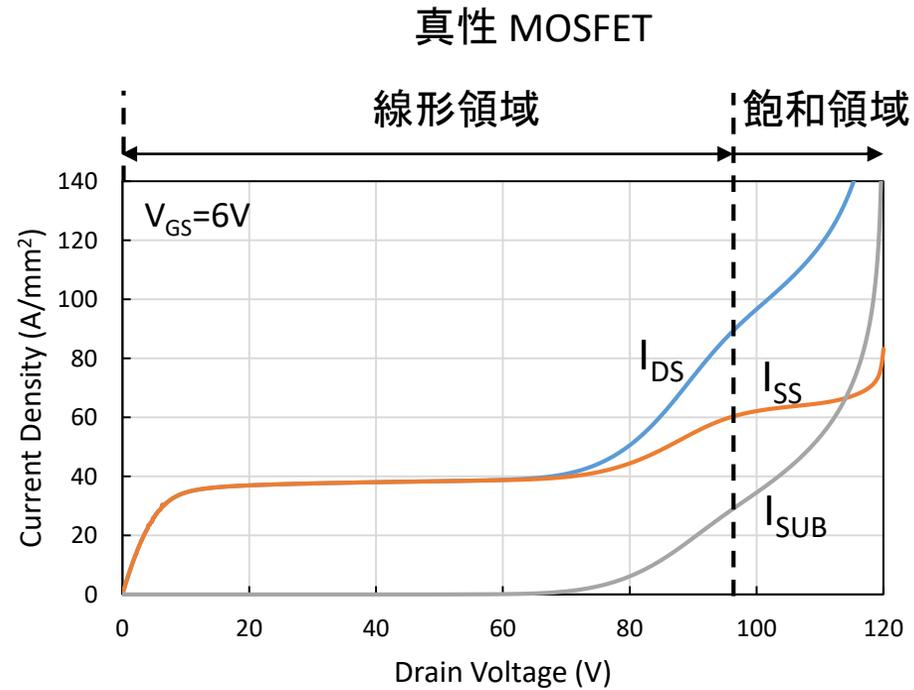


ドレイン電流成分

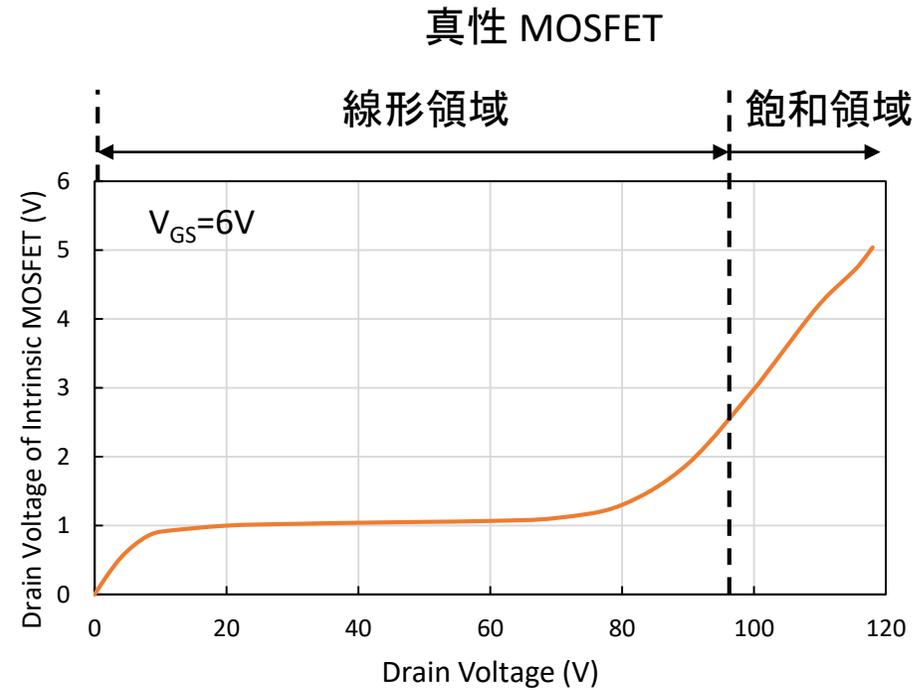


$V_{DS,INT}$ vs. V_{DS}

提案LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS}=6V$)

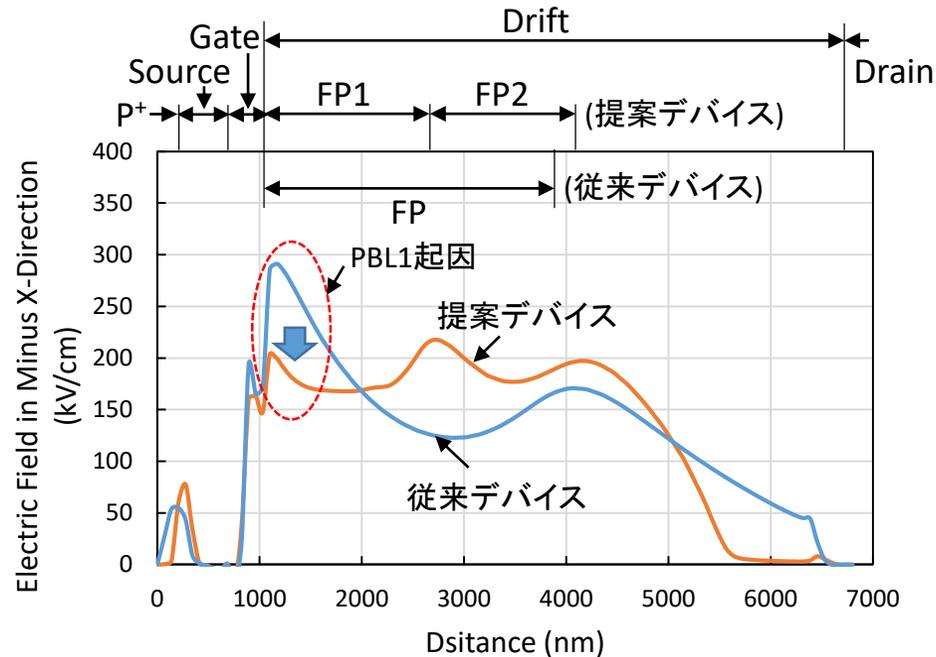


ドレイン電流成分



$V_{DS,INT}$ vs. V_{DS}

表面に沿った電界分布 (2): ホットキャリア耐性



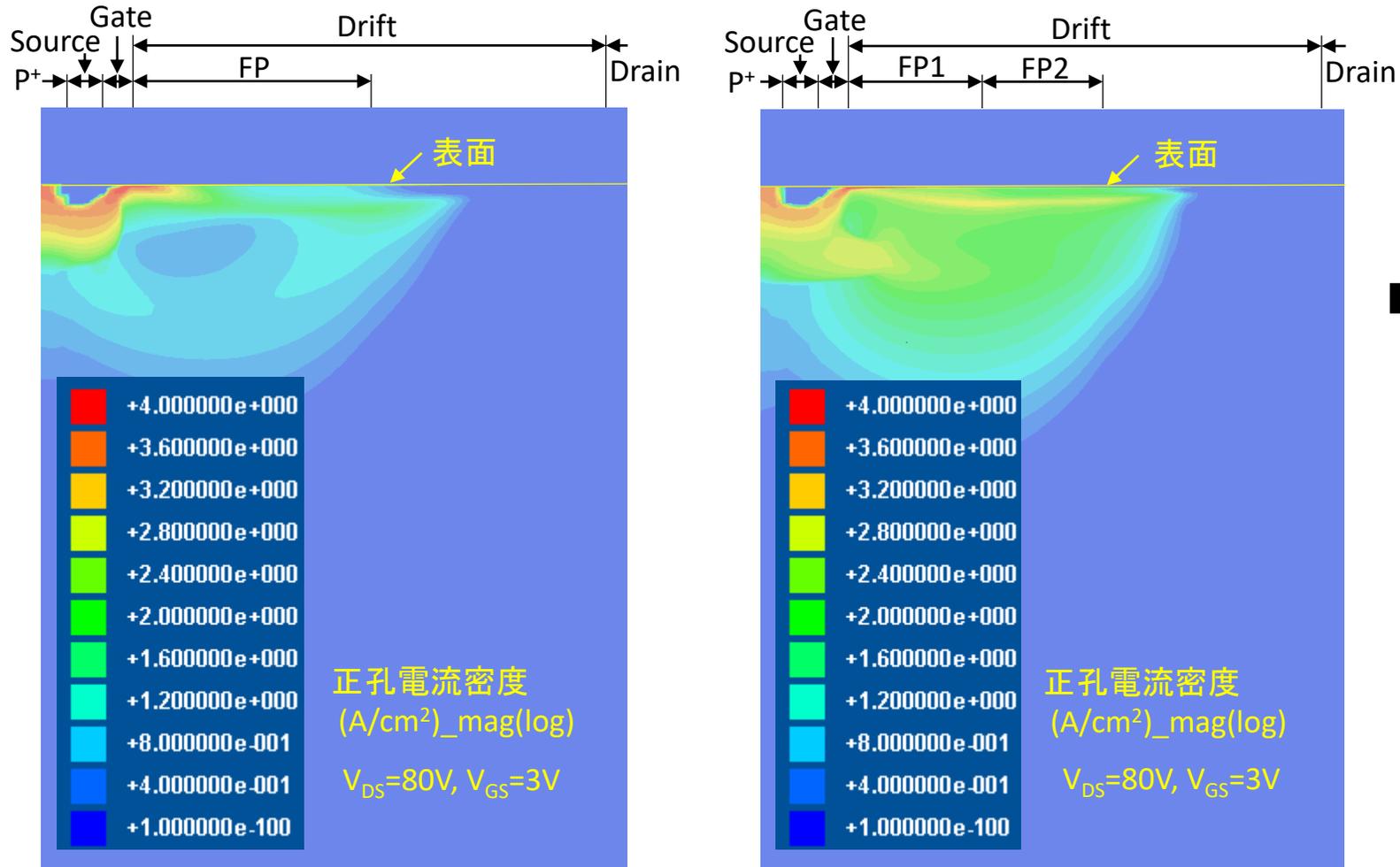
■ ゲート側ドリフト端近傍の電界 E_g

$$E_g (\text{提案デバイス}) < E_g (\text{従来デバイス}) (\because \text{PBL1})$$

真性MOSFETのホットキャリア耐性
提案デバイス > 従来デバイス

表面に沿った電界分布 ($V_{DS}=80V$, $V_{GS}=3V$)

正孔電流密度分布 ($V_{GS}=3V$)



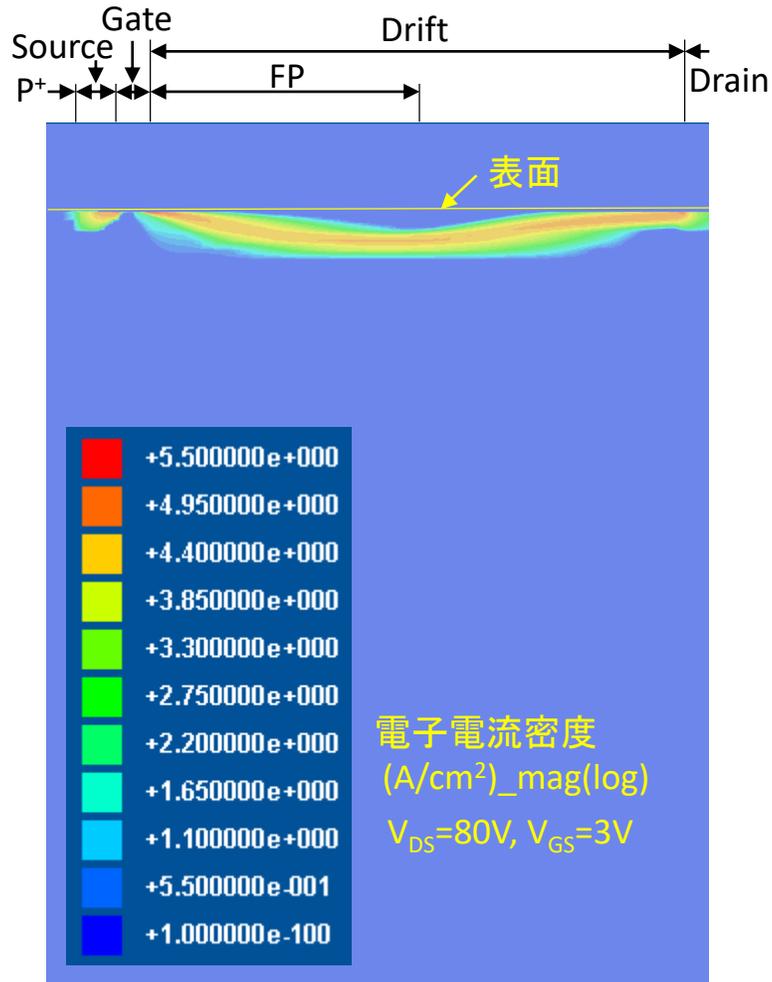
従来 LDMOS

提案 LDMOS

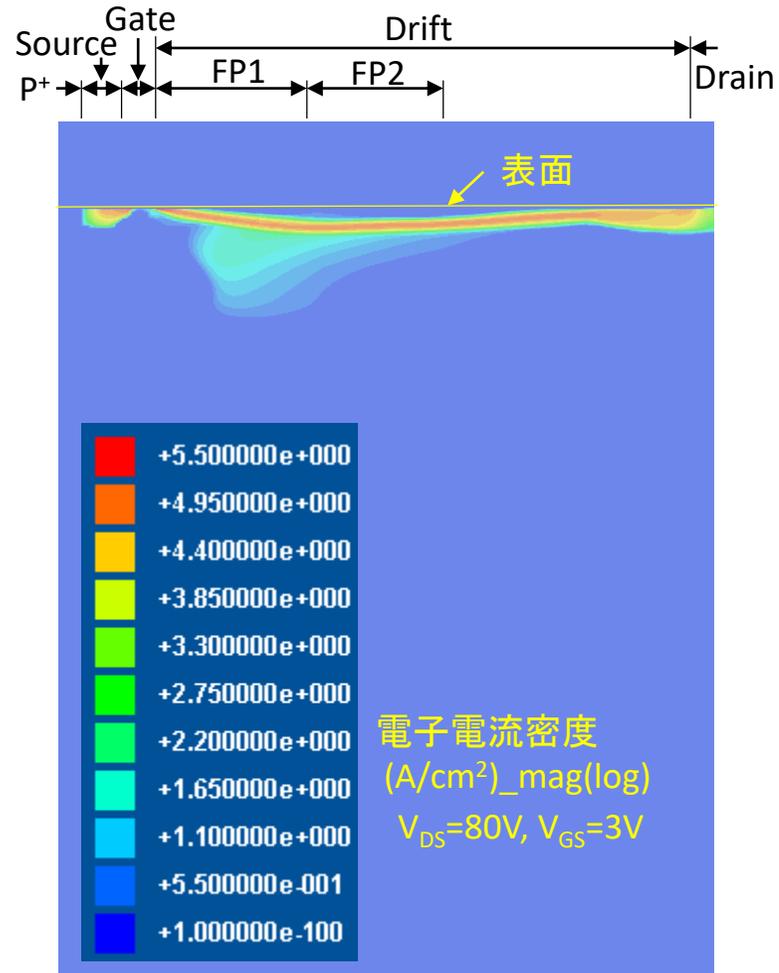
■ ゲート側ドリフト端近傍の正孔電流密度 J_{hg}

J_{hg} (従来) > J_{hg} (提案)

電子電流密度分布 ($V_{GS}=3V$)



従来 LDMOS



提案 LDMOS

■ 電子電流パス

⇒従来と提案デバイス共に、
表面から離れている



従来と提案デバイス共
に、ホットキャリアがドリフ
ト領域表面にダメージを与
える可能性は低い

提案した 60-100 V LDMOS特性のまとめ

- 60-100 V 動作に対し、十分に CE を抑制し、広いSOAを持つ
- $R_{on,sp} - BV_{DS}$ 特性は先端レベルにある
- 非常に低いFOM(伝導損失とスイッチング損失の抑制)を持つ
- 高ホットキャリア耐性が見込まれる
- スケーラブルデバイスであることから、
低プロセスコストで回路設計の自由度が高い

まとめ

提案した 20-40 V 及び 60-100 V LDMOSは以下の特長を持つ

- **Dual RESURF構造**により、十分なCE抑制(広SOA)、高ホットキャリア耐性、低特性オン抵抗が得られる
- **GFP構造**により、大幅なスイッチング損失低減が図られる
- **過酷な環境の車載用途に相応しい**
- **スケラブルデバイスであることから、低プロセスコストで回路設計の自由度が高い**

謝辞

本研究を進めるにあたり、3D-TCADを使用させて頂いたアドバンスソフト株式会社様に深く感謝を申し上げます。

この3D-TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト株式会社様で開発されました。

参考文献

- (1) Jun-ya Kojima, Jun-ichi Matsuda, Masataka Kamiyama, Nobukazu Tsukiji, and Haruo Kobayashi, "Optimization and Analysis of High Reliability 30-50V Dual RESURF LDMOS," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 25-28, 2016, Hangzhou, China, pp. 392-394, 2016.
- (2) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiyama, and Haruo Kobayashi, "A Low Switching Loss 40 V Dual RESURF LDMOS Transistor with Low Specific On-Resistance," International Conference on Mechanical, Electrical and Medical Intelligent System (**ICMEMI**), Nov. 29-Dec.1, 2017, Kiryu, Japan, I01-05, 2017.
- (3) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiya, and Haruo Kobayashi, "Low Switching Loss and Scalable 20-40 V LDMOS Transistors with Low Specific On-Resistance," International Conference on Technology and Social Science (**ICTSS**), Apr. 18-20, Kiryu, Japan, I03-02, 2018.
- (4) Jun-ichi Matsuda, Anna Kuwana, Jun-ya Kojima, Nobukazu Tsukiji, and Haruo Kobayashi, "Wide SOA and High Reliability 60-100 V LDMOS Transistors with Low Switching Loss and Low Specific On-Resistance," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 31-Nov. 3, Qingdao, China, S25-6, 2018.