

LSIテスト技術の動向

VTS(VLSI Test Symposium)2018報告

畠山一実

2018.07.30 Kazumi Hatayama

1

アウトライン

- VTSについて
- VTS2018の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

2018.07.30 Kazumi Hatayama

2

VTS (VLSI Test Symposium)



・VTSの沿革および概要

- 1983年にVLSI Test Workshopとしてスタート
- 1991年からはSymposium
- LSIテスト分野ではITC (International Test Conference) に次ぐ
主要な国際会議
- ITCが企業主体であるのに対して、VTSはどちらかといえば
アカデミック
- 2002年から企業事例のためのIP(Innovative Practice) Track
を設置し、企業からの参加者拡大に取組み中

2018.07.30 Kazumi Hatayama

3

VTS開催一覧

	Year	Date	Location
1st	1983	03/30-03/31	Atlantic City
2nd	1984	03/21-03/22	Atlantic City
3rd	1985	04/01-04/02	Atlantic City
4th	1986	03/18-03/19	Atlantic City
5th	1987	03/24-03/25	Atlantic City
6th	1988	03/22-03/23	Atlantic City
7th	1989	04/11-04/13	Atlantic City
8th	1990	04/10-04/11	Atlantic City
9th	1991	04/16-04/18	Atlantic City
10th	1992	04/07-04/09	Atlantic City
11th	1993	04/06-04/08	Atlantic City
12th	1994	04/25-04/28	Cherry Hill
13th	1995	04/30-05/03	Princeton
14th	1996	04/28-05/01	Princeton
15th	1997	04/27-04/30	Monterey
16th	1998	04/26-04/30	Monterey
17th	1999	04/25-04/29	Dana Point
18th	2000	04/30-05/04	Montreal
19th	2001	04/29-05/03	Los Angeles
20th	2002	04/28-05/02	Monterey

	Year	Date	Location
21st	2003	04/27-05/01	Napa
22nd	2004	04/25-04/29	Napa
23rd	2005	05/01-05/05	Palm Springs
24th	2006	04/30-05/04	Berkeley
25th	2007	05/06-05/10	Berkeley
26th	2008	04/27-05/01	San Diego
27th	2009	05/03-05/07	Santa Cruz
28th	2010	04/19-04/22	Santa Cruz
29th	2011	05/01-05/04	Dana Point
30th	2012	04/23-04/26	Maui
31st	2013	04/29-05/01	Berkeley
32nd	2014	04/14-04/16	Napa
33rd	2015	04/27-04/29	Napa
34th	2016	04/24-04/27	Las Vegas
35th	2017	04/09-04/12	Las Vegas
36th	2018	04/22-04/26	San Francisco

2003-2006: プログラム委員
2007-: 実行委員 2007-2010: IP Track
2011-2014: Special Sessions
2015-2016: Publicity (Vice Chair)
2017- : Asian Initiative

2018.07.30 Kazumi Hatayama

4

アウトライン

- VTSについて
- VTS2018の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

2018.07.30 Kazumi Hatayama

5

VTS2018 At-a-Glance

April 22, Sunday		
8:30 -	<i>Morning Tutorial</i>	
12:00	Machine Learning and Its Applications in Test	
13:00 -	<i>Afternoon Tutorial</i>	
16:30	Learning Techniques for Reliability Monitoring, Mitigation and Adaptation	
April 23, Monday		
8:30 - 10:30	<i>Plenary Session</i> <i>Opening Keynote:</i> High volume manufacturing and test of high-speed silicon photonics devices ... <i>Invited Keynote:</i> Test Drivers – Past, Present, and Future	
11:00 -	<i>Session 1A</i>	<i>Special Session 1B: Hot Topic</i>
12:00	Analog Test	Recent Developments in Hardware Security
13:30 -	<i>Session 2A</i>	<i>Special Session 2B: Hot Topic</i>
14:30	Hardware Security	Approximate Computing
15:00 -	<i>Session 3A</i>	<i>Special Session 3B: Hot Topic</i>
16:00	Memory	Neuromorphic Computing
16:30 - 18:00	<i>Plenary Evening Panel</i> Are we about to automate ourselves out of our jobs?	

2018.07.30 Kazumi Hatayama

7

VTS2018概要

・開催日	: 2018年4月22(日)～25日(水)
・開催場所	: San Francisco, CA, USA
・参加者	: 170名程度(日本からは5名)
・基調講演	: 2件(4/23)
・論文発表	: 10セッション30件(4/23-25) 投稿論文66件(採択率=45%)
・企業発表	: 9セッション26件
・チュートリアル	: 2件(4/22)…すべてHalf Day
・特別セッション	: 16件(4/23-25) ・ホットトピック : 9件 ・ニュートピック : 1件 ・パネル : 3件 ・その他 : 3件

学位論文コンテスト, ポスター, タウンホールミーティング

2018.07.30 Kazumi Hatayama

6

VTS2018 At-a-Glance (cont.)

April 24, Tuesday		
8:30 -	<i>Session 4A</i>	<i>Special Session 4B: Hot Topic</i>
9:30	BIST	Bringing Cores Closer Together: The Wireless Revolution in On-Chip Communication
9:45 -	<i>Session 5A</i>	<i>Special Session 5B: Hot Topic</i>
10:45	Test Standards	Overcoming Reliability and Energy-Efficiency Challenges with Silicon Photonics for Future Manycore Computing
11:00 -	<i>Session 6A</i>	<i>Special Session 6B: Hot Topic</i>
12:00	ATPG	Intelligent Sensor Nodes
13:10 -	<i>Panel I</i>	<i>Panel II</i>
14:10	Solutions to Automotive Test Challenges: Are we there yet?	Challenges for Heterogeneous Integration: Learning from Past Experiences to Solve Problems of the Future
14:30 - 21:00	<i>Social Program</i>	

April 25, Wednesday

8:30 -	<i>Session 7A</i>	<i>Special Session 7B: Hot Topic</i>	<i>IP Session 7C</i>
9:30	Reliability	BIST/Calibration of A/MS devices	Machine Learning for Emerging Applications
9:50 -	<i>Session 8A</i>	<i>Special Session 8B: Hot Topic</i>	<i>IP Session 8C</i>
10:50	Machine Learning in Test	Machine Learning for Test and Diagnosis	Challenges, Opportunities, and Solutions to Hardware Security
11:10 -	<i>Session 9A</i>	<i>Special Session 9B: New Topic</i>	<i>Special Session 9C:</i> TTTC's E.J. McCluskey Doctoral Thesis Award
12:10	Test Data Analysis	Quantum Systems: Next Challenges in Design, Test, Integration	
14:00 -	<i>Session 10A</i>	<i>Special Session 10B: Hot Topic</i>	<i>IP Session 10C</i>
15:00	Reliability, Security, Diagnosis	Machine Learning and Big Data in Test	<i>Special Session 10D</i> Design & Test for Flexible Hybrid Electronics
			Town-Hall Meeting for NSF Student Program Participants

2018.07.30 Kazumi Hatayama

8

基調講演-1

• P. Gadd (VP, Intel): 「次世代データセンタ向け

高速シリコンフォトニクスの量産とテスト

- ・多くのデータが毎日共有されている…その90%は最近2年に作成
- ・巨大データセンタ(DC): 200kサーバ, 10k+スイッチ
 - ・DCコネクティビティ市場: 60%CAGR(0.7B\$(2016)→4.6B\$(2020))
- ・シリコンフォトニクス(SiPh)
 - ・DCのアップグレードに100G SMFの使用が進展(~2km)
- ・Intel SiPh: ハイブリッドSiレーザ加工によりウェハスケール処理
 - ・テスト: 光学テスト, 電気テスト, 高速IOテスト
 - ・導入して改良: ATE+垂直方向カプラでウェハ上で光学テスト
 - ・次世代SiPh(来年): 400G(並列及び2重ファイバ(CWDM8)用)・2km&10km
- ・DCにおける光コネクティビティの今後
 - ・プラグ可能な100G MSA(2016/2017)→400G MSA(2019)
 - 高密度集積(2020+)・51Tbps, 10xバンド幅, 1/2コスト/ビットに対応するため
 - ・技術課題: 小型化, 高温動作, 低電力プロセス

☆Intelのシリコンフォトニクスはテスト分野でも技術革新を起こすかもしれない

SMF: Single Mode Fiber

CWDM: Coarse Wavelength Division Multiplexing

MSA: Multi-Source Agreement

2018.07.30 Kazumi Hatayama

9

基調講演-2

• S.M. Reddy (U. Iowa): 「テストの牽引役;過去, 現在, 将来」

・過去のテストの牽引役: ツールと故障モデル

・ATPG/故障Sim.: 縮退故障, 可検査性

・BIST/DFT: スキヤン, テスト合成&検査点

・現在のテストの牽引役: テストコストとDPPM&歩留り

・コスト低減: テストデータ削減, 省ピンテスト, テスト圧縮

・DPPM低減: N回検出, 微小遅延, セル考慮

・テスト時電力低減: テスト生成ベース, DFTベース

・将来(今後)のテストの牽引役

・機械学習の利用

・故障診断, DFT, アダプティブテスト

・ゼロDPPM

・テスト不能故障が通常時に誤動作を起こす可能性あり…合成時に対策可能?

・ハザードによる活性化が必要な故障あり…ハザード活性化テスト(VTS2017)

☆様々な研究にReddy先生が関連している様子がうかがえた

2018.07.30 Kazumi Hatayama

10

故障モデルの分類

チュートリアル

テスト設計を考える際には故障のモデル化が必要

◎故障のタイプによる分類

- ・縮退故障(stuck-at) : 信号線が一定レベルに固定
- ・短絡故障(short/bridge) : 信号線が他の信号線と短絡
- ・開放故障(open) : 信号線が断線
- ・遅延故障(delay) : 信号伝播遅延が増大
 - [遷移故障(transition) : 遅延が大幅に増大]
- ・その他の故障:トランジスタ故障, メモリ故障, 機能故障, . . .

◎故障の数による分類

单一故障(single), 多重故障(multiple)

◎故障の状態による分類

永久故障(permanent), 間欠故障(intermittent), 過渡故障(transient)

2018.07.30 Kazumi Hatayama

11

故障モデルの拡張

チュートリアル

微細化及び高速化に対応した故障モデルの拡張が必要

設計の高速化

↓
遅延マージンが
減少

↓
少しの遅延でも
不良

↓
微小遅延
故障モデル

プロセスの 微細化

↓
短絡／断線が
より重大化

↓
セル内故障でも
不良

↓
セル考慮
故障モデル

2018.07.30 Kazumi Hatayama

12

アウトライン

- VTSについて
- VTS2018の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

2018.07.30 Kazumi Hatayama

13

論文発表数:分野別

- 前回(VTS2017)及び前々回(VTS2016)との比較

トピック別論文数	採択率	VTS2018	VTS2017	VTS2016
		45% (30/66)	44% (32/73)	42% (39/93)
ディレイ／性能テスト	0 / 0.0	4 / 1.3	2 / 0.7	
電力考慮テスト	0 / 0.0	0 / 0.0	3 / 1.0	
ATPG／DFT	2 / 0.7	5 / 1.8	3 / 1.0	
メモリテスト	1 / 0.3	3 / 1.0	6 / 2.0	
アナログ／MSテスト	3 / 1.0	4 / 1.3	5 / 1.7	
高速I/O／RFテスト	2 / 0.7	2 / 0.7	4 / 1.3	
3D-ICテスト	1 / 0.3	0 / 0.0	0 / 0.0	
その他のデバイステスト	0 / 0.0	0 / 0.0	4 / 1.3	
デバッグ／故障診断／歩留改善	8 / 2.7	5 / 1.7	5 / 1.7	
システム高信頼化／劣化対応	5 / 1.7	5 / 1.7	3 / 1.0	
セキュリティ	6 / 2.0	3 / 1.0	2 / 0.7	
その他	2 / 0.7	1 / 0.5	2 / 0.7	
合計	30 / 10.0	32 / 11.0	39 / 13.0	

2018.07.30 Kazumi Hatayama

15

論文発表数:国別

- 採択論文数:30件 (採択率は約45%)
- 日本からは0件(3年連続)
- 国別採択論文数は右図のとおり
(アジア勢としてもやや低調)
- 分野別の状況(次スライド参照)
 - 全体構成:分野として大きく変動
 - ATPG/DFT関連:全体として大幅に減少
 - AMS/RF関連:ほぼ横ばい
 - メモリテスト:継続的に減少
 - 3D-ICテスト:BIST関連, 復活の方向?
 - セキュリティ関連:倍増(主要トピックに)
 - テスト結果データ活用:非常に活発
 - 高信頼化関連:着実な足取り

	VTS 2018	VTS 2017	VTS 2016	VTS 2015
USA	19	16	23	25
Japan	0	0	0	1
China	2	3	1	1
Taiwan	1	2	3	3
India	0	1	3	1
Iran	0	0	0	2
France	1	2	1	1
Germany	2	3	4	2
Netherland	0	1	0	1
Belgium	0	0	0	1
Greece	0	1	2	0
Austria	2	1	0	0
Cyprus	0	0	1	0
Italy	1	0	0	0
Poland	0	0	0	0
Canada	2	2	1	0
Mexico	0	0	0	1
Total	30	32	39	39

2018.07.30 Kazumi Hatayama

14

VTS2018におけるテスト技術動向

- VTSについて
- VTS2018の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

2018.07.30 Kazumi Hatayama

16

ATPG/DFT関連

- Session 4A: BIST
- Session 6A: ATPG
- IP Session 5C: Innovative Practices on Test in Japan
- ATPG/DFT関連では一般3件、企業セッション1件の講演あり
- 6A.3及び5C.2について紹介

講演No.	タイトル	著者	所属
4A.1	An Inter-Layer Interconnect BIST Solution for Monolithic 3D ICs	A. Koneru, K. Chakrabarty	Duke U.
4A.3	Exploiting Built-In Delay Lines for Applying Launch-on-Capture At-Speed Testing on Self-Timed Circuits	O. Al-Terkawi Hasib, D. Crepeau, T. Awad, A. Dulipovici, Y. Savaria, C. Thibeault	E. P. Montreal, Octasic, E. T. S. Montreal
6A.3	Staggered ATPG with Capture-per-Cycle Observation Test Points	Y. Liu, J. Rajski, S. Reddy, J. Solecki, J. Tyszer	U. Iowa, Mentor, Poznan U. T.
5C.2	A DFT based Approach to Functional Safety for Automotive MCU	J. Matsushima, Y. Maeda	Renesas

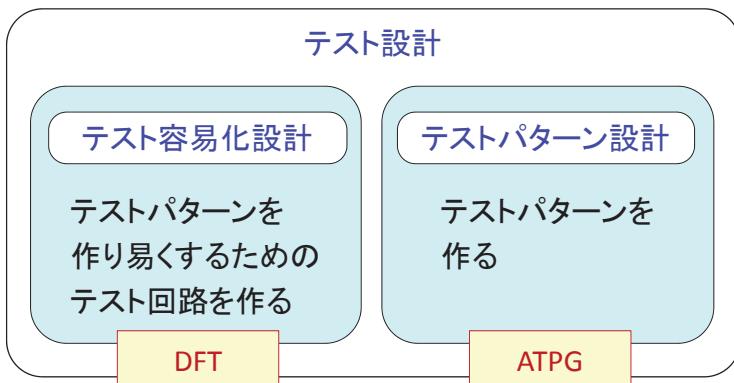
2018.07.30 Kazumi Hatayama

17

広い意味でのテスト設計

チュートリアル

テスト設計は広義には2つの内容を含む



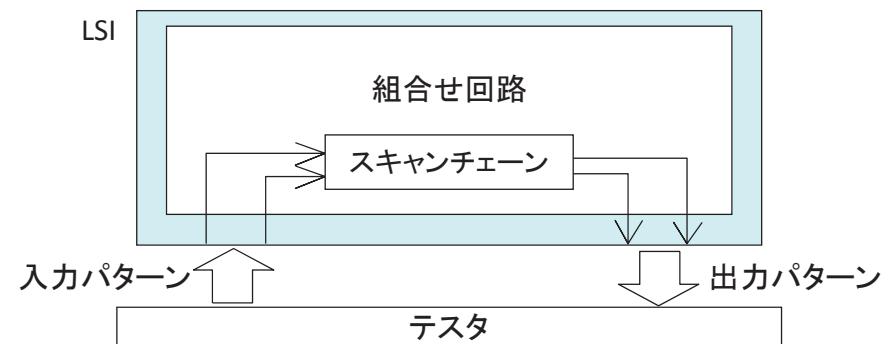
2018.07.30 Kazumi Hatayama

18

スキャン設計

チュートリアル

スキャン設計ではテスタからの入力パターンをスキャンチェーン(一般に複数)を通してフリップフロップ(FF)に書込むことにより内部状態を設定し、FFでの出力パターンをスキャンチェーンを通してテスタに読出すことにより内部状態を観測する



2018.07.30 Kazumi Hatayama

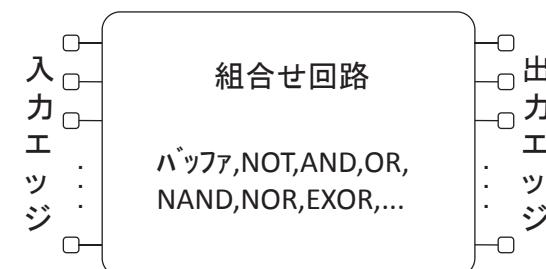
19

テスト生成アルゴリズム

チュートリアル

組合せ回路モデルに対してテストパターンを生成

ある信号線に0(または1)縮退故障を仮定し、これを検出するための入力パターンを求める



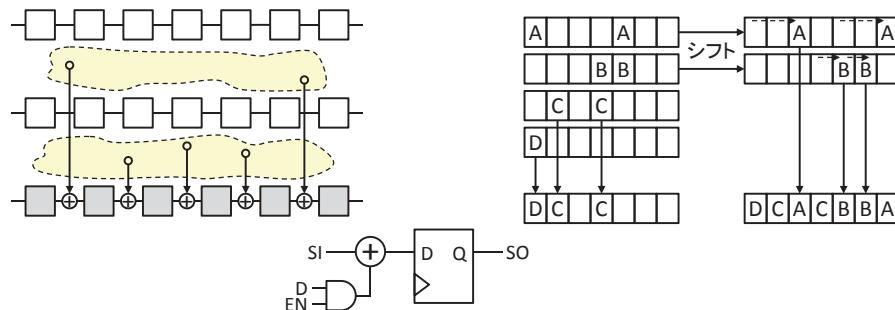
2018.07.30 Kazumi Hatayama

20

講演の概要: 6A.3

*は第1著者

- ・Y. Liu*(Iowa U.): サイクル毎キャプチャの観測検査点を用いた時間ずらしATPG
 - ・スキャンテスト時間の短縮・サイクル毎キャプチャテストによるテスト時間削減
 - ・専用の観測用検査点を挿入・シフトサイクル中にテスト応答を取得
 - ・専用スキャンチェーンを設置してシフトサイクル中にテスト応答を圧縮
 - ・時間ずらしATPG: サイクル毎キャプチャを利用してATPGを効率化
 - ・テストキューブの併合: 時間をずらした整合性も考慮
 - ・故障Sim.: 時間をずらしたパターンも故障Sim.(専用観測点のみ観測可能)

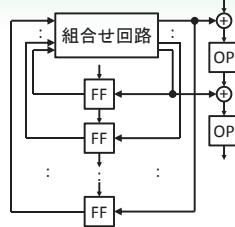


2018.07.30 Kazumi Hatayama

21

講演の概要: 6A.3 (cont.)

- ・観測点(OP): 適切な選択が時間ずらしATPG成功の鍵
 - ・通常のスキャンFFの入力に直接挿入
 - ・対象FFは故障検出数に基づいて選択
- ・評価実験(実用回路10種): パターン削減率を評価
 - ・OPはFF数の2%以下に設定
 - ・パターン削減率は1.35x~2.69x(平均1.9x)



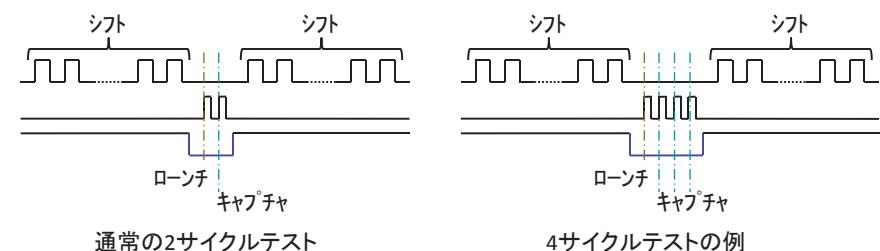
回路	ゲート数	FF数	チェーン数	チェーン長	故障数
D1	1.2M	75K	398	189	3.7M
D2	2.1M	145K	421	345	5.4M
D3	1.0M	60K	49	1,220	1.3M
D4	1.4M	95K	172	555	3.0M
D5	4.8M	329K	604	545	9.2M
D6	2.5M	206K	370	557	3.3M
D7	7.4M	245K	426	576	19.3M
D8	15.5M	762K	1,554	491	54.7M
D9	20.4M	894K	1,769	505	76.0M
D10	3.2M	213K	501	425	8.8M

2018.07.30 Kazumi Hatayama

22

講演の概要: 5C.2

- ・J. Matsushima (Renesas): 車載MCUの機能安全に対するDFTベース手法
 - ・ISO26262: 車載用MCUに機能安全メカニズムの装備を要求
 - ・POST(Power-on Self Test): 安全性が重要なシステムで広く採用
 - ・POSTの課題: テスト時間削減, ただしテスト品質は維持
 - ・スキャンチェーン短縮: 配線混雑による面積増・採用困難
 - ・検査点挿入: 増やし過ぎると面積増・適切な検査点数に限定
 - ・マルチサイクルテスト手法を導入
 - ・1つのスキャンパターンで複数回キャプチャ動作
 - 1回のシフトで多くの故障を検出・パターン数を削減



2018.07.30 Kazumi Hatayama

23

講演の概要: 5C.2 (cont.)

- ・実チップでの評価(車載MCU(62Mゲート))
 - ・4サイクル以上は効果なし(最大で40%の削減)・故障の影響の消失による
 - 観測用検査点(故障検出強化FF)の追加による検出能力向上
- ・適用事例(車載MCU(62Mゲート))
 - ・観測点数を37k, 74k, 111kの3ケースで評価(10サイクルテスト)
 - ・111kで: パターン数を66%削減(面積増は0.81%)
- ・まとめ
 - ・POSTによりISO26262準拠のMCUを実現
 - ・2018年3月発表の28nmMCUに適用済

回路	従来ATPG		パターン削減率	時間ずらしATPG w/ 観測点	
	検出率(%)	パターン数		観測点数	検出率(%)
D1	96.36	1,400	1.47x	1,428	96.36
D2	97.26	4,161	1.99x	2,613	97.22
D3	92.20	3,204	1.71x	866	92.20
D4	97.68	5,433	1.81x	1,913	97.66
D5	94.24	1,914	2.15x	6,322	94.23
D6	97.63	1,822	1.58x	3,389	97.62
D7	98.31	3,195	1.78x	4,904	98.35
D8	99.04	2,727	2.69x	12,970	99.04
D9	99.22	2,967	2.43x	17,134	99.22
D10	98.05	2,433	1.35x	3,723	98.04

2018.07.30 Kazumi Hatayama

24

AMS/RFテスト関連

- Session 1A: Analog Test
- Session 4A: BIST
- Session 6A: ATPG
- IP Session 2C: Quality Levels of A/MS Devices
- IP Session 5C: Innovative Practices on Test in Japan
- AMS/RFテスト関連では一般5件、企業セッション4件の講演あり
(一覧は次スライドに掲載)
- 1A.2, 1A.3及び4A.2について紹介

2018.07.30 Kazumi Hatayama

25

AMS/RFテスト関連 (cont.)

講演No.	タイトル	著者	所属
1A.1	Group Delay Measurement of Frequency Downconverter Devices Using Chirped RF Modulated Signal	P. Sarson, T. Yanagida, K. Machida	ams, Gunma U.
1A.2	A Coherent Subsampling Test System Arrangement Suitable for Phase Domain Measurements	Y. G. Cho, G. Roberts, S. Aouini, M. Parviz, N. Ben-Hamida	Ciena, McGill U.
1A.3	An Oscillation-Based Test Technique for On-chip Testing of mm-Wave Phase Shifters	M. Margalef-Rocira, M. Barragan, P. Ferrari, E. Sharma, E. Pistono, S. Bourdel	TIMA, IMEP-LaCH
4A.2	A Built-In Self-Test Technique for Transmitter-Only Systems	M. Shafiee, J. Kitchen, S. Ozev	Arizona S. U.
6A.1	Efficient Generation of Parametric Test Vectors for AMS chips with an Interval Constraint Solver	F. Neubauer, J. Burchard, P. Raiola, B. Becker, M. Sauer, J. Rivoir	U. Freiburg, Advantest
2C.1	Producing Defect-free IC's by Combining Electrical Test Data and Silicon Inspection Data	W. Dobbelaere	ON Semi
2C.2	Using Fault Injection to Determine ASIL Level	M. Violante	Poli. Torino
2C.3	IEEE P2427: Proposing the Essential Framework for Measuring Defect Coverage in Analog Circuits	J. Rearick	AMD
5C.1	Analysis and Evaluation Method of Complex Analog Filter	K. Asami, Y. Tamura, H. Kobayashi	Advantest, Gunma U.

2018.07.30 Kazumi Hatayama

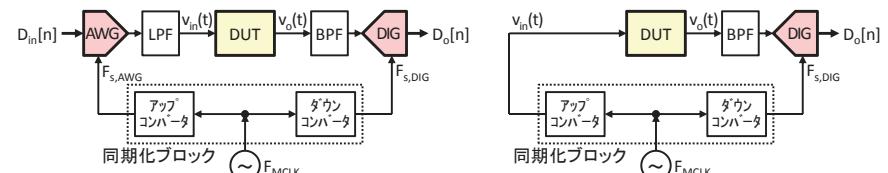
26

講演の概要 : 1A.2

*は第1著者

- Y. G. Cho*(Ciena): 位相領域測定に適したサブサンプリングテストシステムの構成
- コヒーレントサブサンプリングテストシステムの構成を提示
 - 時間ベースチャネルの固有ノイズとジッタ伝達特性応答が測定可能
 - 従来手法で必要となる最高周波数の2倍以上でのサンプリングを不要化
- 一般的な構成: AWG(任意波形発生器)でベースバンドテスト信号を発生
 - AWGでATEからデジタル信号(D_{in})を取りこんでDUTへの入力($v_{in}(t)$)を生成
 - DUTの応答($v_o(t)$)をデジタイザ(DIG)で加工してサンプル値(D_o)をATEに出力
 - AWGとDIGへのクロック: マスタクロックを同期化ブロックで変換
- 固有ノイズの測定: 位相ベースのノイズ測定
 - AWGなしでアップコンバータの出力を直接DUTに入力

$$v_{in}(t) = \text{sqwave}[\sin(2\pi \cdot U \cdot F_{MCLK} \cdot t)]$$
 (sqwave: 正弦波を同一周波数の方形波に写像)

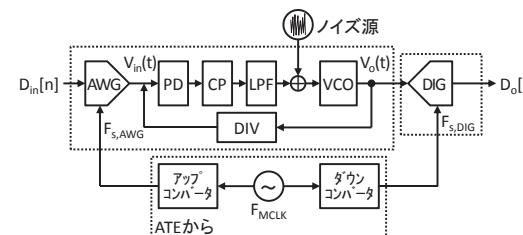
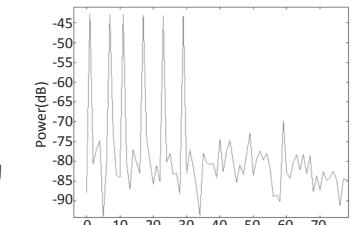


2018.07.30 Kazumi Hatayama

27

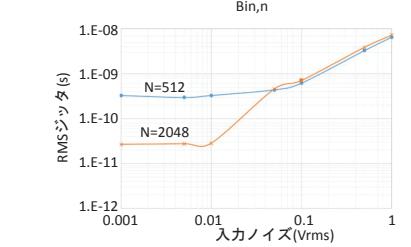
講演の概要 : 1A.2 (cont.)

- Sim.による確認: 2種のシステム構成をMATLAB/Simulinkで評価
 - マルチトーン位相変調(PM)信号: 6トーンの出力を確認
 - PMノイズ信号: 良好な線形性を確認
- 市販部品でシステム構築→Flexテスターで測定
 - マルチトーンPM信号: 一般的な構成と同様
 - 6トーンすべてを適切に観測(右図)
 - PMノイズ信号: 下記の構成を使用
 - 2048点のデータで2桁のノイズ範囲での出力
ジッタの変化の観測を確認



2018.07.30 Kazumi Hatayama

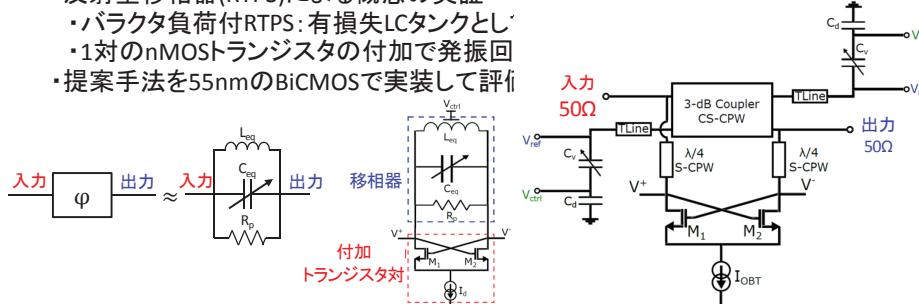
28



講演の概要: 1A.3

*は第1著者

- ・M. Margalef-Rocira*(TIMA): ミリ波移相器の発振ベースオンチップテスト手法
 - ・フェーズドアレイ利用ビーム形成: 高データレートP2P通信実用化の有望な解決策
 - ・移相器の集積による性能低下の可能性・広範囲のテストと較正が必要
 - ・集積ミリ波移相器のBISTに適した発振ベーステスト(OBT)手法を提案
 - ・移相器を発振回路に再構成してテスト・以下の利点をもつ
 - ・DUT自身がテスト信号を発生・専用のテスト入力発生回路が不要
 - ・移相が発振の振幅と周波数を自然に符号化・テスト結果の解釈が容易
 - ・反射型移相器(RTPS)による概念の実証
 - ・バラクタ負荷付RTPS: 有損失LCタンクとし
 - ・1対のnMOSトランジスタの付加で発振回
 - ・提案手法を55nmのBiCMOSで実装して評価

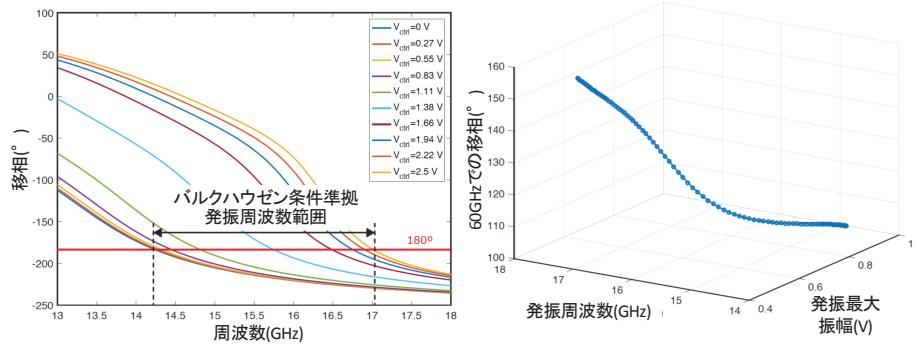


2018.07.30 Kazumi Hatayama

29

講演の概要: 1A.3 (cont.)

- ・評価結果: 電磁界解析(ANSYS HFSS)により評価
 - ・移相がバイアス電圧(V_{ctrl})の全調整範囲で実現できていることを確認
 - ・バルクハウゼンの発振条件に適合する出力範囲は14~17GHz
 - ・OBTモードでの移相(@ 60GHz)が発振の振幅と周波数の関数となることを確認



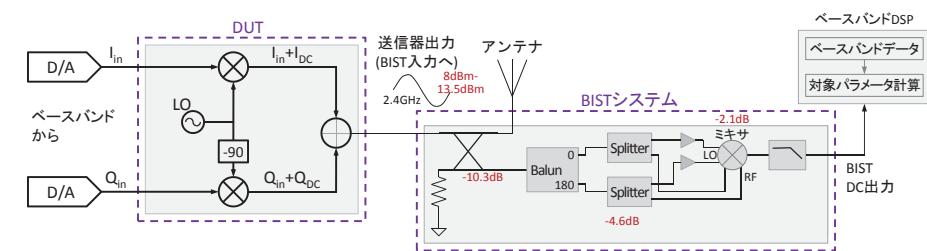
2018.07.30 Kazumi Hatayama

30

講演の概要: 4A.2

*は第1著者

- ・M. Shafiee*(Arizona S. U.): 送信器のみのシステムのための組込み自己テスト(BIST)手法
 - ・環境モニタリング等のIoTノード: 一方向通信を使用・送信器のみのシステム
 - ・受信器がないためループバックなどの低コストテスト手法が適用不可
 - ・受信器のないIQ送信器の不均衡をキャラクタライズするためのBIST手法を提示
 - ・製造テスト及びフィールド内テストの両方に使用可能
 - ・単純な回路と単一のテスト設計のみ使用
 - ・目標パラメータを内部BISTパラメータとは無関係に解析的に計算することで、初期較正フェーズの必要性を排除
 - ・すべての測定値はDC・外部RF信号は生成不要



2018.07.30 Kazumi Hatayama

31

講演の概要: 4A.2 (cont.)

- ・実験評価: 以下の3つの実験を実施
 - ・MATLABモデルSim.: 提案BISTをMATLABに実装して精度を解析
 - ・ゲイン、位相とも精度が妥当な範囲にあることを確認
 - ・ディスクリート部品を使用したHWデモ: 市販部品を用いて実験室環境で評価
 - ・高い精度でのミスマッチ推定を確認: ゲイン(1.7%), 位相(0.2°)
 - ・ポストレイアウト回路Sim.: 送信器をMATLABでシミュレーションして評価
 - ・エリア増は4.2%以下、BISTでの総消費電力は12.1mW
 - ・BIST回路のテスト信号の電圧範囲での線形性を確認
 - ・対象パラメータを高い精度で推定できることを確認



2018.07.30 Kazumi Hatayama

32

テスト結果データ活用関連

- Session 8A: Machine Learning in Test
- Session 9A: Test Data Analysis
- IP Session 7C: Machine Learning for Emerging Applications
- テスト結果データ活用関連では一般6件、企業セッション3件の講演あり(一覧は次スライドに掲載)
- 8A.1, 8A.2及び9A.2について紹介

2018.07.30 Kazumi Hatayama

33

テスト結果データ活用関連 (cont.)

講演No.	タイトル	著者	所属
8A.1	IC Layout Weak Point Quality Evaluation based on Statistical Methods	F. Lin, K. Huang, A. Ahmadi, K. Sekar, P. Yan	San Diego S. U., GF
8A.2	Analyzing and Mitigating the Impact of Permanent Faults on a Systolic Array Based Neural Network Accelerator	J. Zhang, T. Gu, K. Basu, S. Garg	New York U.
8A.3	IR Drop Prediction of ECO-Revised Circuits Using Machine Learning	S.-Y. Lin, Y.-C. Fang, Y.-C. Li, Y.-C. Li, C.-M. Li, T.-S. Yang, S.-C. Ling, E. J.-W. Fang	Nat'l Taiwan U., MediaTek
9A.1	Fast Fault Coverage Estimation of Sequential Tests Using Entropy Measurements	S. Tanwir, M. Hsiao	Virginia Tech
9A.2	Real-Time Monitoring of Test Fallout Data to Quickly Identify Tester and Yield Issues in a Multi-Site Environment	Q. Khasawneh, J. Dworak, P. Gui, B. Williams, A. Elliot, A. Muthiah	SMU, Tessolve
9A.3	Online Information Utility Assessment for Per-Device Adaptive Test Flow	Y. Li, E. Yilmaz, P. Sarson, S. Ozev	UEST China, NXP, ams, Arizona S. U.
7C.1	Overcoming the Challenges of Hotspot Detection using Deep Learning	K. Madkour	Mentor
7C.2	Online Monitoring Platform for Network Devices	Z. Zhang	Huawei
7C.3	Data Collection of a Trojan Insertion Hardware Emulator for Machine Learning	A. L. Crouch, P. L. Levin, E. Hunter	Amida

2018.07.30 Kazumi Hatayama

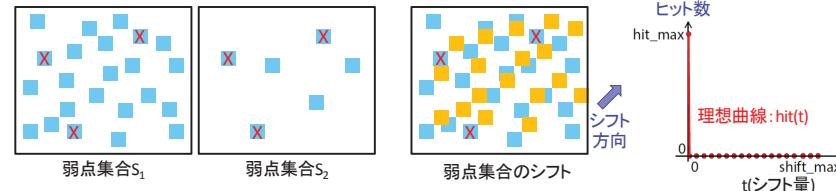
34

講演の概要 : 8A.1

*は第1著者

- F. Lin*(San Diego S. U.): 統計的手法に基づくICレイアウトの弱点の品質評価
- 設計ホットスポット(レイアウトの弱点): システマティック不良や歩留り損失になりやすいパターン
- どのレイアウトの弱点が歩留り低下の原因かの定量化が最重要
- レイアウトの弱点に対する従来の取組み
 - 弱点の特定: 様々なモデル/ツールあり···ただし正確なモデル化は困難な課題
 - 弱点の有効性評価: ヒット率···直観的で高速だが、単なる偶然の排除は困難
 - 提案評価手法: 統計的手法を用いた故障に及ぼすレイアウトの弱点の定量評価
 - 弱点のシフト: 有効な弱点集合であれば、シフトによりヒット数が大幅に減少
 - 弱点有効性(WPE): ヒット数をシフト量(t)の関数($hitn(t)$)として理想値($hit(t)$)との差を計算

$$wpe = \int_0^{shift_{max}} |hit(t) - hitn(t)| dt$$
 - 与えられた弱点集合の有効性の評価: ランダムな弱点集合との比較で評価

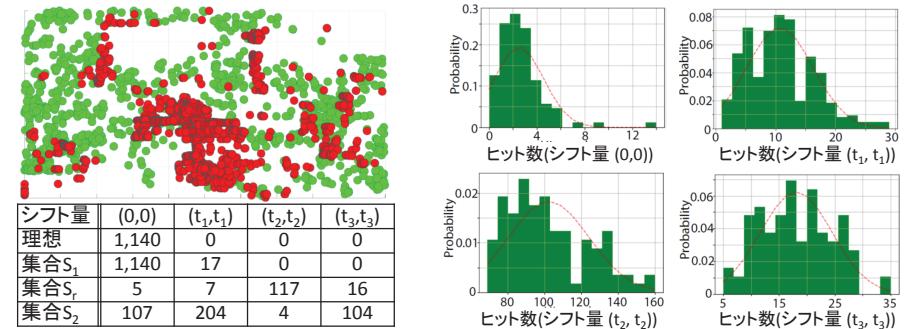


2018.07.30 Kazumi Hatayama

35

講演の概要 : 8A.1 (cont.)

- 実験評価(大規模デバイス): 弱点数···158,171(集合 S_1), 診断指摘数···431,522
- 弱点集合 S_1 (ツールで生成)によるヒット数(1,140)を理想として3種のシフト量で評価
- 結果(それぞれ1000回の試行)
 - S_1 に対するシフト量の影響は t_1 での少量のヒットのみで、 t_2 , t_3 ではヒットなし
 - ランダムな弱点集合(S_r)では元々のヒット数が少なく、シフト後のヒット数が増加
 - 他のレイアウト層に対する弱点集合 S_2 (弱点数1,908,806, 診断指摘数171,225)では、シフト量 t_1 , t_3 で大量のヒットあり→ S_2 の有効性が低いことを示唆



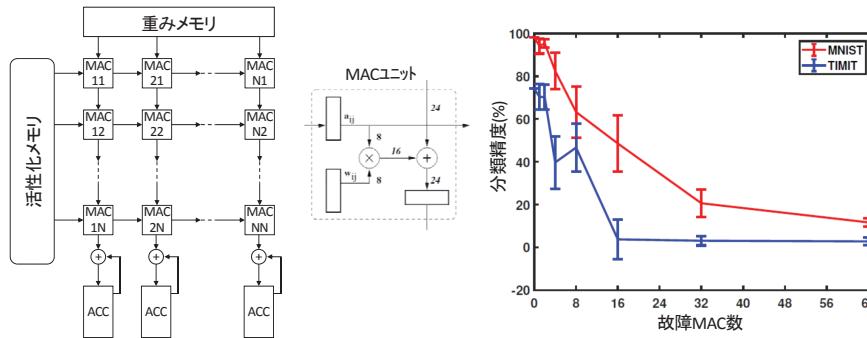
2018.07.30 Kazumi Hatayama

36

講演の概要: 8A.2

*は第1著者

- J. Zhang*(New York U.): NNアクセラレータにおける永久故障の分析と軽減
 - TPUのDNNアクセラレータ: シストリックアレイベースの行列乗算ユニットを使用
→ 少しの積和演算器(MAC)の故障が大きな分類精度の低下を招く恐れあり
 - フォールトトレラントなシストリックアレイベースのDNNアクセラレータを設計
 - 2つの戦略(故障考慮枝刈り(FAP)及び故障考慮枝刈り+再訓練(FAP+T))を提案
 - FAP+T: 再訓練のための時間ペナルティあり → 最適化により短縮
 - TPUチップごとに1回限り → TPUの運用全期間にわたって償却

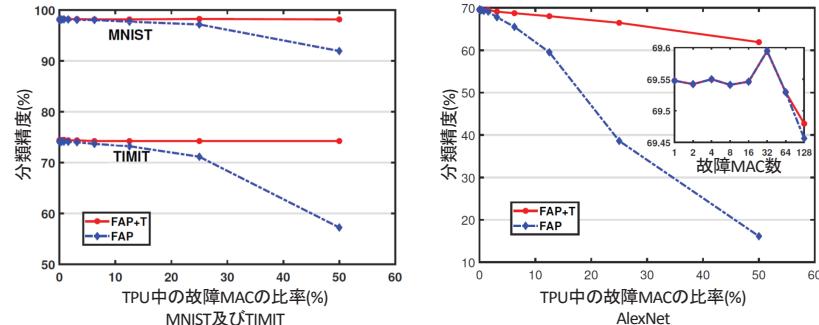


2018.07.30 Kazumi Hatayama

37

講演の概要: 8A.2 (cont.)

- 評価実験: ベンチマーク・MNIST(数字認識), TIMIT(音声認識), AlexNet(画像認識)
 - 256 × 256のMACのシストリックアレイのプロトを開発(658MHz, 1.1V)
- 評価方法: プロト上にDNNをマッピング, 縮退故障を注入してModelSimで実行
- 評価結果:
 - 実行時間オーバヘッドなしで, 無視できる程度の精度低下(0.1%)
 - 最大50%までの故障率で動作可能
 - FAP+Tでの再訓練のためのオーバヘッドは約12分(最適化により5倍短縮)



2018.07.30 Kazumi Hatayama

38

講演の概要: 9A.2

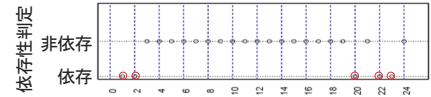
- Q. Khasawneh(SMU): マルチサイト環境におけるテスタと歩留りの問題の迅速な特定
 - テスタフェールの一部はテスタに原因
 - 歩留りとテスト結果データの実時間監視が必要
 - マルチサイトテストでの歩留りを監視する低コストのアルゴリズムを提示
 - 小さなサイズの直近テストデータを用いてテスタやロードボード起因の問題を特定
 - 標準的なマルチサイトテスタのテストプログラムに実装可能
 - 実時間監視アルゴリズム
 - χ^2 検定によってテスト結果がサイトに依存しないかをチェック
 - テストしたチップの総数, サイトごとのパスチップ数/フェールチップ数を監視
 - 所定サイズのテストしたチップと比較 → テスト結果のサイト依存性を判定
 - 結果として依存性が指摘されれば即座に警報を生成して作業者に送信
 - 警報の内容: 各サイトの残差, 最大の残差をもつサイト, テスト名, など
 - 問題が再発すれば, デバイス/生産技術者が対策を検討
 - 対策には, 生産を停止して問題を究明するケースも含まれる

2018.07.30 Kazumi Hatayama

39

講演の概要: 9A.2 (cont.)

- 実用回路でのケーススタディ
 - アルゴリズムをR言語で実装
 - 4つの異なるロットのデータ(多くは歩留り97%以上)を用いてアルゴリズムを検証
 - アルゴリズムが実際よりも早く問題の存在を指摘できるかを評価
 - 製造用テストプログラムは378のテスト項目, 各ロットは5432チップ
 - 4ロットのうち2ロットは低歩留り(第3ロットは48.8%, 第4ロットは91.39%)
 - 第3ロット: T1の不良率が49.7%, T2で15チップがフェール(すべてサイト2)
 - 第4ロット: サイト1でのT3の歩留りが57.76%
 - 提案アルゴリズムは, これらの2ロットの問題を早期に指摘, 誤報はない

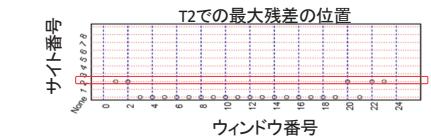


求めた残差(赤字は問題のあるもの)

	サイト	1	2	3	4	5	6	7	8
T1 (Lot3)	F	484	285	535	351	271	283	342	206
	P	15.0	8.80	16.5	10.8	8.38	8.7	10.6	6.37
T3 (Lot4)	F	95	0.8	0.8	0.8	1.1	1.0	0.9	0.9
	P	2.9	0.02	0.03	0.02	0.03	0.03	0.03	0.03

2018.07.30 Kazumi Hatayama

40



セキュリティ関連

- Session 2A: Hardware Security
- Session 3A: Memory
- Session 5A: Test Standards
- Session 10A: Reliability, Security, Diagnosis
- IP Session 8C: Challenges, Opportunities, and Solutions to Hardware Security
- セキュリティ関連では一般6件、企業セッション3件の講演あり
(一覧は次スライドに掲載)
- 2A.1, 2A.2, 3A.1及び10A.3について簡単に紹介

2018.07.30 Kazumi Hatayama

41

セキュリティ関連(cont.)

講演No.	タイトル	著者	所属
2A.1	ATPG-Based Cost-Effective, Secure Logic Locking	A. Sengupta, M. Nabeel, M. Yasin, O. Sinanoglu	New York U., New York U. - Abu Dhabi
2A.2	Modeling and Test Generation for Combinational Hardware Trojans	Z. Zhou, U. Guin, V. Agrawal	Auburn U.
2A.3	Modeling Attacks on Strong Physical Unclonable Functions Strengthened by Random Number and Weak PUF	J. Ye, Y. Hu, Q. Guo, X. Li, H. Li	ICT/CAS
3A.1	Hardware Trojan Attack in Embedded Memory	T. Hoque, R. Karam, S. Bhunia, X. Wang, A. Basak	U. Florida, CWRU
5A.3	Securing IJTAG against Data-Integrity Attacks	R. Elnaggar, K. Chakrabarty, R. Karri	Duke U., New York U.
10A.3	RF Circuit Authentication for Detection of Process Trojans	F. Karabacak, K. Jennifer, S. Ozev, R. Welker, M. Casto	Arizona S. U., Alphacore, Air Force Res. Lab
8C.1	Is EDA Industry Ready for Design for Security and Security Validation Challenges?	S. Aftabjahani	Intel
8C.2	Enabling Full SoC Hardware/Software Security Verification	J. Oberg	Tortuga Logic
8C.3	Finding Opportunities to Apply Hardware Security	M. Chen	Mentor

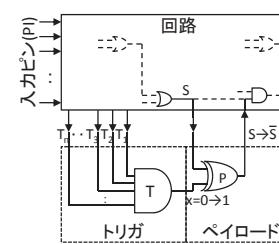
2018.07.30 Kazumi Hatayama

42

講演の概要 : 2A.2

*は第1著者

- Z. Zhou*(Auburn U.):組合せハードウェアトロイのモデル化及びテスト生成
 - ハードウェアトロイ(HT):半導体製造のグローバル化によりセキュリティ上の脅威
 - 製造チップ内のHTを検出するテストを考案
 - ネットリストに基づくHTに対する一般的モデル(タイプn HT)を提案
 - 条件付き縮退故障検出に基づくHTの検出
 - 全タイプ1 HTを妥当なテスト数で検出、高次のHTも妥当な確率で検出
 - 実験結果:ISCAS85ベンチマークを使用、4セットの20k個のHT(タイプ1~4)で評価
 - HT検出能力をN回検出テスト、ランダムテストと比較→効率的な検出を確認



HT タイプ	回路	故障箇所数	全HT数(上限)	縮退 テスト数	有効 HT数	HT テスト数	HT検出率(%)	提案	N-det	ランダム
タイプ1	C432	307	1.88×10^5	69	1.67×10^4	100k	100	96.86	70.29	
	C880	577	6.65×10^5	76	1.53×10^5	532k	96.25	95.88	94.81	
タイプ2	C432	307	5.73×10^7	69	1.27×10^7	100k	93.48	89.71	61.93	
	C880	577	3.82×10^8	76	1.22×10^8	532k	93.72	92.98	91.62	
タイプ3	C432	307	1.16×10^{10}	69	3.96×10^9	100k	89.62	83.89	59.16	
	C880	577	1.46×10^{11}	76	6.25×10^{10}	532k	90.08	89.99	88.06	
タイプ4	C432	307	1.76×10^{12}	69	7.27×10^{11}	100k	85.28	78.67	53.11	
	C880	577	4.19×10^{13}	76	2.18×10^{13}	532k	87.87	87.51	85.62	

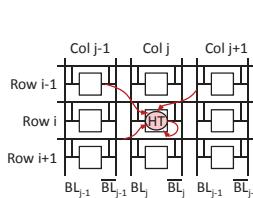
2018.07.30 Kazumi Hatayama

43

講演の概要 : 3A.1

*は第1著者

- T. Hoque*(U. Florida):内蔵メモリにおけるハードウェアトロイ(HT)攻撃
 - 高信頼コンピューティング:内蔵SRAMアレイの信頼性及び完全性が不可欠
 - SRAMテスト:故障を包括的に検出方向で進化・HTの検出は保証なし
→製造されたICに潜むHTによる重大な問題発生の可能性
 - 内蔵SRAMアレイを対象にした新たなクラスのHTを提案
 - 標準的なメモリテスト(Marchなど)を逃れ、実使用時に標的データを改ざん可能
 - オーバヘッド(電力、性能、など)を最小限に抑制→サイドチャネル解析も回避
 - 2タイプ(抵抗性ショート/オープン)の影響を与えるHTを設計
 - 実現性検証:45nm CMOSで実装、HSPICE Sim.で影響を評価
 - 不活性時にはSRAMの性能、電力、などに殆ど影響しないことを確認



パラメータ	完全良品	HTトリガ信号線			
		WL	WL,Q1	Q1,Q2	BL1,BL2
SNM-hold (V)	0.42	0.42	0.41/0.42	0.41/0.42	0.41/0.42
SNM-read (V)	0.24	0.24	0.23	0.23	0.23
読み出しアクセス時間 (ns)	0.26	0.26	0.26	0.26	0.26
書き込みアクセス時間 (ns)	0.84	0.85	0.85/0.86	0.85/0.86	0.85/0.86
待機電力 (nW)	1.43	1.43	1.43	1.43	1.42
読み出しエネルギー (fJ)	118.29	118.35	118.30	118.35	118.37
書き込みエネルギー (fJ)	110.95	110.71	110.69	110.69	110.39

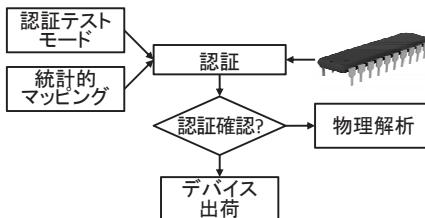
2018.07.30 Kazumi Hatayama

44

講演の概要: 10A.3

*は第1著者

- F. Karabacak*(Arizona S. U.): プロセストロイの検出のためのRF回路認証
 - ・プロセスばらつき: 悪意によるレイアウト変更に起因する可能性あり
 - ・RF回路認証のための「信じるが確認」のフレームワークを提案
 - ・小規模なプロセス/レイアウトベルの変更(性能仕様は満たす)の検出を目指す
 - ・多変量解析手法と拡張テストモードを組み合わせて実現
 - ・検出用テスト入力選択アルゴリズムも提示
 - ・実験評価: LNA回路を使用
 - ・基本回路+変更回路2(線幅8%減, 配線負荷150pF増)について評価
 - ・プロセス変更を模擬するために V_{th} シフト(平均値を+40mV)についても評価
 - ・誤検知率が無視できるレベルで高い認証精度を達成できることを確認



供給電圧(V)	変更の認証精度		
	線幅	負荷	V_{th} シフト
1.8	26%	100%	40%
1.8&1.5	48%	100%	40%
1.8&1.5&1.2	71%	100%	50%
1.8&1.5&1.2&1	78%	100%	100%
1.8&1.5&1.2&1&0.8	80%	100%	100%

2018.07.30 Kazumi Hatayama

45

パネル討論

- ・以下の3つのテーマでパネル討論
 - ・テストとAI
 - ・車載対応テスト
 - ・異種集積におけるテスト
- ・全体パネルについて概要を紹介

Session	タイトル
Plenary Panel	Are We about to Automate Ourselves out of Our Jobs?
Panel 1	Solutions to Automotive Test Challenges: Are We There Yet?
Panel 2	Challenges for Heterogeneous Integration: Learning from Past Experiences to Solve Problems of the Future

2018.07.30 Kazumi Hatayama

46

全体パネルの概要

- ・「我々はまさに自動的に我々を仕事から外そうとしているのでは?」
 - ・背景: AIが様々な分野で活躍し始めているが、これについてどう対応すべきか
 - ・S. Di Carlo (Poli. Torino)が司会、パネリストとしては4名が登壇
 - ・各パネリストの主なポジショントークは以下のとおり
 - ・S. Garg (NYU): 人間vsAI・アルファ碁など
 - ・我々は何ができる?・より良いAIの設計の手助け→我々は自動化される
 - ・AIを欺くシステムも可能、AIは学習しただけの賢さ
 - ・N. Sundaram (Intel): AI自動化・急速な動きが多くのエリアで
 - ・医療支援、株取引、作曲、自動運転車、心理学的操作、弁護士支援、...
 - ・AI革命への準備: 規制遵守のための訓練; 教育重点のシフト: 共感、信頼、...
 - ・Y. Makris (UT-Dallas): 仕事(教育、研究、専門業務)のどれだけをAIができるか?
 - ・できる部分とできない部分がある
 - ・AIは徐々に我々の仕事を進化させる・感情や創造性はAIには非常に困難
 - ・R. K. Mohammed (Intel): 顧客を喜ばせる品質の製品の供給
 - ・ビッグデータの4要件: 量、多様性、速度、正確さ(4つのV)
 - ・莫大な量、大きな多様性と複雑性、実時間フィードバック、データの不確実性

2018.07.30 Kazumi Hatayama

47

全体パネルの概要 (cont.)

- ・会場を含めた討論の主な内容は以下のとおり
 - ・どのようにAIを訓練すべきか?
 - AIは自己訓練が可能だが、「何が正しいか」が重要
 - ・AIシステムの偏りは重大な問題、如何にして偏りを正すか
 - AIへの倫理教育が大きな問題; どのような偏りかが不明確
 - ・AIが我々の仕事の大部分を奪うかもしれない?
 - 人間は新たな仕事を創造する
 - ・教師なし学習で如何にAIを制御するか?
 - 信頼は大きな問題であり、非常にデリケートな観点

2018.07.30 Kazumi Hatayama

48

アウトライン

- VTSについて
- VTS2018の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

2018.07.30 Kazumi Hatayama

49

VTS2018の特徴

- ・今回のVTS2018の特徴をまとめると以下のとおり。

(1) テストデータ活用が花盛り

- ・企業セッションや特別セッションを合わせると5セッション15件(最大)
- ・機械学習の利用が一気に加速

(2) AMS/RFテストにも様々な展開

- ・欠陥指向手法に関しては標準化が見えてきた
- ・車載IC向けのテスト品質向上が喫緊の課題

(3) セキュリティがホットトピックに

- ・テ스트コミュニティ全体としての押し上げの結果とも言えるが、
セキュリティ関連のテスト関連国際会議でのプレゼンスが向上
- ・今回のVTSではテストデータ活用に次ぐ大きなトピックに

2018.07.30 Kazumi Hatayama

50

VTS2019はモントレーで

- ・VTS2019はカリフォルニア州モントレーに場所を移して4/23～25に開催される
 - 投稿締切: 10/5(金) → 採否通知: 12/9(日)
- ・詳細はWeb(<http://www.ttc-vts.org>)を参照



2018.07.30 Kazumi Hatayama

51