

3進数を用いたAD/DA変換器の提案

新井 宏崇 山本 修平 桑名 杏奈 小林 春夫(群馬大学)
久保 和良(小山高専)

群馬大学大学院 理工学府 電子情報・数理教育プログラム
小林研究室 博士前期課程2年
新井 宏崇

OUTLINE

- はじめに
- SAR ADCとR-2R DAC
- 3進数
- 3進数DAC
- 3進数SAR ADC
- まとめ

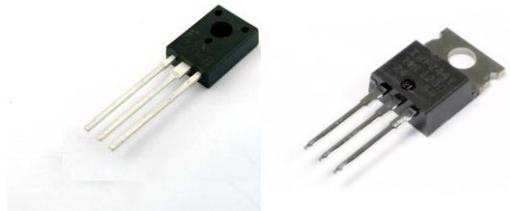
OUTLINE

- はじめに
- SAR ADCとR-2R DAC
- 3進数
- 3進数DAC
- 3進数SAR ADC
- まとめ

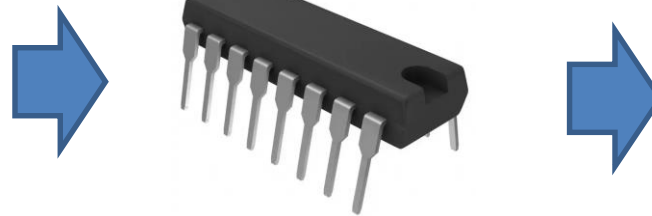
研究背景

半導体

個別半導体
(ディスクリート半導体)



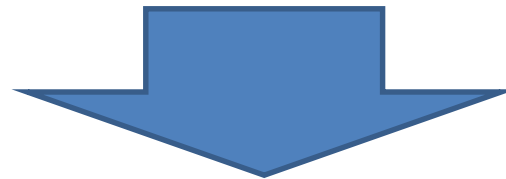
集積回路



大規模集積回路



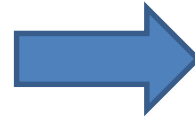
集積度 上昇



ADC・DACの面積 縮小

提案手法

すべての整数を表現可能



DACとして構成可能

従来手法

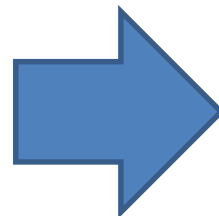
加算のみを用いて2進数演算

提案手法

加減算を用いた3進数演算

1桁あたりの

情報量 : 大

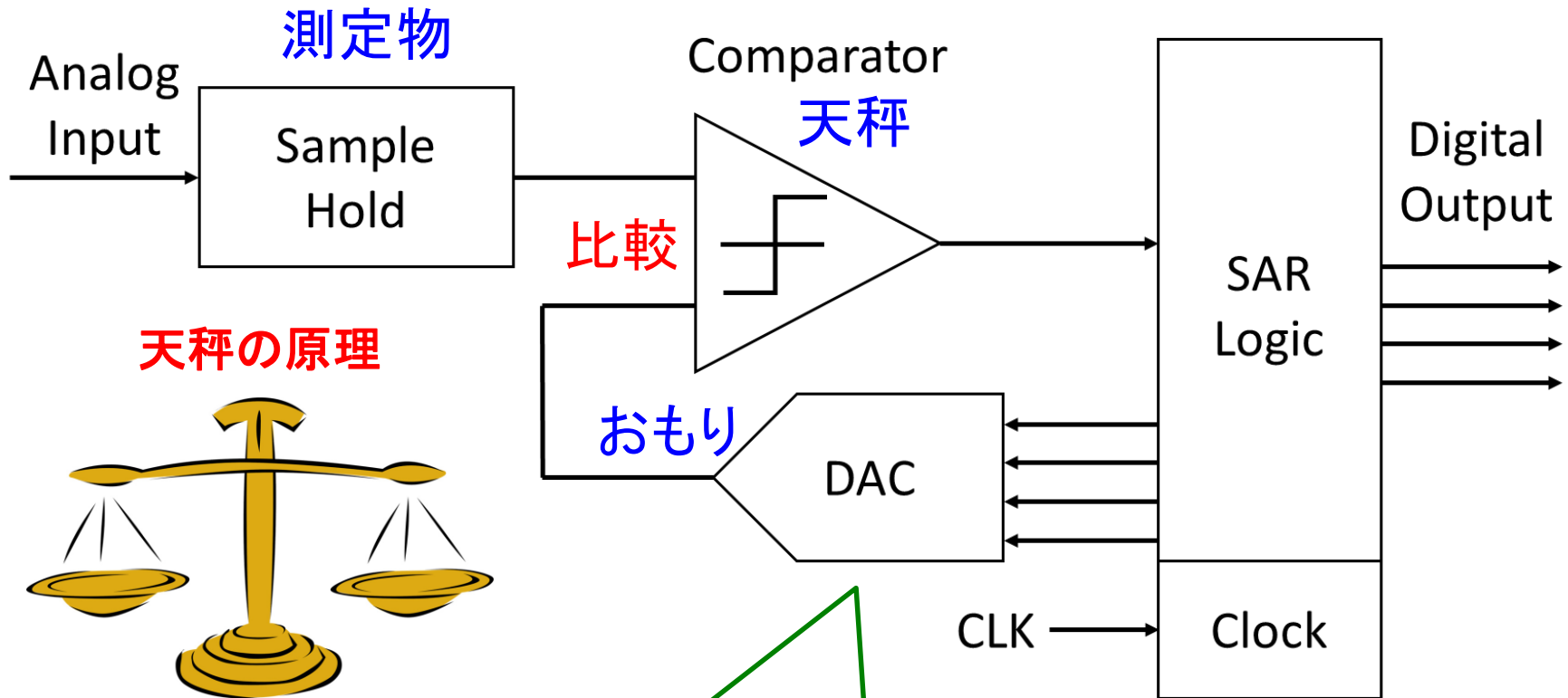


回路規模 : 小

OUTLINE

- はじめに
- SAR ADCとR-2R DAC
 - SAR ADC
 - R-2R DAC
- 3進数
- 3進数DAC
- 3進数SAR ADC
- まとめ

逐次比較近似AD変換器(SAR ADC)



天秤の原理



一般的には二進重みを利用
(1, 2, 4, 8, 16, 32, 64 ...)

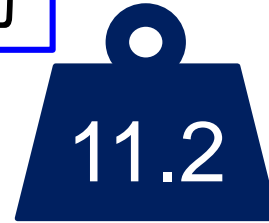


SAR: Successive Approximation Register

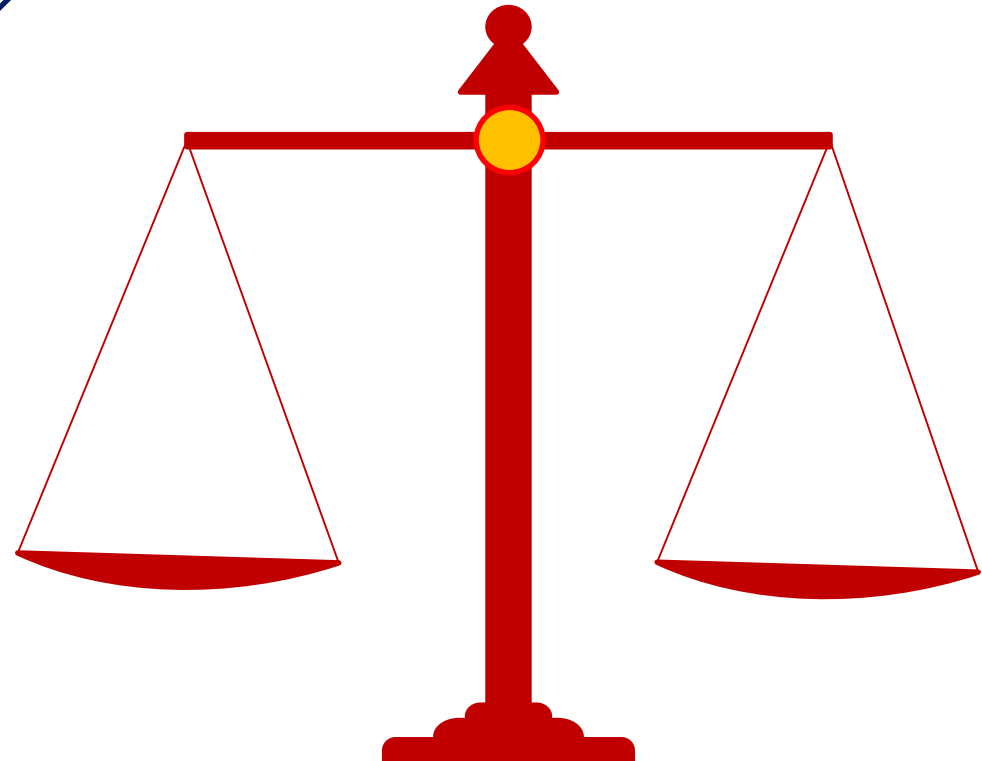
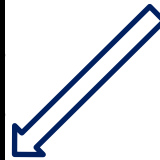
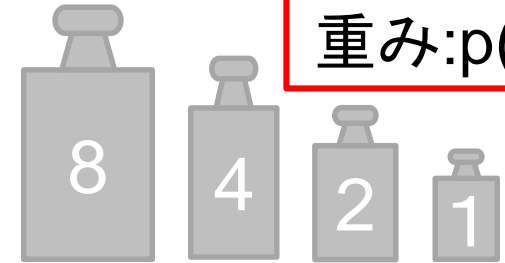
2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力



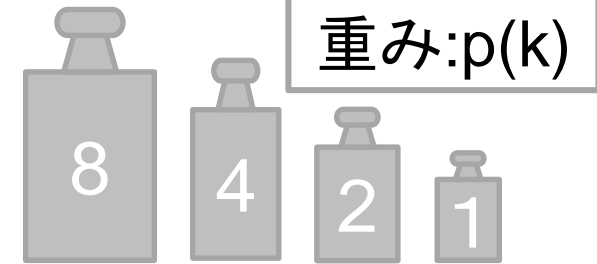
重み:p(k)



2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力

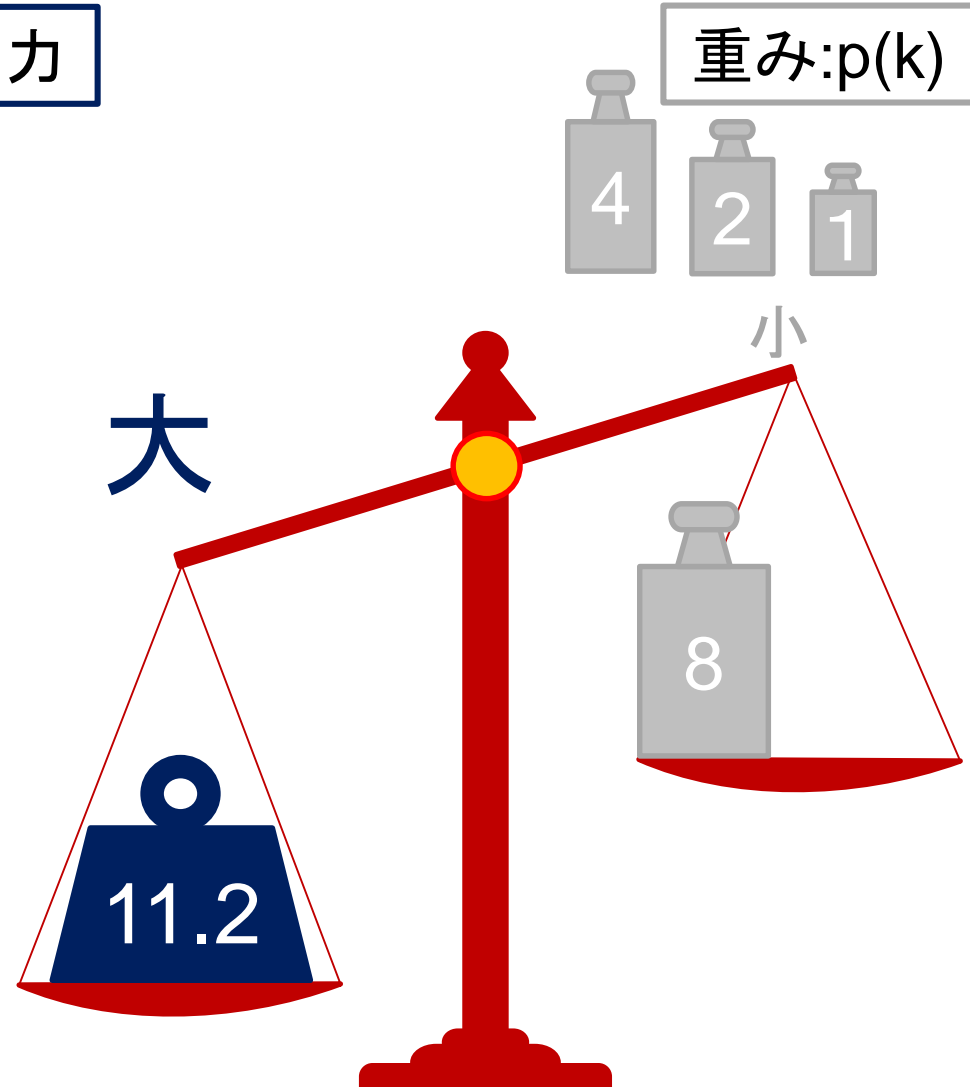


入力:大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	D2	D3	D4

入力



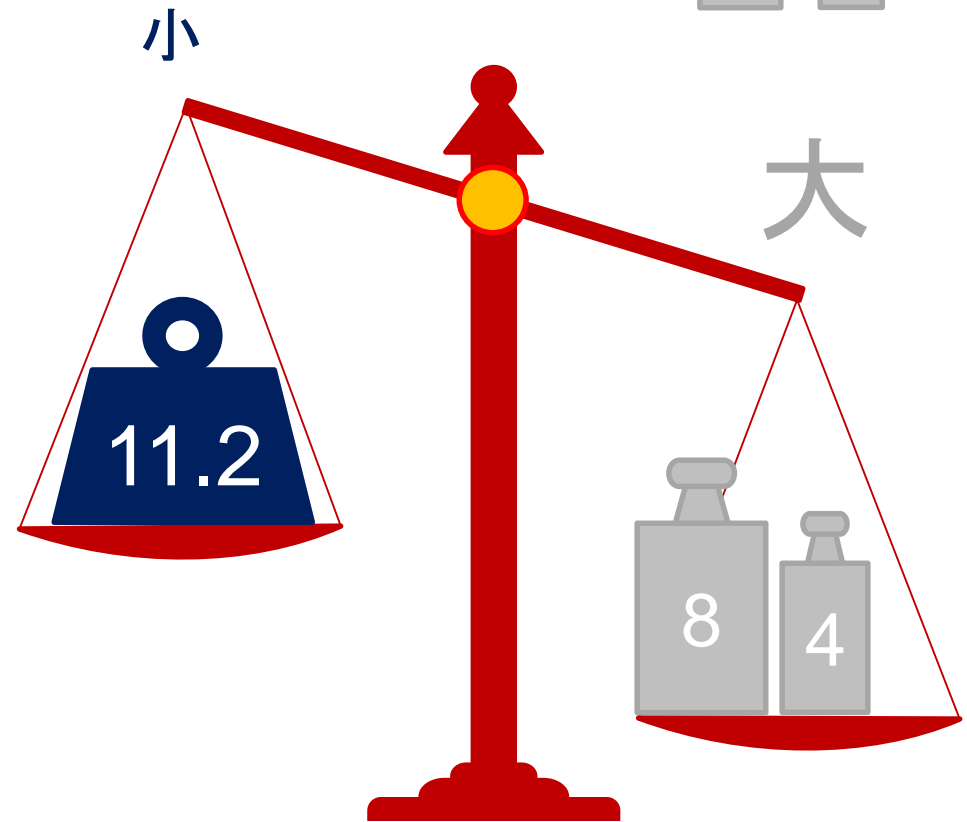
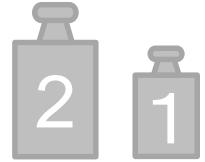
出力に1 ← 入力:大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	D3	D4

入力

重み:p(k)



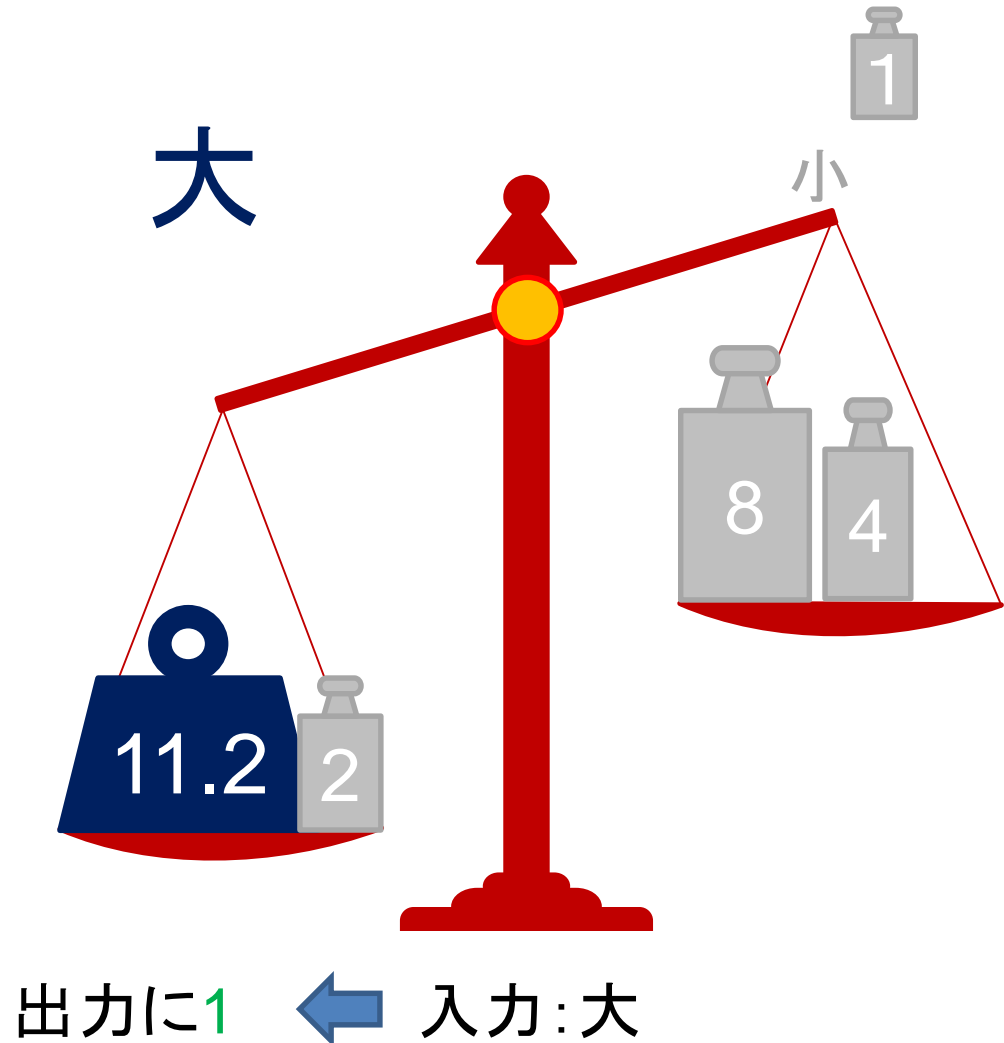
錘:大 → 出力に0

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	D4

入力

重み:p(k)

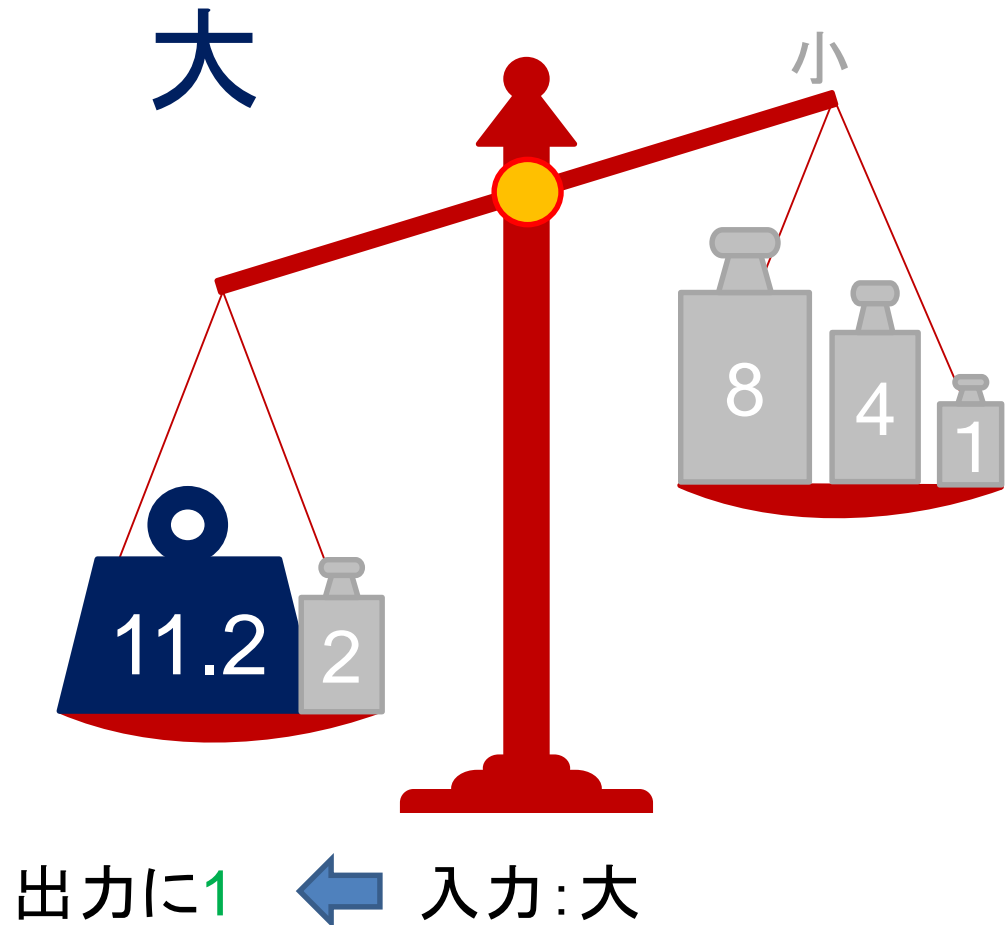


2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



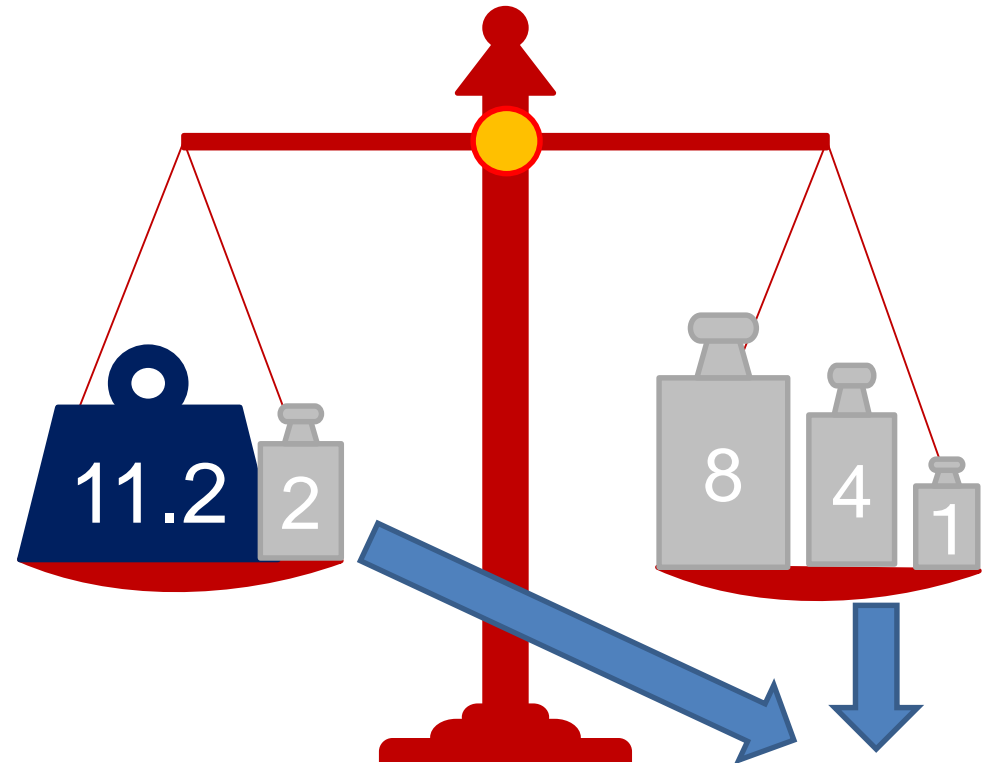
デジタル出力:(1011)₂

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)

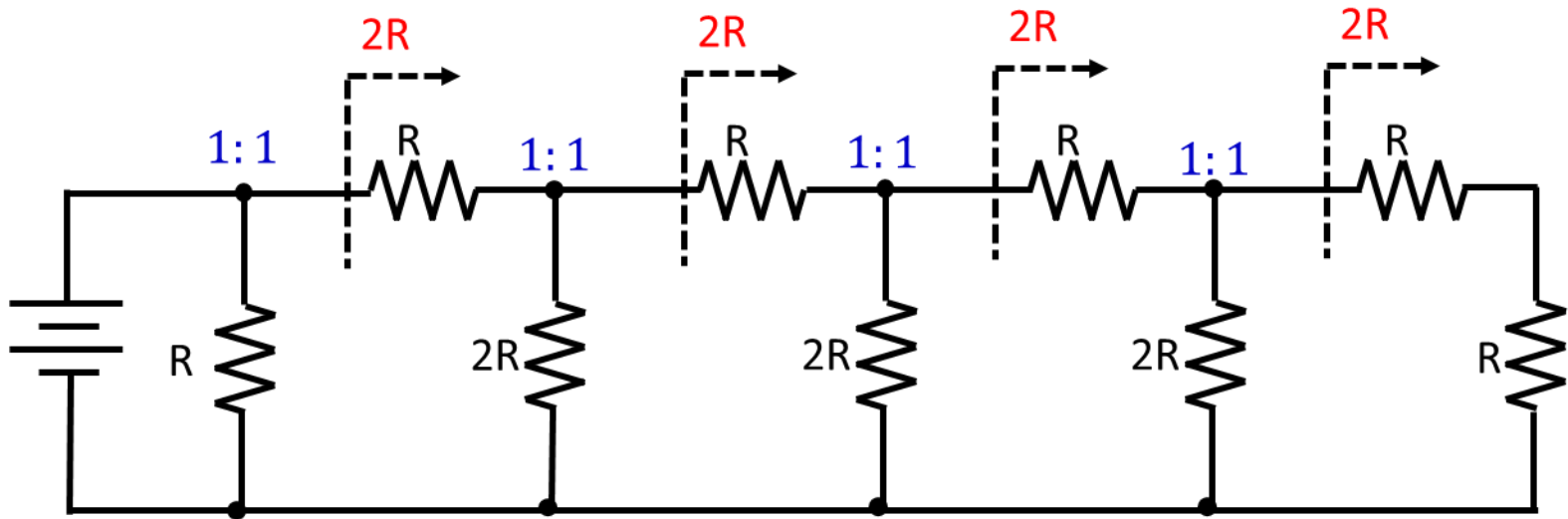


$$\text{デジタル出力: } (1011)_2 = (13-2)_{10} = (11)_{10}$$

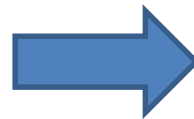
OUTLINE

- はじめに
- SAR ADCとR-2R DAC
 - SAR ADC
 - R-2R DAC
- 3進数
- 3進数DAC
- 3進数SAR ADC
- まとめ

R-2R DAC



各ノードで電流が半分



2進数重みを出力可能

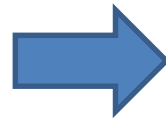
OUTLINE

- はじめに
- SAR ADCとR-2R DAC
- **3進数**
- 3進数DAC
- 3進数SAR ADC
- まとめ

3進数

すべての整数を表現

加減算



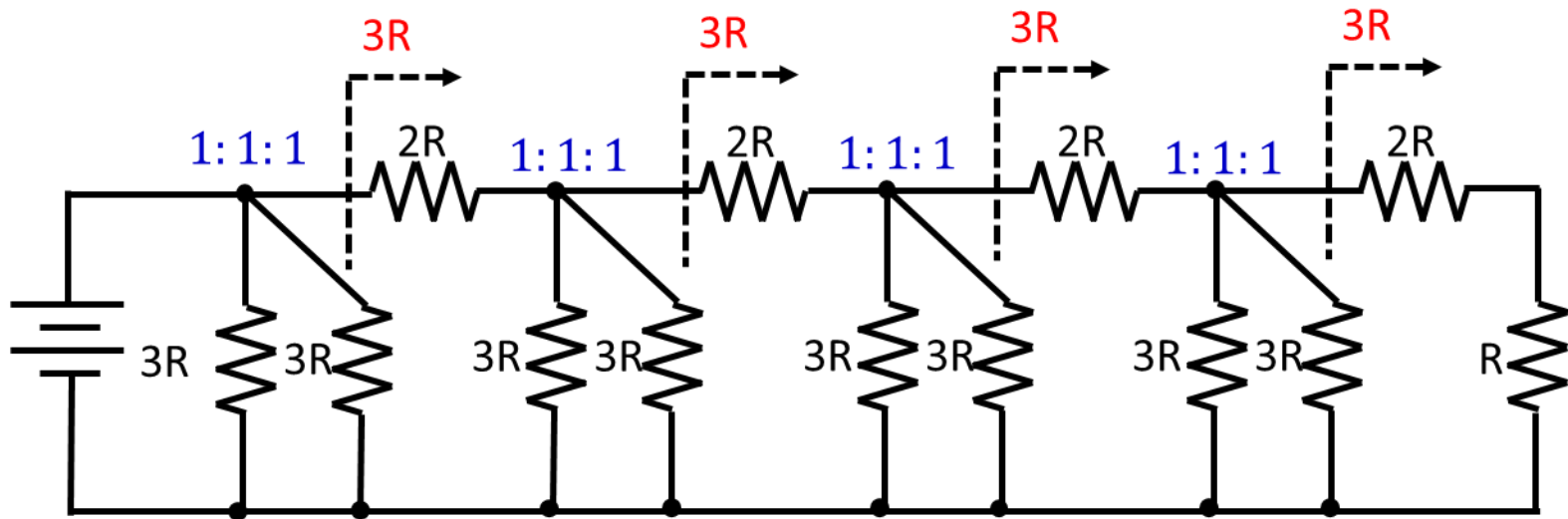
3進数まで使用可能

10進数	3進数	10進数	3進数
-1	-3^0	1	3^0
-2	$-3^1 + 3^0$	2	$3^1 - 3^0$
-3	-3^1	3	3^1
-4	$-3^1 - 3^0$	4	$3^1 + 3^0$
-5	$-3^2 + 3^1 + 3^0$	5	$3^2 - (3^1 + 3^0)$
-6	$-3^2 + 3^1$	6	$3^2 - 3^1$
-7	$-3^2 + 3^1 - 3^0$	7	$3^2 - (3^1 - 3^0)$
-8	$-3^2 + 3^0$	8	$3^2 - 3^0$
-9	-3^2	9	3^2
-10	$-3^2 - 3^0$	10	$3^2 + 3^0$
-11	$-3^2 - 3^1 + 3^0$	11	$3^2 + (3^1 - 3^0)$
-12	$-3^2 - 3^1$	12	$3^2 + 3^1$
-13	$-3^2 - 3^1 - 3^0$	13	$3^2 + 3^1 + 3^0$
-14	$-3^3 + 3^2 + 3^1 + 3^0$	14	$3^3 - (3^2 + 3^1 + 3^0)$
-15	$-3^3 + 3^2 + 3^1$	15	$3^3 - (3^2 + 3^1)$
-16	$-3^3 + 3^2 + 3^1 - 3^0$	16	$3^3 - \{3^2 + (3^1 - 3^0)\}$

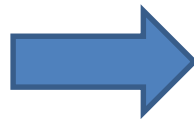
OUTLINE

- はじめに
- SAR ADCとR-2R DAC
- 3進数
- **3進数DAC**
- 3進数SAR ADC
- まとめ

3進数抵抗ラダーの構成



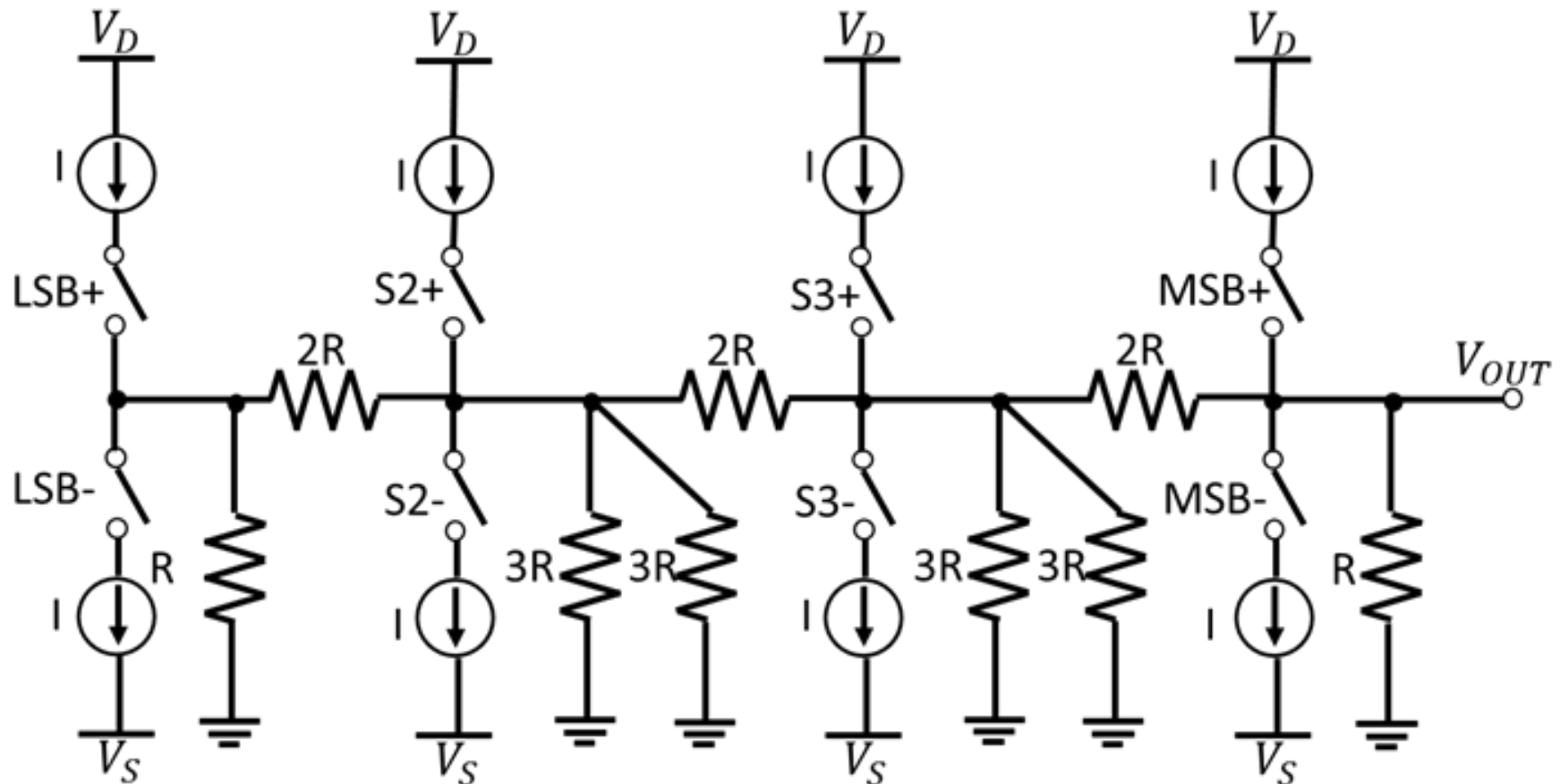
各ノードで電流を3等分



3進数重みを出力可能

3進数DACの構成

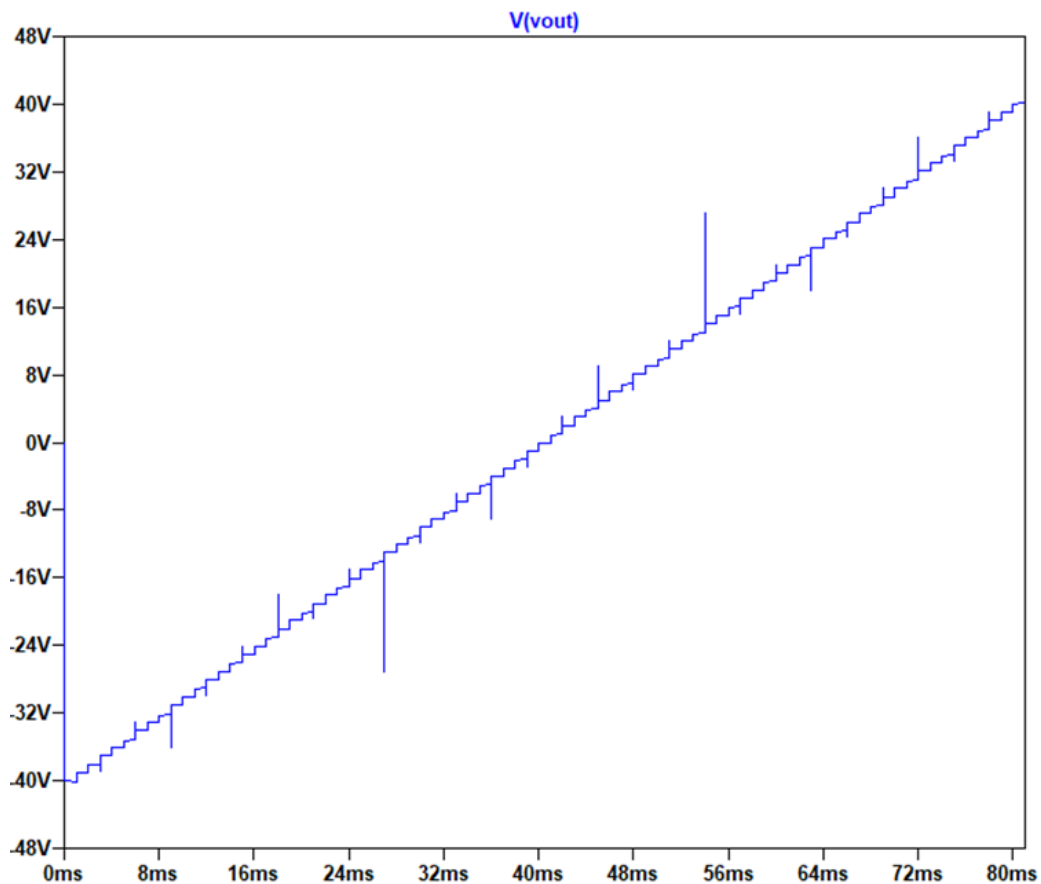
抵抗ラダー型3進数DAC



シミュレーション

LTspiceによるシミュレーション ($R = 1.35[\Omega]$, $I = 27[A]$)

出力がMINからMAXまで段々になるようにスイッチを制御

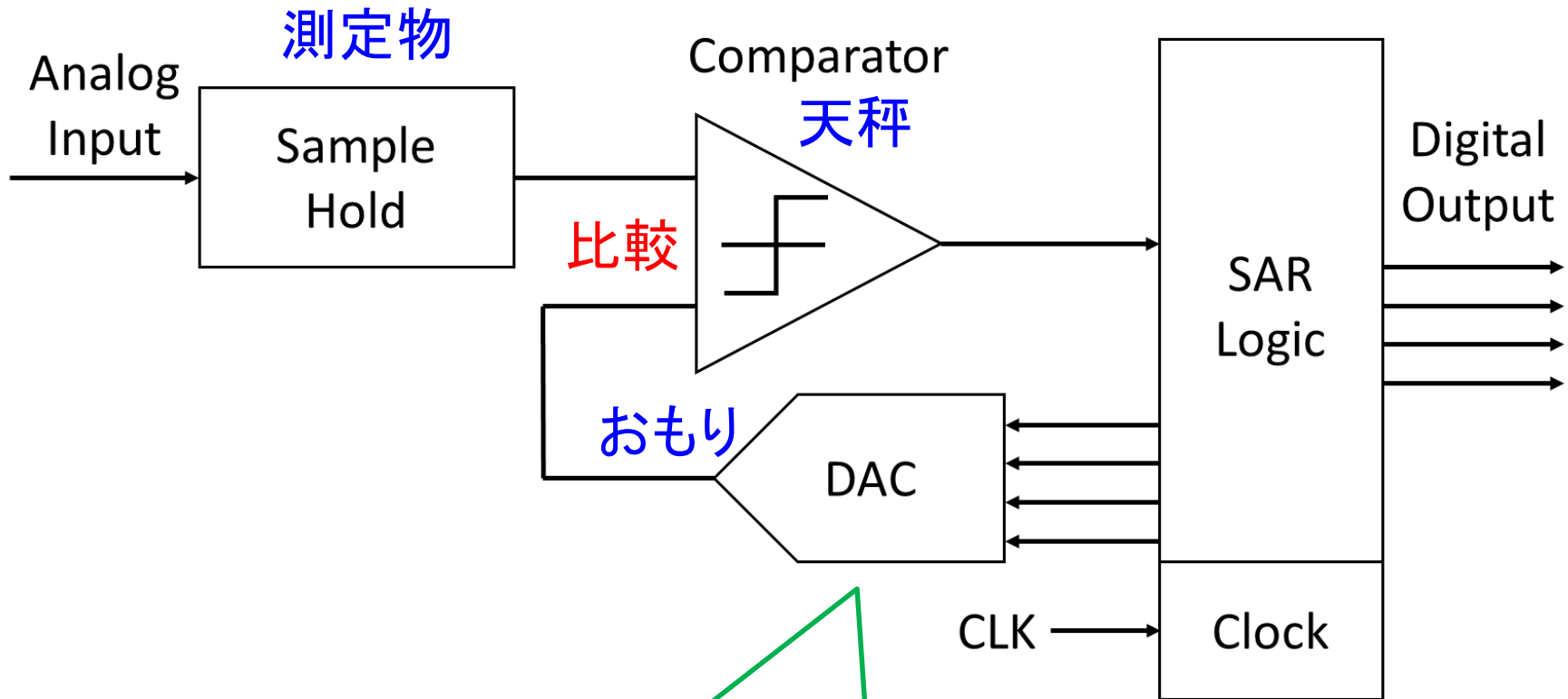


加減算を用いることで**マイナス**も**出力可能**

OUTLINE

- はじめに
- SAR ADCとR-2R DAC
- 3進数
- 3進数DAC
- **3進数SAR ADC**
- まとめ

3進数SAR ADCの構成



3進数DACを利用
(1, 3, 9, 27, 81, 243 ...)



判定方法

(奇数 step , 偶数 step) = (0 , 0) のとき



一側のスイッチのみON

(奇数 step , 偶数 step) = (0 , 1) のとき



両方のスイッチOFF

(奇数 step , 偶数 step) = (1 , 0) のとき



理論的にはあり得ないが
両方のスイッチOFF

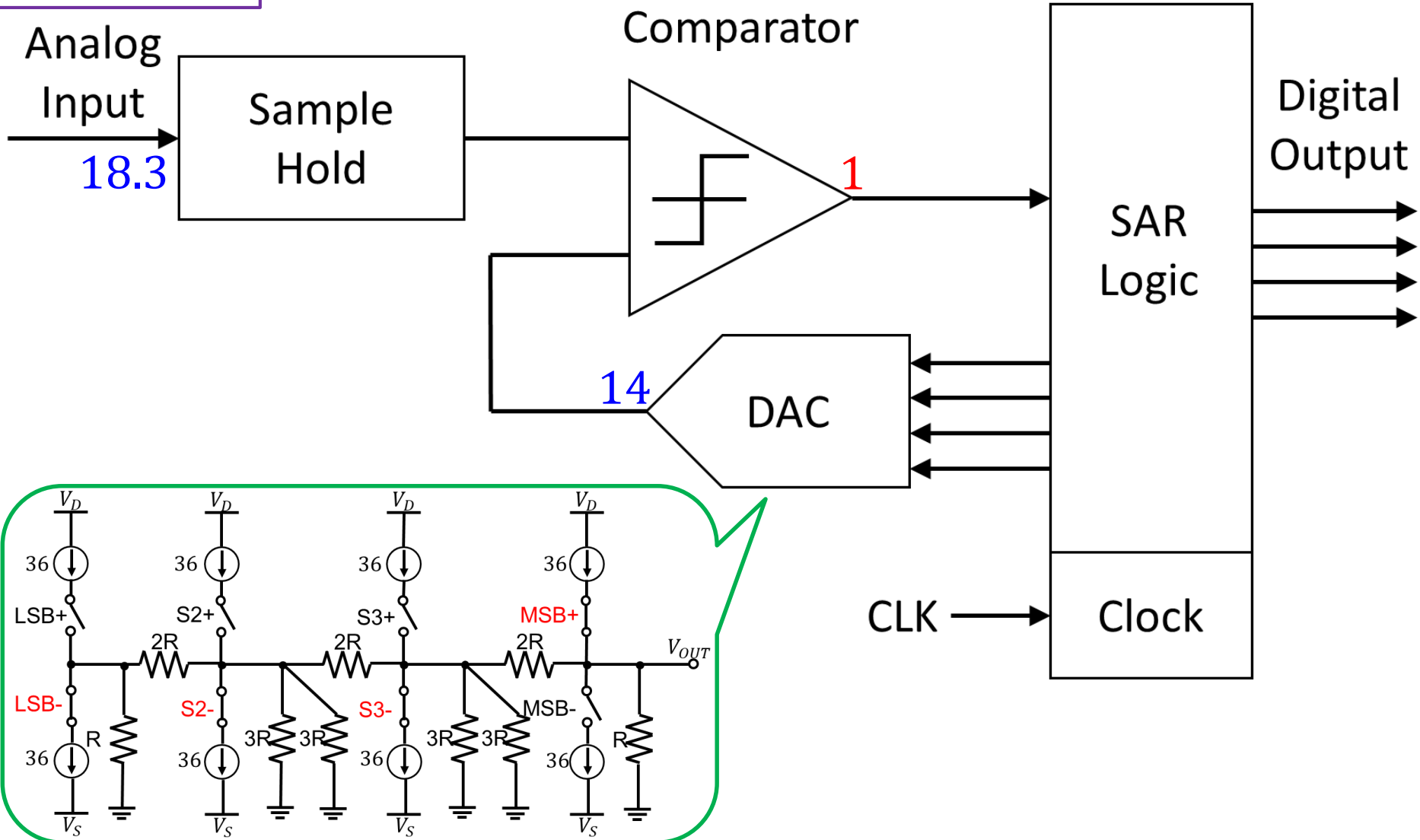
(奇数 step , 偶数 step) = (1 , 1) のとき



+側のスイッチのみON

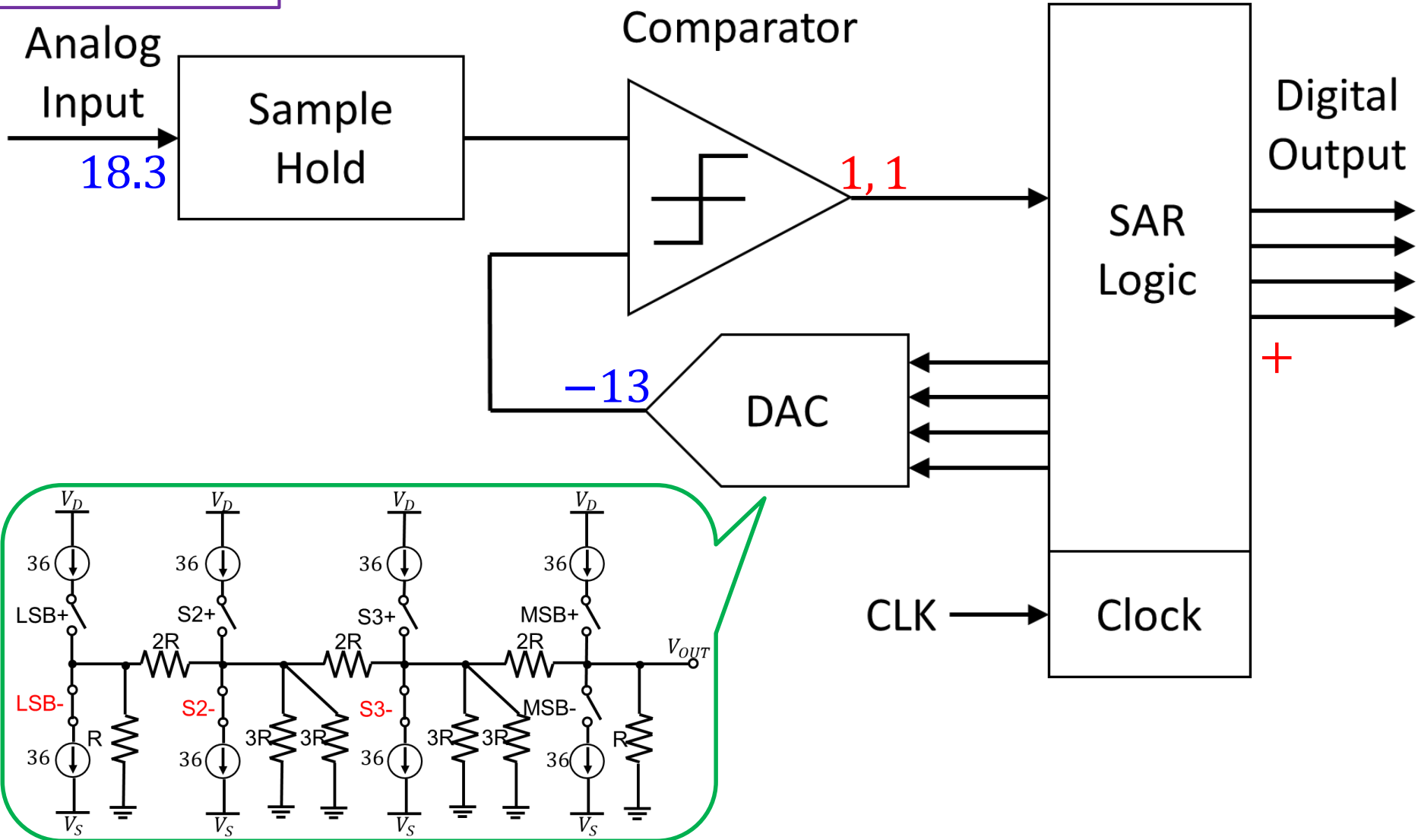
3進数SAR ADC動作

1st STEP



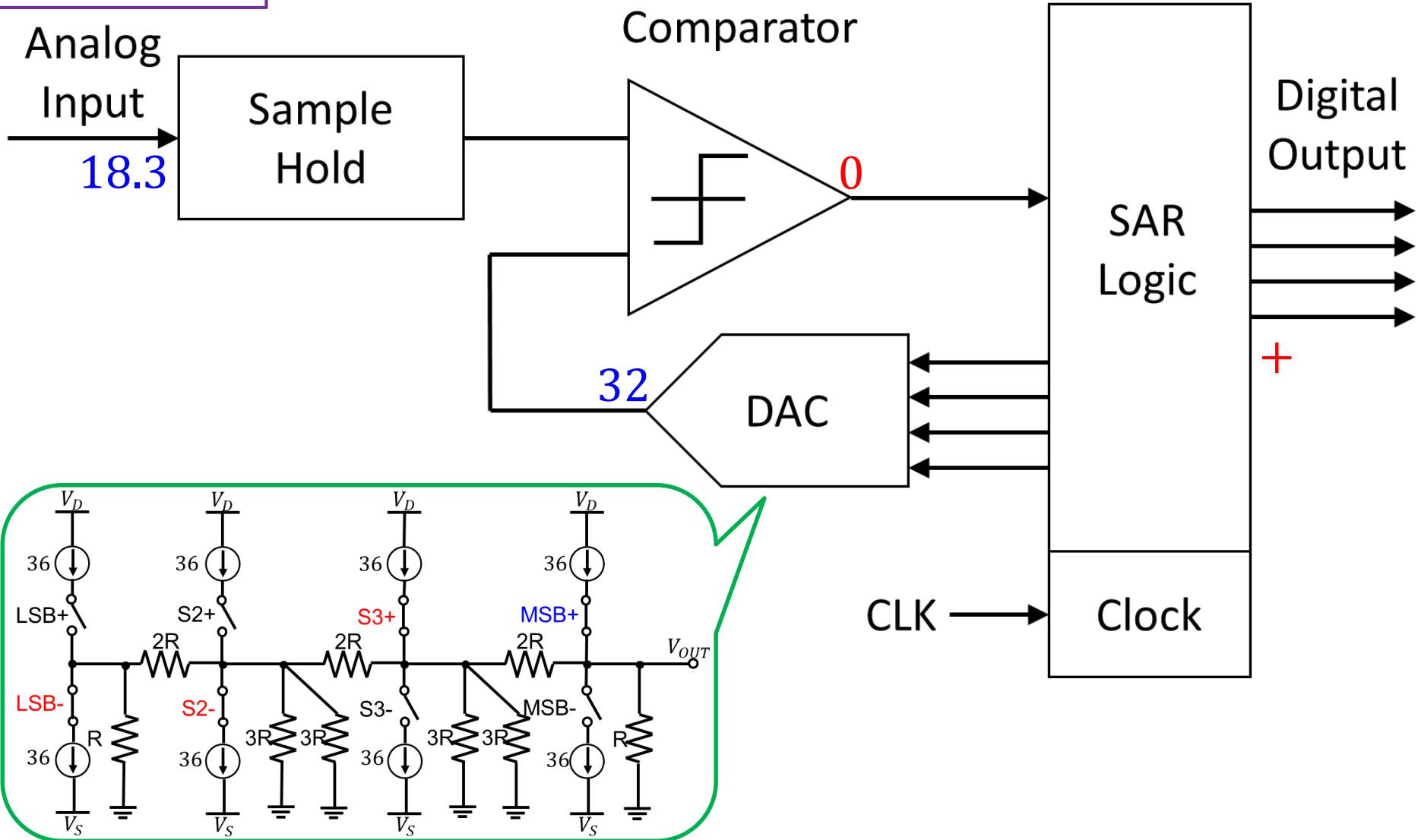
3進数SAR ADC動作

2nd STEP



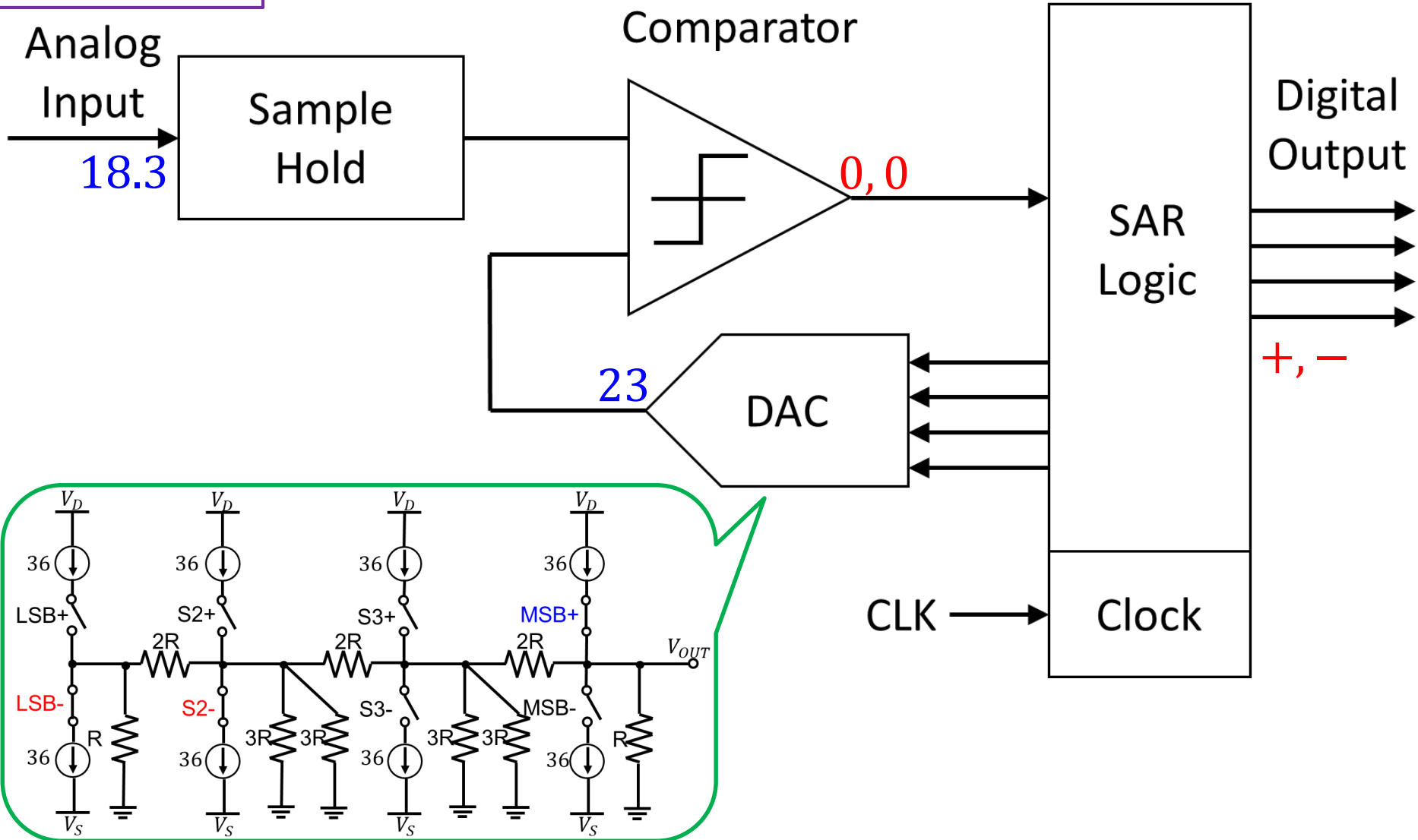
3進数SAR ADC動作

3rd STEP



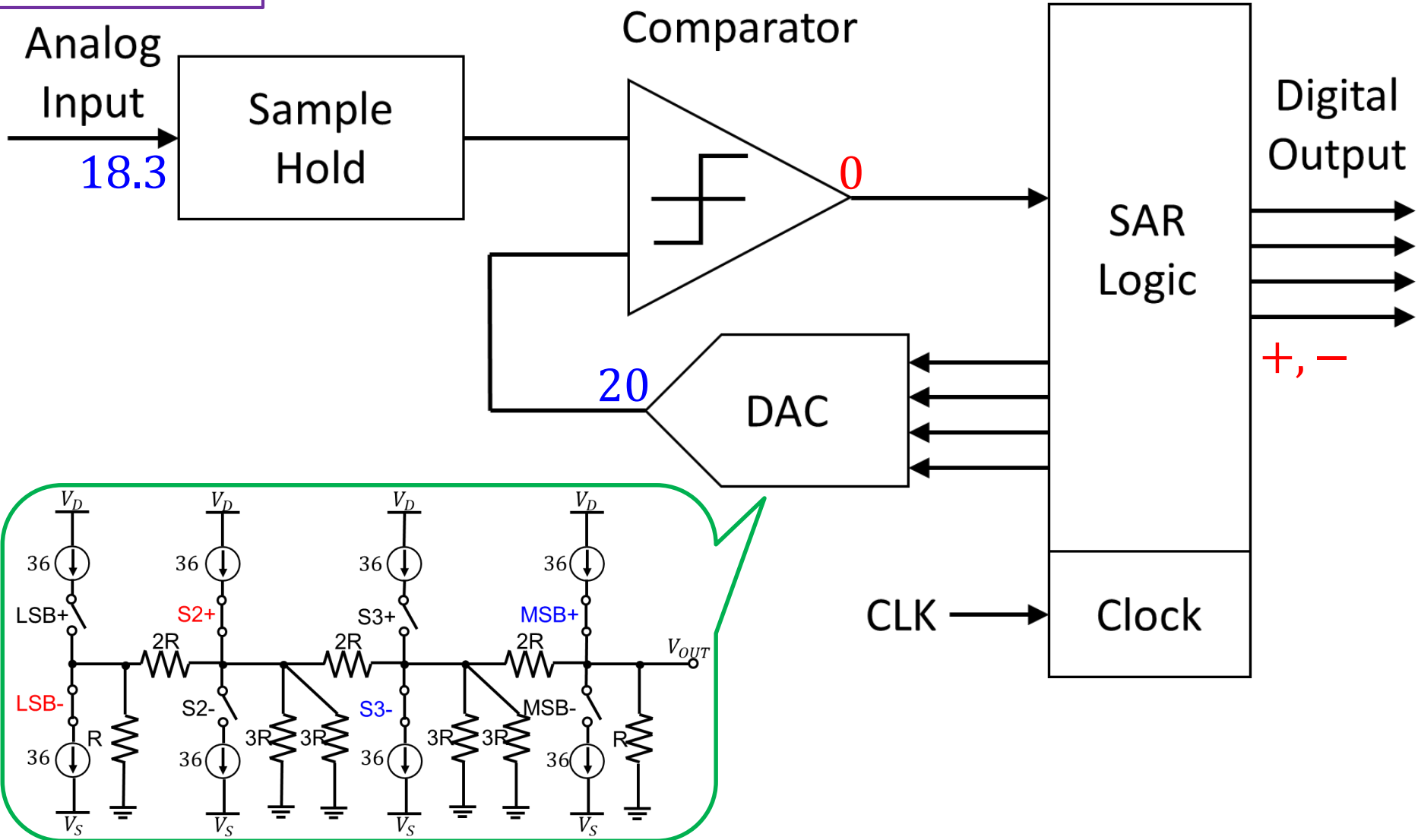
3進数SAR ADC動作

4th STEP



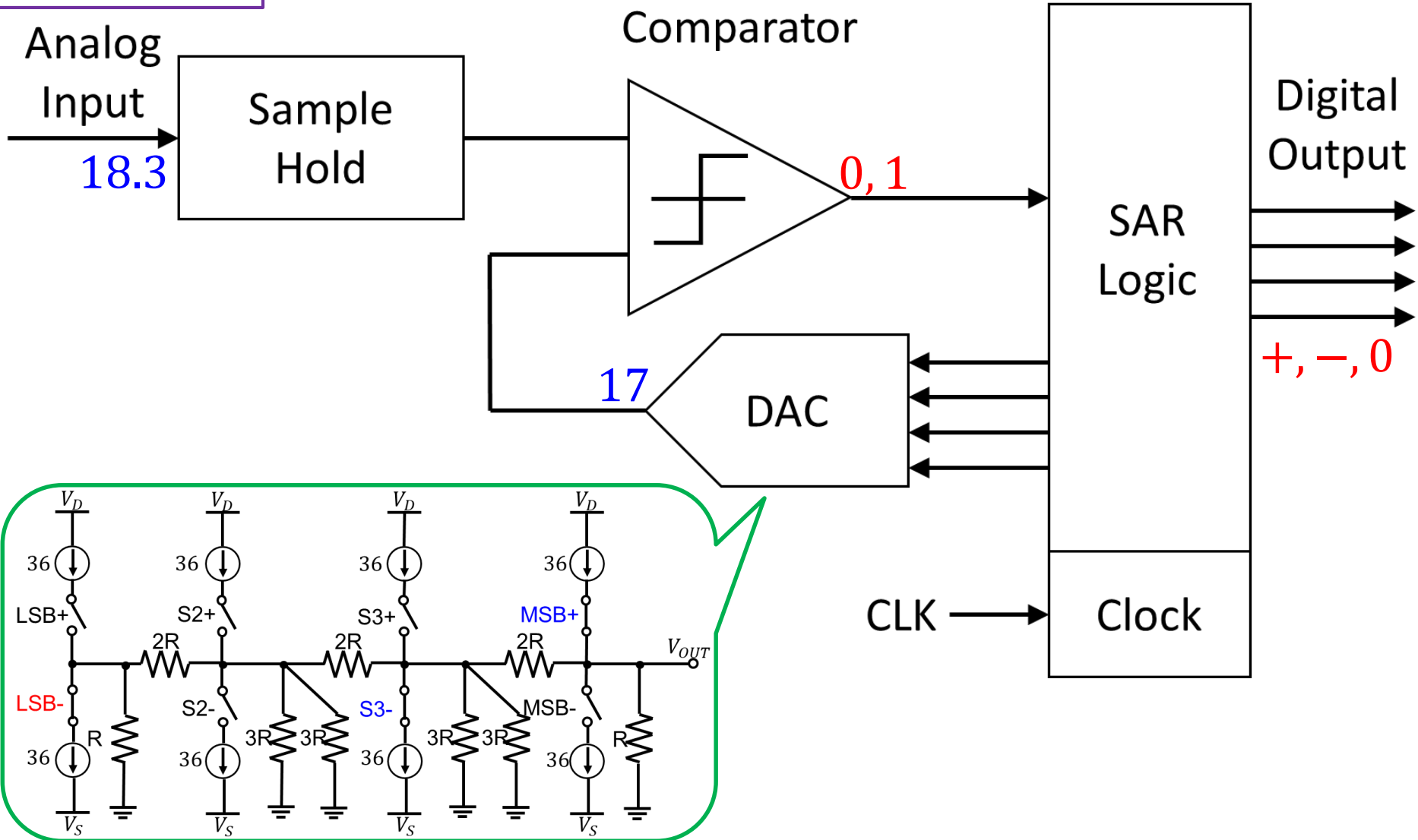
3進数SAR ADC動作

5th STEP



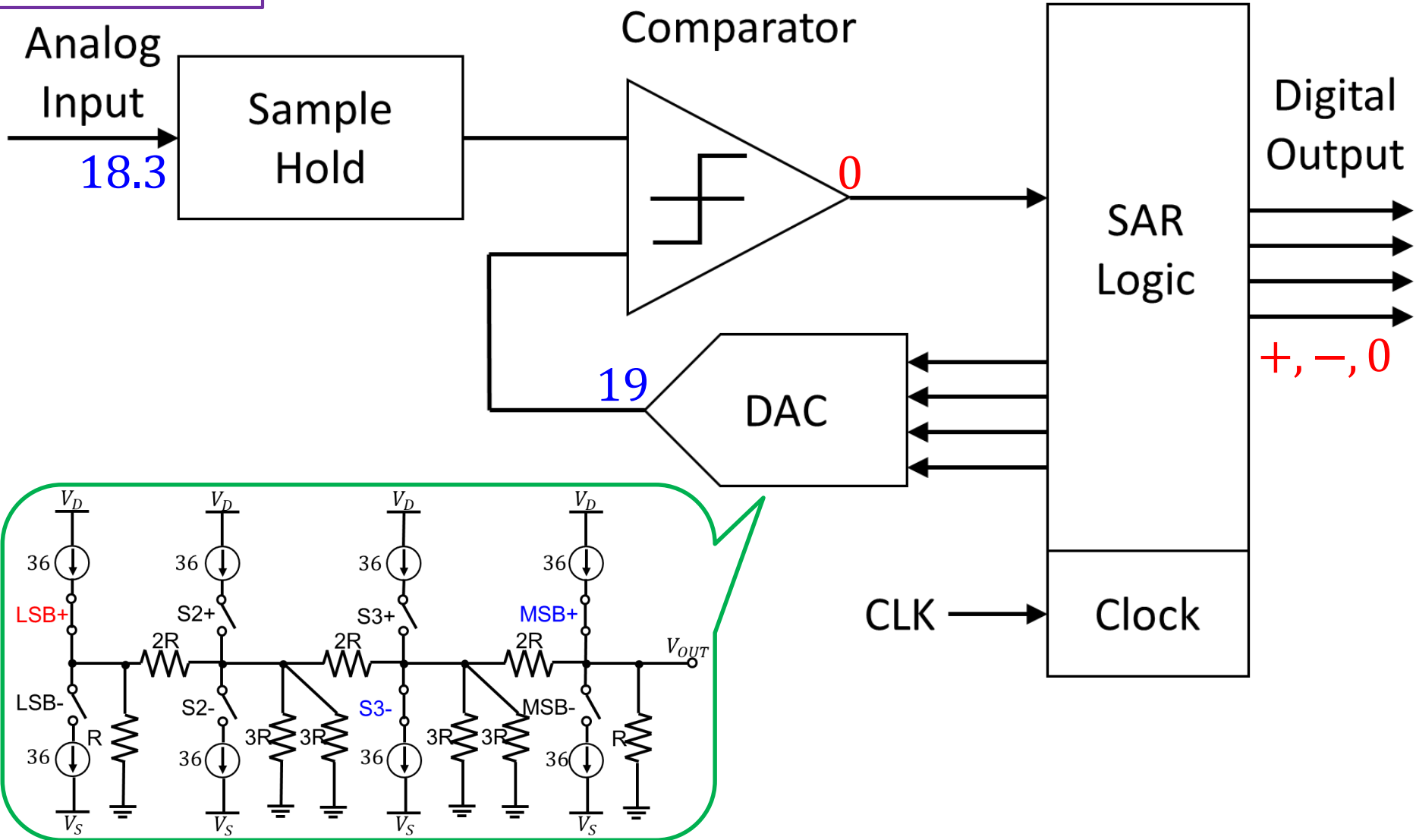
3進数SAR ADC動作

6th STEP



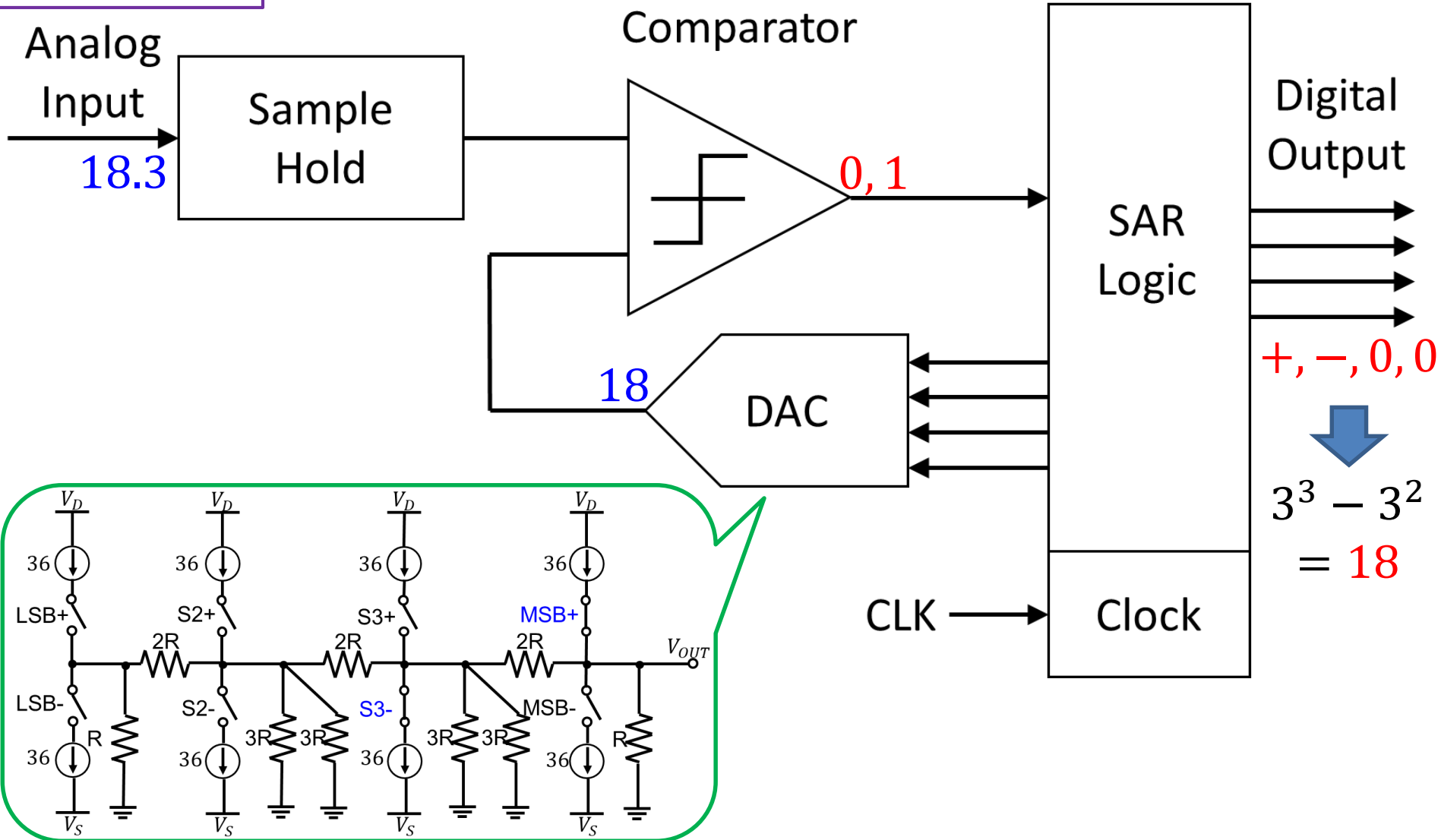
3進数SAR ADC動作

7th STEP



3進数SAR ADC動作

8th STEP



シミュレーション条件

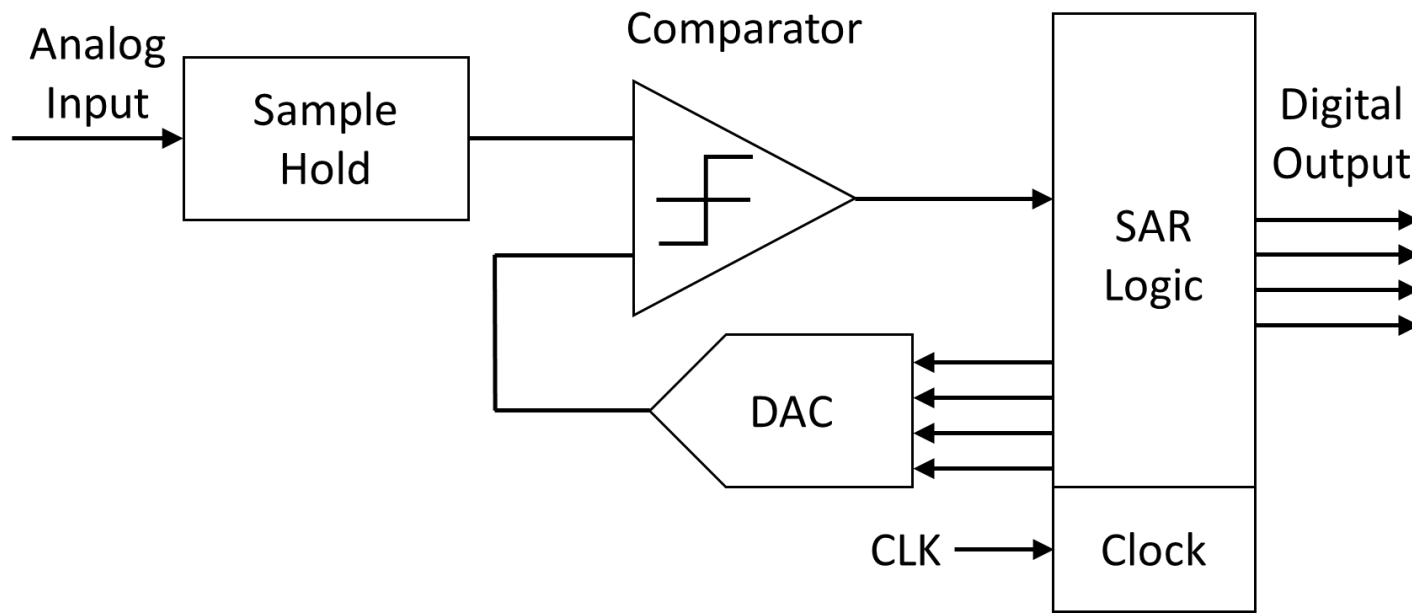
Scilabによるシミュレーション

DACの段数: 4

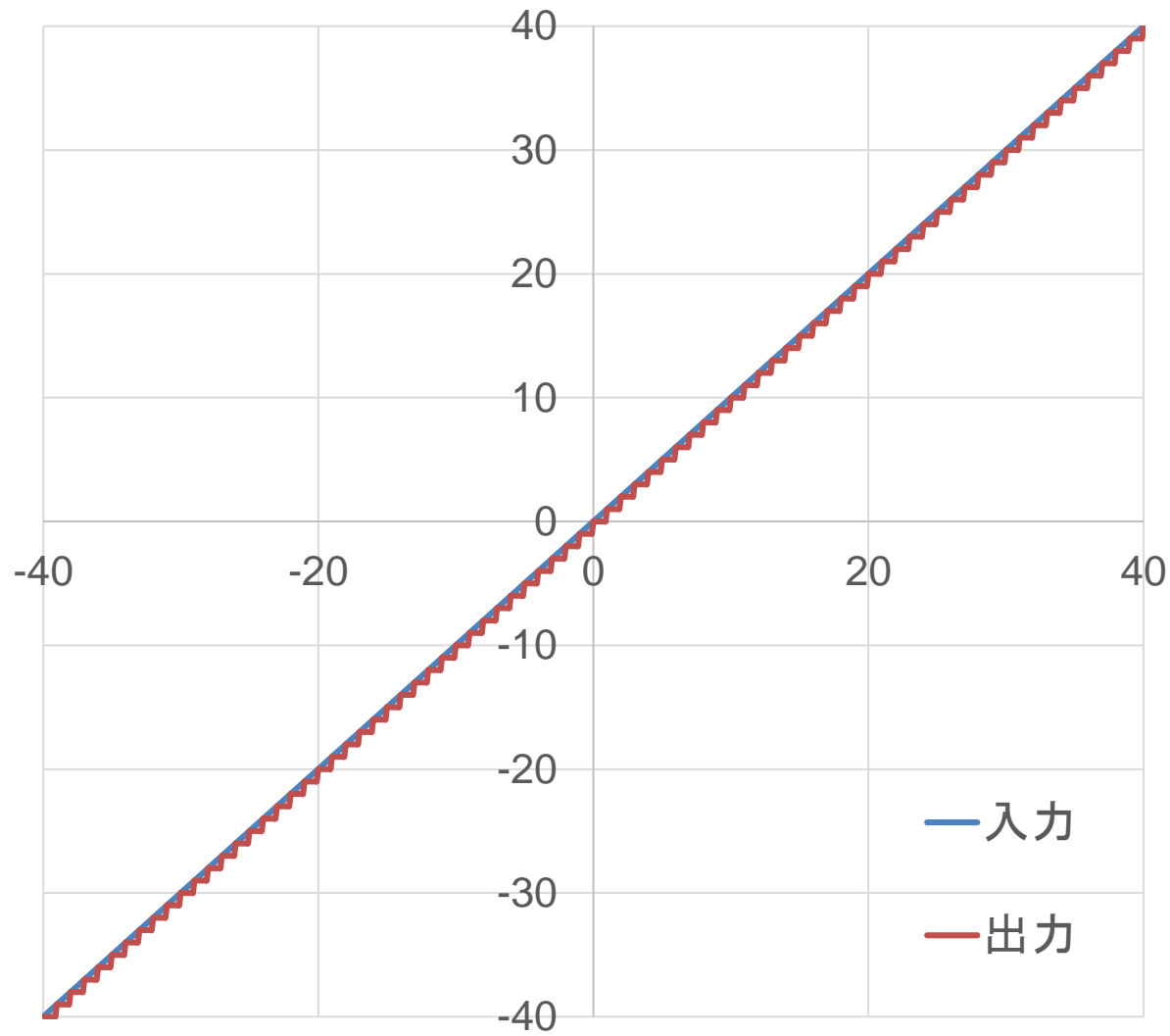
入力 : -40から+40まで0.1ずつ変化



出力の応答を確認



シミュレーション結果



入力と出力の関係が適切



AD変換可能

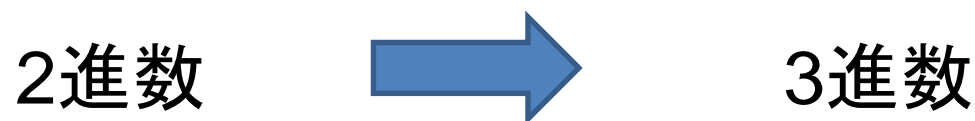
OUTLINE

- はじめに
- SAR ADCとR-2R DAC
- 3進数
- 3進数DAC
- 3進数SAR ADC
- まとめ

まとめ

以下を提案

- 3進数を用いたDACの構成
- 3進数を用いたSAR ADCの構成及び動作



回路規模の縮小が見込める

今後の課題

- 3進数SAR ADCの動作を表現可能な
SARロジックの開発

Q&A

- 3進数DACのシミュレーションでパルス(グリッチ)があるのはなぜか？
 - スイッチのタイミングによって瞬間的に生じてしまう
- 3進数を用いた場合の速度はどうか？
 - 3進数DACが4段のとき、2進数だと7段必要であり、3進数だと8step、2進数だと7stepなので速度は遅くなる可能性がある
- どのくらいの回路規模の縮小が見込めるのか？
 - 3進数DACが4段のとき抵抗の数は9つである。2進数だと7段必要であり、抵抗は13つ必要なため、 $\frac{9}{13} \approx 0.7$ 倍くらいになる