

3 進数を用いた AD/DA 変換器の提案

新井 宏崇* 山本 修平 桑名 杏奈 小林 春夫 (群馬大学) 久保 和良 (小山高専)

AD / DA Converters Based on Ternary Number

Hiroataka Arai*, Shuhei Yamamoto, Anna Kuwana Haruo Kobayashi (Gunma University)
 Kazuyoshi Kubo (National Institute of Technology, Oyama College)

キーワード：逐次比較近似 AD 変換器, 抵抗ラダー型 DA 変換器, 3 進数
 (SAR ADC, Resistor ladder type DAC, Ternary number)

1. はじめに

AD 変換器 (Analog-to-Digital Converter: ADC), DA 変換器 (Digital-to-Analog Converter: DAC) はますます高性能化・小型化が求められる [1, 2, 3]. 本論文では 2 進数より情報量が 1 つ多い 3 進数を用いたアルゴリズムに基づき回路規模の縮小のために ADC・DAC へ適用した構成を提案し, その動作のシミュレーション検証を示す.

2. SAR ADC と抵抗ラダー型 DAC

(1) 逐次比較近似 AD 変換器(SAR ADC)

SAR ADC は高分解能, 中速サンプリング ADC の実現に適した方式である. 低消費電力・小チップ面積の特徴から, 自動車や工業用機械などで広く用いられている. またオペアンプを使用しない回路構成であるため微細 CMOS での実現に適する方式である.

SAR ADC の構成要素は SH 回路, DAC, コンパレータ, 逐次比較レジスタ(SAR) ロジック回路, クロック発生回路の 5 つである (図 1). 正確な変換のためには, SH 回路と DAC に精度・線形性が必要である.

SAR ADC の動作は“天秤の原理”を用い, 多くの場合は 2 進探索アルゴリズムを適用する. SH 回路でアナログ入力を保持し, コンパレータ(天秤) によって DAC 出力電圧(錘)と比較し, これら 2 入力の大比較結果から出力デジタル値の 1 ビット分を決定する. 続けて前ステップの比較結果によって SAR ロジック回路を動作させ比較電圧の大きさを決定し, DAC を通してアナログ信号に変換する. このようして変更された比較電圧と SH 回路からの入力電圧とを一回目と同様に比較する. これらの比較操作と比較電圧変更操作を繰り返してアナログ信号をデジタル信号へ変換する. 図 2 に 2 進探索アルゴリズム 4-bit SAR ADC の探索動作を示す. 図 2 において太線は各ステップでの比較電圧を示し, 重みを $p(k)$ と表す.

(2) 抵抗ラダー型 DAC

図 2 に R-2R 抵抗ラダー回路を示す. 図 2 に R と 2R の種類の抵抗を用意してはしご型に並べる. 上の各ノードから右へのインピーダンスは 2R に見えるので, 各ノードで $2R/2R$ と並列に見え電流を 2 分割することができる. 各ノードで電流が 2 分割されるので, 2R へ流れる電流値は 2 進重みを持つ電流値となり 2 進重み DAC 等に利用される.

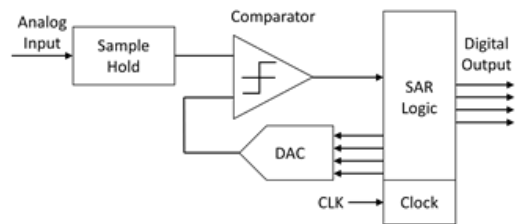


図 1. 逐次比較近似 ADC の構成図
 Fig. 1. Block diagram of an SAR ADC

step	1st	2nd	3rd	4th	out
weight p(k)	8	4	2	1	
15					15
14				$p(4)$	14
13					13
12			$p(3)$		12
11					11
10					10
9		$p(2)$			9
8					8
7	$p(1)$				7
6					6
5					5
4					4
3					3
2					2
1					1
0					0

図 2 : 2 進探索 4-bit 4-step SAR ADC.
 Fig. 2. Binary search algorithm of a 4-bit 4-step SAR ADC.

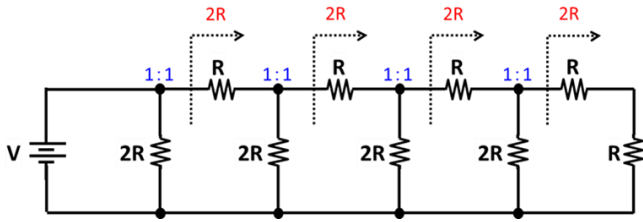


図 3 : R-2R 抵抗ラダー回路

Fig.3. R-2R resistor ladder circuit

3. 3進数

任意の整数は3のべき乗の加減算で表現できることが知られている. 10進数で1から32の場合の例を表1に示す.

表 1 : 3進数による整数の表現

Table 1. Representation of an integer with ternary number

10進数	3進数	10進数	3進数
1	3^0	17	$3^3 - (3^2 + 3^0)$
2	$3^1 - 3^0$	18	$3^3 - 3^2$
3	3^1	19	$3^3 - (3^2 - 3^0)$
4	$3^1 + 3^0$	20	$3^3 - \{3^2 - (3^1 - 3^0)\}$
5	$3^2 - (3^1 + 3^0)$	21	$3^3 - (3^2 - 3^1)$
6	$3^2 - 3^1$	22	$3^3 - \{3^2 - (3^1 + 3^0)\}$
7	$3^2 - (3^1 - 3^0)$	23	$3^3 - (3^1 + 3^0)$
8	$3^2 - 3^0$	24	$3^3 - 3^1$
9	3^2	25	$3^3 - (3^1 - 3^0)$
10	$3^2 + 3^0$	26	$3^3 - 3^0$
11	$3^2 + (3^1 - 3^0)$	27	3^3
12	$3^2 + 3^1$	28	$3^3 + 3^0$
13	$3^2 + 3^1 + 3^0$	29	$3^3 + (3^1 - 3^0)$
14	$3^3 - (3^2 + 3^1 + 3^0)$	30	$3^3 + 3^1$
15	$3^3 - (3^2 + 3^1)$	31	$3^3 + (3^1 + 3^0)$
16	$3^3 - \{3^2 + (3^1 - 3^0)\}$	32	$3^3 + \{3^2 - (3^1 + 3^0)\}$

4. 3進数を用いた DAC

2進数表現に比べて3進数表現は1桁あたりの情報量が大きい. そこで3進数に基づくDACは2進数に基づくDACに比べて同じ分解能ならば回路規模が小さくできる可能性がある. その構成を検討した.

(1) 3進数 DAC

図3のR-2R抵抗ラダー回路を3進数重みが出力できるように設計した回路を図4に示す. 上の各ノードから右を見ると, 抵抗値が3Rであることがわかる. このことから各ノードで電流が3等分に分割される.

表1のように3進数の加減算を行うための抵抗ラダー回路の回路構成を図5に示す. この抵抗の構成と電流源を用いることで3進数DACを構成する.

表2に V_{out} と3進数DACのスイッチの組み合わせの関係を示す. 表2に示すスイッチを制御することにより, DACとして動作させることができる.

(2) シミュレーション検証

LTspiceを用いて図5の回路のシミュレーションを行った(図6). $I=27[A]$, $R=1.35[\Omega]$ とし, V_{out} を1LSBずつ変化させるため上段, 下段のスイッチは式(1)をもとに周期, 式(2)をもとにON時間, 式(3)・式(4)をもとに遅延時間を決定した. ただし式(1)~(4)は表2を参考にし, 関係性を数列表化したものであり, nは左からn個目のスイッチ, T_n はn個目の周期, ON_n はn個目のON時間, D_n をn個目の遅延時間である.

$$T_n = 3^n \dots\dots\dots (1)$$

$$ON_n = 3^{n-1} \dots\dots\dots (2)$$

$$D_{n+} = 2 \cdot 3^{n-1} \dots\dots\dots (3)$$

$$D_{n-} = 0 \dots\dots\dots (4)$$

図6の結果より図5の回路はDACとして使用できる. また, この3進数DACは加減算を用いているため, マイナスの電圧を出力可能である.

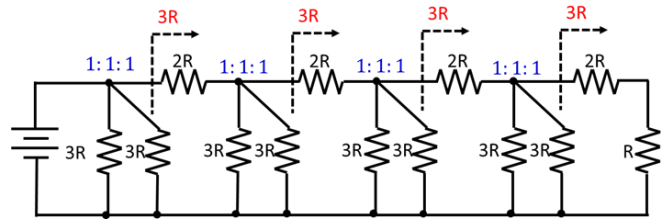


図 4 : 提案する 3進数抵抗ラダー回路

Fig.4. Proposed ternary resistor ladder circuit

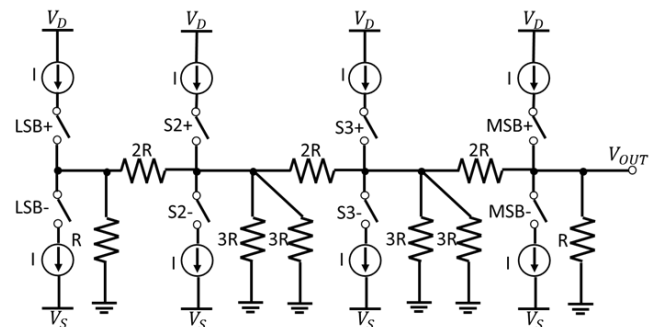


図 5 : 提案する 3進数抵抗ラダーDACの構成

Fig.5. Proposed ternary resistor ladder DAC

表 2 : アナログ出力電圧 V_{OUT} と 3 進数 DAC のスイッチの組み合わせ

Table 2. Relationship between switch combination in proposed ternary DAC and V_{out}

10進数	3進数	ONするスイッチ	V_{OUT}
1	3^0	LSB+	$\frac{1}{36}I$
2	$3^1 - 3^0$	S2+,LSB-	$\frac{2}{36}I$
3	3^1	S2+	$\frac{3}{36}I$
4	$3^1 + 3^0$	S2+,LSB+	$\frac{4}{36}I$
5	$3^2 - (3^1 + 3^0)$	S3+,S2-,LSB-	$\frac{5}{36}I$
6	$3^2 - 3^1$	S3+,S2-	$\frac{6}{36}I$
7	$3^2 - (3^1 - 3^0)$	S3+,S2-,LSB+	$\frac{7}{36}I$
8	$3^2 - 3^0$	S3+,LSB-	$\frac{8}{36}I$
9	3^2	S3+	$\frac{9}{36}I$
10	$3^2 + 3^0$	S3+,LSB+	$\frac{10}{36}I$
11	$3^2 + (3^1 - 3^0)$	S3+,S2+,LSB-	$\frac{11}{36}I$
12	$3^2 + 3^1$	S3+,S2+	$\frac{12}{36}I$
13	$3^2 + 3^1 + 3^0$	S3+,S2+,LSB+	$\frac{13}{36}I$
14	$3^3 - (3^2 + 3^1 + 3^0)$	MSB+,S3-,S2-,LSB-	$\frac{14}{36}I$
15	$3^3 - (3^2 + 3^1)$	MSB+,S3-,S2-	$\frac{15}{36}I$
16	$3^3 - \{3^2 + (3^1 - 3^0)\}$	MSB+,S3-,S2-,LSB+	$\frac{16}{36}I$

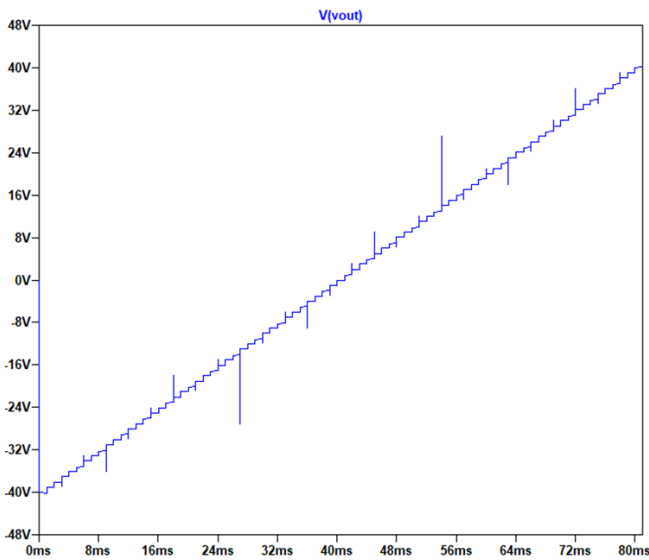


図 6 : 提案 3 進数抵抗ラダーDAC のシミュレーション結果

Fig.6. SPICE simulation result of the proposed ternary resistor ladder DAC

5. 3 進数を用いた SAR ADC

(1) 3 進数 SAR ADC の構成と動作

3 進数 SAR ADC にて図 1 の内部 DAC に 3 進数 DAC を用いることを検討する。

以下に 3 進数 SAR ADC の動作を説明する。ただし k は

整数とし、+は一侧のスイッチを ON, 一侧のスイッチを OFF にし, 0 は+側, 一侧共にスイッチを OFF にし, -は一侧のスイッチを ON, +側のスイッチを OFF にする。

● 1st・2nd step

1. MSB を+, その他のスイッチを-にし,

$\frac{14}{36}I$ を出力し判定を行う。

2. MSB を 0, その他のスイッチを-にし,

$-\frac{13}{36}I$ を出力し判定を行う。

3. 1 と 2 の判定結果が 0, 0 のとき-, 0, 1 のとき 0, 1, 1 のとき+を出力する。

正常動作のときは有り得ないが,

1 と 2 の判定結果が 1, 0 のときは 0 を出力する。

● 2k-1・2k step

A. MSB から $k-1$ 番目までのスイッチを判定結果を基にセットする。

B. MSB から k 番目のスイッチを+, それ以下のスイッチを-にし, 判定を行う。

C. MSB から k 番目のスイッチを 0, それ以下のスイッチを-にし, 判定を行う。

D. B と C の判定結果が 0, 0 のとき-,

0, 1 のとき 0, 1, 1 のとき+を出力する。

正常動作のときは有り得ないが,

B と C の判定結果が 1, 0 のときは 0 を出力する。

以上が提案する 3 進数 SAR ADC 変換器の動作である。

(2) シミュレーション検証

前節の 3 進数 SAR ADC の動作を基にシミュレーションを行った結果を図 7 に示す。シミュレーション条件は以下の通りである。

- Scilab によるシミュレーション
- 3 進数 SAR ADC の内部 3 進数 DAC の段数 : 4 段
- 入力は-40~40まで 0.1 ずつ変化させる

図 7 よりデジタル入力に対して, 期待したアナログ出力が得られることが確認できた。

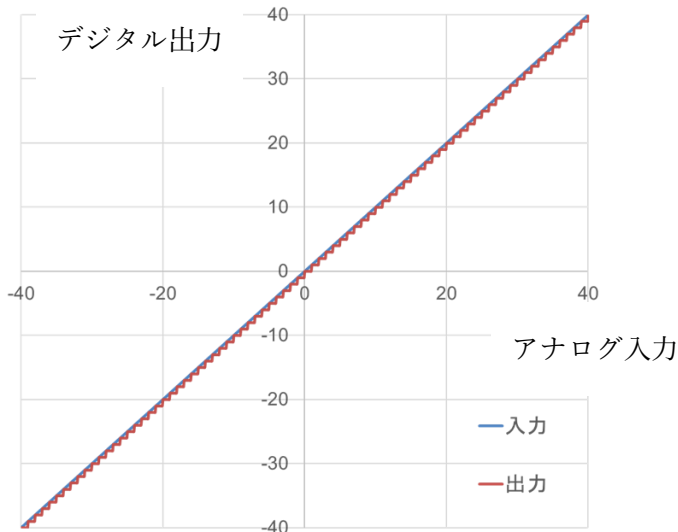


図 7 : 提案 3 進数 SAR ADC の
Scilab シミュレーション結果

Fig.7. Scilab simulation result of
the proposed ternary SAR ADC

6. まとめと今後の課題

(1) まとめ

本論文では 3 進数を用いた DA 変換器と逐次比較近似 AD 変換器の構成を提案しシミュレーションにて動作検証を行った。従来手法の 2 進数と比較し、3 進数は 1 桁あたりの情報量が多い。DA 変換器の段数を 7 段とした場合、2 進数は 0~127 の 128 パターンしか出力できないが、3 進数の場合は -1093~1093 の 2187 パターンを出力可能である。このことから 3 進数を用いることによって DA 変換器及び逐次比較近似 AD 変換器の回路規模縮小が期待できる。

(2) 今後の課題

本論文では 3 進数 DA 変換器の構成とそれを用いた 3 進数逐次比較近似 AD 変換器の動作について検討を行った。今後はこの 3 進数逐次比較近似 AD 変換器を実現するため SAR ロジックを設計開発していく。

文 献

- [1] JEITA IC ガイドブック編集委員会(編著):IC ガイドブック, 産業タイムズ社 (2006 年).
- [2] F. Maloberti, Data Converters, Springer (2007).
- [3] R. Plassche, CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, 2nd Edition, Springer (20013).