

## 複数ピーク電流ミラーを用いた IGBT ドライバ回路の検討

阿部 優大\*, 井田 貴士, 松田 順一, 桑名 杏奈, 小林 春夫 (群馬大学)  
岩渕 昭夫 (サンケン電気)

### IGBT Driver Design using Multiple Peak Current Mirror Circuit

Yudai Abe\*, Takashi Ida, Jun-ichi Matsuda, Anna Kuwana, Haruo Kobayashi (Gunma University)

Akio Iwabuchi (Sanken Electric Co. Ltd.)

キーワード : IGBT, ドライバ回路, 複数ピーク電流ミラー回路, スイッチング損失

(Insulated Gate Bipolar Transistor, Driver Circuit, Multiple Peak Current Mirror, Switching Loss)

### 1. はじめに

IGBT(Insulated Gate Bipolar Transistor)は, MOSFET とバイポーラトランジスタの長所を活かしたパワー半導体デバイスであり, 車載用から産業機器, 民生用まで様々な用途に使用されている. IGBT のコレクタ端子には配線の寄生インダクタンスなどの影響から過度のオーバーシュートやリングングが生じる場合がある. これらは電気回路においてノイズや電力損失を引き起こす. また, MOSFET に比べて, テール電流の影響によりターンオフ時のスイッチング損失が大きくなる. これらを改善することで IGBT の特性向上に繋がると考える.

本論文の提案回路ではゲート電圧で駆動する IGBT [1]を電流源のみで駆動することによって, IGBT の寄生キャパシタにより生じるスイッチング損失を抑えた. また提案回路において, 複数ピーク電流ミラー回路[2,3]を用いることで, ターンオフ時に生じるオーバーシュートやスイッチング損失について, トランジスタレベルの回路で検討した.

### 2. IGBT ターンオフ特性の評価回路

IGBT ターンオフ特性の評価回路を図 1 に示す. 入力電圧  $V_1$  により IGBT である  $Tr_1$  のゲート電圧駆動を行っている.  $V_1$  に電圧を入力すると, 徐々にコレクタ電流  $I_c$  が流れ,  $Tr_1$  がオンの場合は  $L_1, L_2, Tr_1, V_2$  に電流が流れる. 入力電圧  $V_1$

ゼロになると, コレクタ電流  $I_c$  が徐々に減少し,  $Tr_1$  がオフの場合は  $L_1, D_1$  に電流が流れる.  $V_2$  の値が IGBT のターンオフ時のバイアス電圧となる.  $L_2$  はリード線の寄生インダクタンスである. この回路において, IGBT のターンオフ時に,  $V_{OUT}$  にオーバーシュートが発生することを確認した. 波形を図 2 に示す.

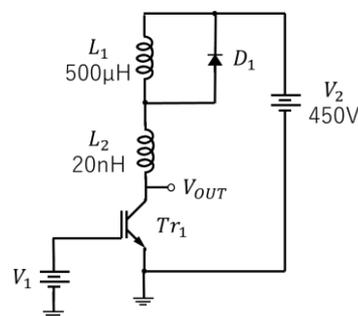


図 1 IGBT ターンオフ特性の評価回路 Fig 1. Circuit for evaluating IGBT turn-off characteristics.

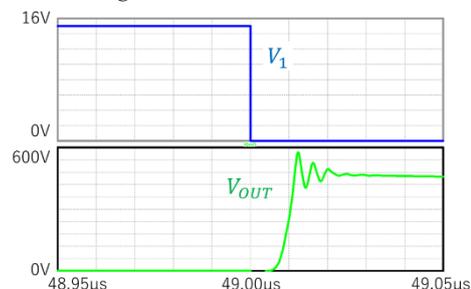


図 2 ターンオフ時の電圧  $V_{OUT}$  のオーバーシュート  
Fig2. Output voltage overshoot during turn-off for the circuit shown in Fig. 1.

### 3. 電流駆動による提案回路

ゲート駆動に用いた電圧源を電流源に置き換えた提案回路を図 3 に示す. 電流源のみで駆動することで IGBT の寄生キャパシタにより生じるスイッチング損失を抑えた. 電流源  $I_1$  により電流を流すと  $Tr_1$  がオンになり, ゲート電圧が徐々に上昇し, しきい値電圧に達するとコレクタ電流  $I_c$  も徐々に上昇する. 電流源  $I_2$  で  $I_1$  とは逆向きに短時間で大きな電流を流すことにより  $Tr_1$  がオフになりコレクタ・エミッタ間電圧  $V_{CE}$  にオーバーシュートが発生する.

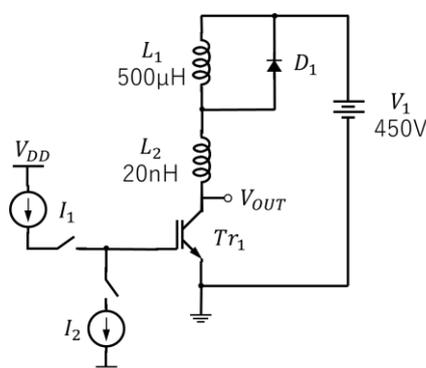


図 3 2つの電流源による提案 IGBT ドライバ回路

Fig3. Proposed IGBT driver circuit  
with two current sources.

この回路において発生する  $V_{OUT}$  のオーバーシュートは電流源  $I_2$  の電流引き抜きの大きさによって変化する. 電流引き抜きを変化させた時のオーバーシュートの波形を図 4 に示す. Case1 は 30A, Case2 は 3A で電流を引き抜いた時の波形である. Case1 のオーバーシュートのピーク値は 597.4V, Case2 のオーバーシュートのピーク値は 545.3V である. Case1, Case2 の波形の比較を図 5 に示す. Case1 は, 立ち上がり時間は早い, が, オーバーシュートは大きくなり, Case2 は, 立ち上がり時間は遅いが, オーバーシュートは小さくなることが確認できる.

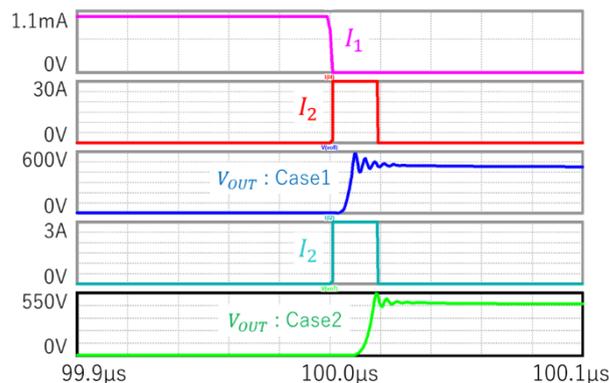


図 4 提案回路でのターンオフ時の電圧  $V_{OUT}$  の  
オーバーシュート

Fig4. Output voltage overshoots during turn-off  
for the proposed circuit.

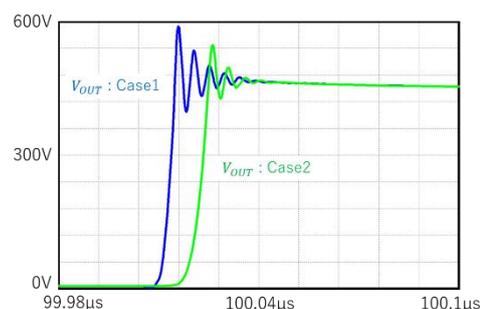


図 5 電圧  $V_{OUT}$  の比較 (Case1, Case2)

Fig5. Comparison of the output voltage profiles  
between cases 1 and 2.

### 4. 提案回路改善の検討

#### 〈4・1〉複数ピーク電流ミラー回路

本研究で用いた複数ピーク電流ミラー回路の回路図を図 6 に示す.  $M_1 \sim M_9$  の nMOS トランジスタのゲートの長さ  $l$  と幅  $w$  は,  $l = 0.2\mu$ , 幅  $w = 50\mu$  とした.

図 6 の回路は入力電圧  $I_{IN}$  の値によって出力電流  $I_{OUT}$  の値を変化することが可能である.  $I_{OUT}$  は  $M_2 \sim M_9$  のドレイン電流の和となる. この回路を用いて, 提案回路の電流引き抜き量を調節することで, ターンオフ時のオーバーシュートや立ち上がり時間を変化させる. 図 6 の回路のみでは一方方向しか電流が流せないため, pMOS トランジスタを用いて出力電流が逆向きとなる複数ピーク電流ミラー回路も用いた. 回路図を図 7 に示す.

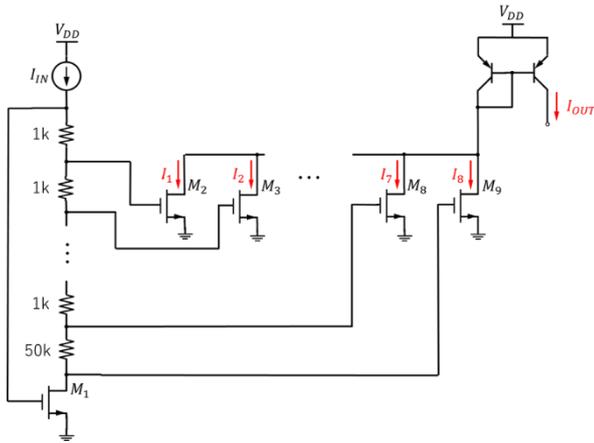


図 6 複数ピーク電流ミラー回路 (nMOS)

Fig6. Multiple peak current mirror circuit (nMOS)

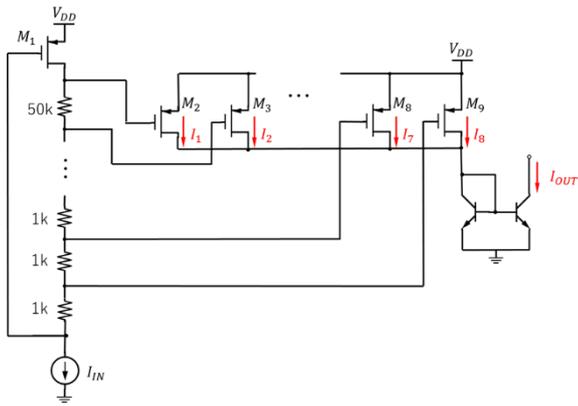


図 7 複数ピーク電流ミラー回路 (pMOS)

Fig7. Multiple peak current mirror circuit (pMOS)

〈4・2〉提案回路への永田電流ミラー回路の利用  
 図 6, 図 7 の複数ピーク電流ミラー回路を用いて電流引き抜き量を変化させて, 図 3 の提案回路でのターンオフ時の  $V_{OUT}$  特性の評価を行った. 電流源  $I_2$  は, Case2 と同様に 3A で電流引き抜きを行った. 回路図を図 8 に示す.

図 8 の回路においてオーバーシュートを抑制したシミュレーション結果を図 9 に示す. Case3 のピーク値は 480.9V であった. Case2 と比べるとオーバーシュートは抑制できたが立ち上がり時間は遅くなった. 立ち上がり時間を早くしたシミュレーション結果を図 10 に示す. Case4 のピーク値は 587.8V で大きくなったが立ち上がり時間は早くなった. Case2, Case3, Case4 の波形の比較を図 11 に示す.

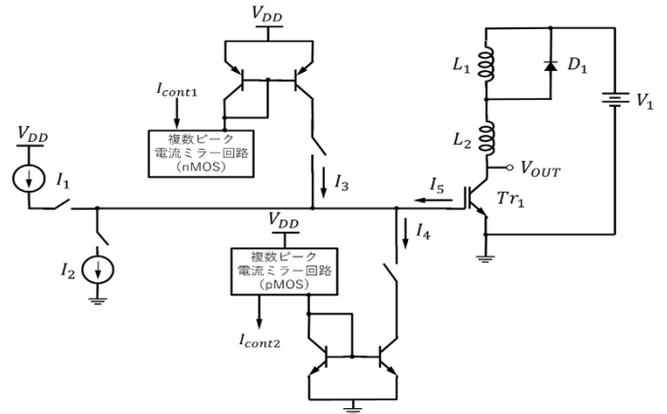


図 8 複数ピーク電流ミラー回路使用 IGBT ドライバ回路

Fig8. IGBT driver circuit

using multiple peak current mirror circuits

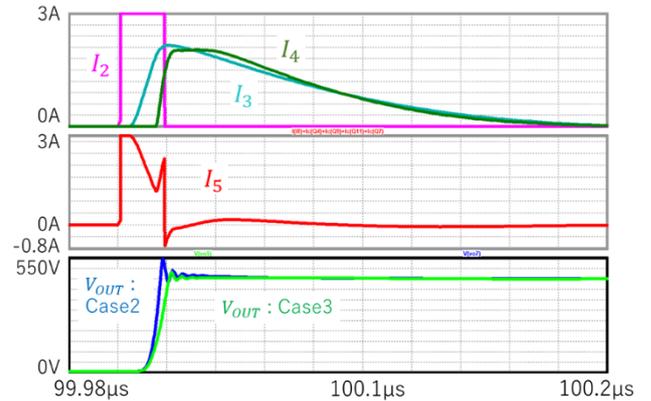


図 9 オーバーシュート抑制

Fig9. Overshoot suppression

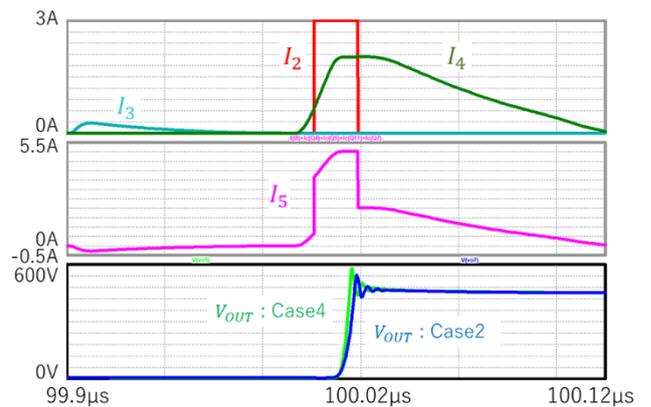


図 10 立ち上がり時間短縮

Fig10. Faster rise time

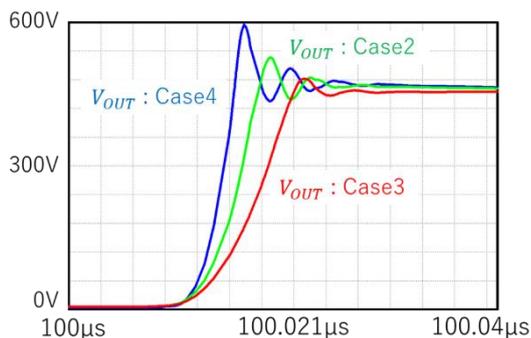


図 11 電圧 $V_{OUT}$ の比較 (Case2,Case3,Case4)

Fig11. Comparison of the output voltage profiles among cases 2, 3 and 4.

オーバーシュートを抑制し、立ち上がり時間を少し早くしたシミュレーション結果を図 12 に示す。Case5 のピーク値は 528.2V であり、Case2 に比べて 17.1V 減少した。減少の大きさは小さいが、立ち上がり時間も少し早くなった。Case2, Case5 の波形の比較を図 13 に示す。

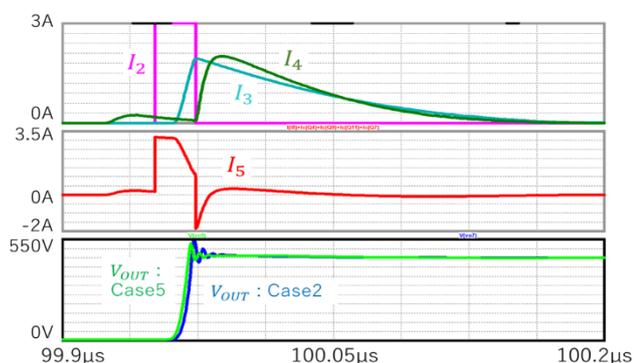


図 12 オーバーシュート、立ち上がり時間共に改善

Fig12. Improvement of both overshoot and rise time

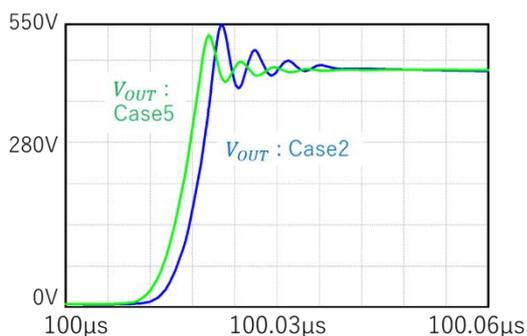


図 13 電圧 $V_{OUT}$ の比較 (Case2,Case5)

Fig13. Comparison of the output voltage profiles between cases 2 and 5.

シミュレーションの結果から複数ピーク電流ミラー回路により電流引き抜き量を変化させることによって、オーバーシュートの大きさや立ち上がり時間を調節できることが確認できた。アプリケーションに応じて適切な波形の生成ができることが見込まれる。

## 5. まとめ

定電流駆動によって IGBT を駆動することにより、IGBT の寄生キャパシタにより生じるスイッチング損失を抑える IGBT ドライバ回路を提案した。提案回路において、複数ピーク電流ミラー回路を用いて電流引き抜き量を調整することで、ターンオフ時に生じるオーバーシュートやスイッチング損失について、トランジスタレベルでシミュレーションを行い、オーバーシュートや立ち上がり時間が変化することを確認した。電流引き抜き量を調整することで必要な波形を生成が可能であると考えられる。

## 文 献

- [1] M. Takamiya, K. Miyazaki, H. Obara, T. Sai, K. Wada, T. Sakurai, "Power Electronics 2.0: IoT-Connected and AI-Controlled Power Electronics Operating Optimally for Each User", IEEE International Symposium on Power Semiconductor Devices and IC's, Sapporo, Japan (May, 2017)
- [2] M. Hirano, N. Tsukiji, H. Kobayashi, "Simple Reference Current Source Insensitive to Power Supply Voltage Variation Improved Minoru Nagata Current Source", IEEE 13<sup>th</sup> International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016)
- [3] M. Hirano, N. Kushita, Y. Moroshima, H. Harakawa, T. Oikawa, N. Tsukiji, T. Ida, Y. Shibasaki, H. Kobayashi, "Silicon Verification of Improved Nagata Current Mirrors", IEEE 14<sup>th</sup> International Conference on Solid-State and Integrated Circuit Technology, Qingdao, China (Nov. 2018)