# 高効率力率改善電源のブリッジレス化

アーマッド ブストニ 大岩 紀行 櫻井 翔太郎 孫 逸菲小堀 康功 小林 春夫 (群馬大学)

## High Efficiency Bridgeless Power Factor Correction Circuit

#### Ahmad Bustoni, Noriyuki Oiwa, Shotaro Sakurai, Yifei Sun Yasunori Kobori, Haruo Kobayashi (Gunma University)

本稿では力率改善(PFC)回路を用いたAC-DC電源の効率改善手法について述べる. 従来PFC回路 では、4個のダイオードブリッジによる整流器を使用するが、ダイオードの損失が大きい. ここで は、ブリッジレス整流器に置き換える方法について検討する. しかし、フルブリッジレス整流回路 では、入力電圧がゼロ電圧付近では使用スイッチに逆電流が流れるため、単純なフルブリッジレス回 路の使用は困難である. この問題を解決するために、スイッチング動作範囲を制限する制御方式を考 案した.シミュレーションにより、提案方法の動作および効率を検証した.

キーワード:AC-DCスイッチング電源, PFC電源, 効率改善, ブリッジレス整流器

(AC-DC switching converter, PFC converter, Efficiency improvement, bridge-less rectifier)

#### 1. はじめに

AC-DC 電源では、ダイオードブリッジに大型の 平滑コンデンサを直接接続したコンデンサ入力型 回路がよく使用される.しかしながらその方式で は入力電流の波形歪みにより力率が非常に低くな ってしまうという問題がある.そこで入力電流波 形を正弦波状に制御するために、力率改善PFC (Power Factor Correction) 電源が使用される.

MOSFETトランジスタのオン電圧はダイオード のオン電圧より低いので、PFC電源のダイオードの 代わりにMOSFETトランジスタを使用すると効率 が高くなる. すなわち使用するダイオードの数が 減ると効率が上がる.

この効率改善方法の1つに, ハーフブリッジレス PFC回路がある. この回路ではローサイドの2つの ダイオードの代わりに, 2つのMOSFETトランジス タを使用する. さらに効率を上がるために, 4つの 全てのダイオードの代わりにMOSFETトランジス タを使用するフルブリッジレスPFC回路がある.

本稿では、最初に従来の基本PFC電源を説明し、 次にハーフブリッジレスPFC電源の回路動作の検 討と効率確認を示す.その後にフルブリッジレス PFC電源の提案回路方式の構成を示しその動作お よび効率を解析する.検証のための回路シミュレ ーションには、SIMPLISを用いた.





#### 図1 基本PFC電源回路図 Fig.1 AC-DC power supply circuit with PFC

PFC電源の基本構成を図1に示す. すなわちPFC 電源の基本動作は昇圧型電源であり,電力システ ムのグローバル化を考慮して最大入力電圧240Vに も対応し,出力電圧Vo が370V以上に設定する. この出力電圧を直接用いることはないので,通常, 出力には10V程度の入力電圧リプルが含まれるこ とを許容する.

以下,図1で示す回路の構成と動作を説明する. 出力電圧Voをほぼ一定にするために,Voを抵抗分割し基準電圧Vrと比較しその差を増幅する.この 増幅電圧と整流された入力電圧を掛算器に入力し, 正弦波状の誤差電圧を得る.一方,入力電流linは 検出抵抗Rsで検出され,上述の誤差電圧と比較増 幅される.この誤差電圧は,クロック信号より作 成された鋸歯状波SAW信号と比較され,PWM (Pulse Width Modulation)信号が生成される.この PWM信号はゲートドライバを介して,スイッチQ を制御駆動する.

シミュレーションで得られた動作波形を図2に, その際用いた回路パラメータを表1 に示す.図2 に示したように,入力電流は入力電圧と同じ正弦 波で同じ位相となる.また,出力電圧はDC363Vに 入力電圧リプルAC8Vがのっている.この図により PFCの効率を求めると,次式となる.



- 図2 基本PFC電源回路のシミュレーション結果 Fig. 2 .Voltage and current waveforms in Fig. 1 (simulation)
  - 表1シミュレーション条件のパラメータ

パラメータ	シミュレーション値
入力電圧	100[Vrms]@50Hz
インダクタ	2.2[mH]
コンデンサ	470[uF]
クロック周波数	200[kHz]
スイッチ R <sub>ON</sub>	200[mΩ]

Table 1. Simulation conditions

### 3. ハーフブリッジレスPFC電源

MOSFETの電力損失はダイオードよりも小さいため. 高効率化のために図3に示したように2つダイオードの代わりに2つMOSFETを使用する.これはハーフブリッジレスPFC回路とよばれている.この回路では、入力電圧Vinが正電圧の場合、入力

電流はダイオードD2を通してコンデンサに流れ, sw1を介して入力電圧に戻る.一方,負電圧の時に 入力電流はダイオードD1を通してコンデンサに流 れ,sw2を介して入力電圧に戻る.



図3 PFC (ハーフブリッジレス) 整流回路

Fig. 3. PFC circuit with half-bridgeless rectifier



Fig. 4. Simulated waveforms in Fig. 3 (simulation 1)

MOSFETを制御するスイッチングパルス波形を 図4に示す.入力電圧Vin>0のとき、スイッチsw1は オン状態であり、スイッチsw2はスイッチング状態 になる.一方、入力電圧Vin<0のとき、スイッチ sw2はオン状態であり、スイッチsw1はスイッチン グ状態である.このハーフブリッジレスPFC回路 のシミュレーション結果を図5に示す.

上の計算値により従来 PFC (ハーフブリッジレ ス) 整流回路は基本 PFC 電源回路 (85.5%) より 効率が高いということがわかる.

図5に示したように入力電圧の波形と位相が正 弦波の入力電圧と同じになる.この図により従来 PFC (ハーフブリッジレス)の効率を求めると次の ようになる.

上の計算値により従来 ハーフブリッジレスPFC 整流回路は基本 PFC 電源回路(85.5%)より効率 が高いことがわかる.



図5 ハーフブリッジレスPFC回路のシミュレー ション結果 (シミュレーション 2) Fig. 5. Simulated waveforms in Fig. 3 (simulation 2)

#### 4. 提案 フルブリッジレスPFC電源

図6にフルブリッジレス回路を示す.この回路で はダイオードブリッジのすべてのダイオードが MOSFETに置き換えられ、効率が大幅に向上する. 入力電圧Vinが正電圧の場合、入力電流はsw3を介 してコンデンサに流れ、sw2を介して入力電圧に戻 る. Vinが負電圧の場合、入力電流はsw1を流れて コンデンサに流れ、sw4を介して入力電圧に戻る. しかし、Vinがある電圧VLimよりも低いと、出力

容量の電荷が入力電圧と逆方向に流れる問題がある. この問題を解決するためには、Vinの絶対電圧に応じてMOSFET sw1およびsw3の動作を制限する必要がある.

MOSFETを制御するスイッチングパルスを図7 に示す.入力電圧Vin>0のスイッチsw4が最初にス イッチング状態になり,次にスイッチsw3がスイッ チングしている間,スイッチsw1がオフ状態であ り,スイッチsw2が オン状態になる.一方,入力 電圧Vin <0のとき,スイッチsw2が最初にスイッチ ング状態となり,次にスイッチsw1がスイッチング され,スイッチsw3はオフ状態であり,スイッチ sw4はオン状態である.筆者らは動作限界電圧 VLimを設定して、さまざまな入力電圧および出力 電流に対する逆電流を防止することを検討した.



図6 提案フルブリッジレスPFC電源回路 Fig. 6 Proposed bridge-less PFC circuit.

スイッチングパルスを図7に示す.入力電圧Vin> 0のスイッチsw4が最初にスイッチング状態になり, 次にスイッチsw3がスイッチングしている間,スイ ッチsw1がオフ状態であり,スイッチsw2が オン 状態になる.一方,入力電圧Vin <0のとき,スイ ッチsw2が最初にスイッチング状態となり,次にス イッチsw1がスイッチングされ,スイッチsw3はオ フ状態であり,スイッチsw4はオン状態である. 筆者らは,動作限界電圧VLimを設定して,さまざ まな入力電圧および出力電流に対する逆電流を防 止することを検討した.

図8に示したように入力電圧の波形と位相が正 弦波の入力電圧と同じになる.この図により提案 PFC (フルブリッジレス)の効率を求めると次のよ うになる.

$$=\frac{513}{531} \times 100\% = 96.6\%$$

上の計算値により提案 PFC (フルブリッジレス) 整流回路の効率が従来 PFC (ハーフブリッジレス) 整流回路 (効率91.9%) と基本 PFC 電源回路 (区 効率85.5%) より効率が高いということがわかる.

図10に提案フルブリッジレス電源での,動作限 界電圧VLimと電源効率の関係を示す.VLimが 80[V]より小さい場合,効率がほぼ一定である. VLimが 80[V]を超えると効率が徐々に下がってい く.このことから入力電圧Vinが 85[V]より 100[V]の方が効率 が高いということがわかる.



図7 提案フルブリッジレスPFC電源の動作波形 Fig.7 Simulated waveforms of the proposed fullbridgeless PFC power supply circuit (I)



図8 提案フルブリッジレスPFC電源の詳細波形 Fig. 8 Simulated waveforms of the proposed fullbridgeless PFC circuit (II)



図9 提案フルブリッジレスPFC電源の制御回路 Fig. 9 Control circuit in the proposed full-bridgeless PFC circuit





### 5. まとめ

ブリッジレスPFC電源の効率改善を検討し,ハ イサイドFETトランジスタを選択的にスイッチン グ動作させる高効率フルブリッジレスPFC電源を 提案した.入力電圧がゼロ電圧に近いと,スイッ チを介して出力電圧より逆流電流が流れることを 解明し,この対策として入力電圧の絶対値が所定 電圧VLim以上のときのみハイサイドのSWを動作 させる方式を考案した.

各方式の効率も比較測定し,基本PFC電源で 85.5%,ハーフブリッジレスPFC電源で91.9%,提 案フルブリッジレスPFC電源で最高効率が96.6% をシミュレーションにより比較し確認した.

さらに提案フルブリッジレスPFC電源の効率に おいて、動作制限電圧VLimの変化に対する効率の 関係も明確にし、VLimが80V以下では電源効率に 差が無いことも示した.

文 献

- Y. Kobori, L. Xing, G. Hong, T. Shishime, M. Ohshima, H. Kobayashi, N. Takai, K. Niitsu, "Novel AC-DC Direct Converter Design with PFC", International Conference on Power Electronics and Power Engineering, Phuket, Thailand (Dec. 2011).
- [2] N. Oiwa, S. Sakurai, Y. Sun, M. T. Tran, J. Li, Y. Kobori and H. Kobayashi "EMI Noise Reduction for PFC Converter with Improved Efficiency and High Frequency Clock", IEEE International Conference on Solid-State and Integrated Circuit Technology, Qingdao, China (Nov. 2018).
- [3] H. Kobayashi, T. Nabeshima (Editors), Handbook of Power Management Circuit, Pan Stanford Publisher (2016).