

低スイッチング損失、低特性オン抵抗、広SOAの 高信頼性60-100 V LDMOS トランジスタ

松田 順一, 桑名 杏奈, 小島 潤也, 築地 伸和, 小林 春夫 (群馬大学)

1. Objective and Background

車載用 60-100V LDMOSに要求されること:

- (1) 広SOA (Safe Operating Area)
- (2) 高信頼性 (高ホットキャリア耐性)
- (3) 低特性オン抵抗
- (4) 低スイッチング損失



LDMOSトランジスタの用途:

- 60-100V LDMOSトランジスタは、民生用電力変換器の統合スイッチングデバイスとして広く使用される
- 車載用の場合、厳しい環境下で、左記の要件を満たす必要がある

従来型のデバイス:

- 左記要件を満たさない

提案デバイス:

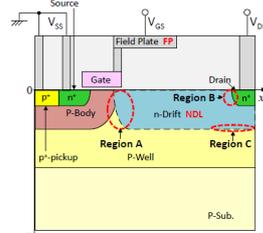
- 左記要件を満たす
- 60-100Vで動作するように拡張可能
→コスト低減が期待できる

2. Cross-section of the LDMOS Transistors

従来型

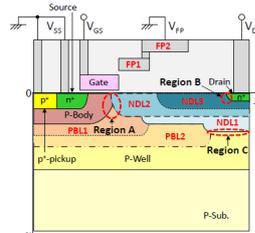
問題点

- (1) 領域Aの高電界
⇒ DAHC (drain avalanche hot carriers)
⇒ **低ホットキャリア耐性**
- (2) 領域Bの高電界 ⇒ Kirk効果
⇒ **ドレイン電流拡大 (CE)**
⇒ 低SOAにつながる
- (3) ドレイン下部の領域Cの高電界
⇒ **ブレークダウン電圧の低下**
- (4) nドリフト領域 (NDL) の低不純物濃度
⇒ **高特性オン抵抗**
- (5) ミラー容量大 ⇒ **高スイッチング損失**



A cross-section of the conventional device (One cell size: $6.55 \mu\text{m} \times 0.2 \mu\text{m}$)
0.35 μm CMOS compatible process

提案型

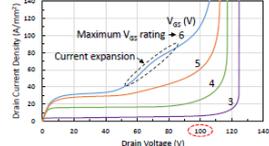


A cross-section of the proposed device (One cell size: $6.55 \mu\text{m} \times 0.2 \mu\text{m}$)
0.35 μm CMOS compatible process

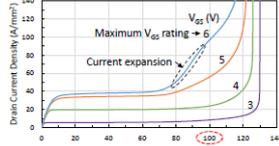
- P型埋め込み層2つ (Dual RESURF構造)
⇒ ホットキャリア耐性を高める
- PBL1: 領域AのRESURF効果を高める
- PBL2: ①ドリフト領域内に均一な電界を生成
②領域Cのブレークダウン電圧の低下を防ぐ
- N型ドリフト層3つ
- NDL1: ドリフト領域の基本層
- NDL2-3: ①特性オン抵抗 $R_{on,sp}$ を低減
②領域Bの高電界によるCEの低減 (NDL3: $R_{on,sp}$ をさらに減少 ⇒ CEを低減する)
- 接地されたフィールドプレート
- FP1: 領域AのRESURF効果を補完する
- FP2: 領域Aを除くドリフト領域のRESURF効果を補完する
- ミラー容量を低減、スイッチング損失を低減

3. Simulation Results (Electric characteristics)

$I_{DS}-V_{DS}$



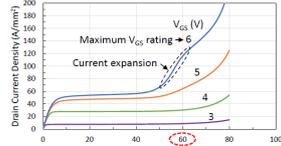
(a) Conventional LDMOS transistor



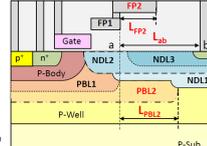
(b) Proposed LDMOS transistor

- CEを生成するドレイン電圧 V_{CE}
⇒ 約50V (@ $V_{GS} = 6V$: 最大の V_{GS})
- 特性オン抵抗 $R_{on,sp}$
⇒ 178 $\text{m}\Omega \cdot \text{mm}^2$ (@ $V_{GS} = 5V$)

縮小されたデバイスにおける $I_{DS}-V_{DS}$

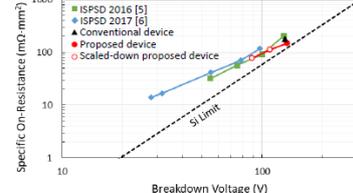


- CEを生成するドレイン電圧 V_{CE}
⇒ 約50V (@ $V_{GS} = 6V$: 最大の V_{GS})
- 特性オン抵抗 $R_{on,sp}$
⇒ 78 $\text{m}\Omega \cdot \text{mm}^2$ (@ $V_{GS} = 5V$)



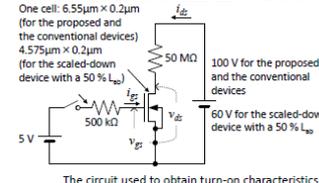
Scaling of the n-drift region
 $\alpha_{L_{nb}} \rightarrow \alpha L_{nd1,2}$ and αL_{fp2}
 α : Scaling factor

$R_{on,sp}$ vs. BV_{DS}

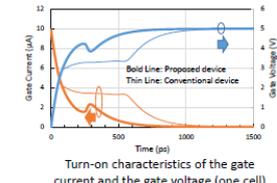


提案型 ⇒ 最先端のレベル

ターンオン特性とFOM

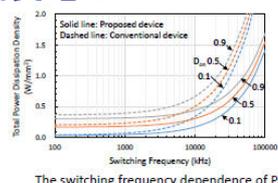


- ゲート電荷密度 Q_g
- 従来型: $Q_g = 2.09 \text{ nC/mm}^2$
- 提案型: $Q_g = 1.06 \text{ nC/mm}^2$



- FOM (オン抵抗 × ゲート電荷)
- 従来型: FOM = 373 $\text{m}\Omega \cdot \text{nC}$
- 提案型: FOM = 159 $\text{m}\Omega \cdot \text{nC}$

消費電力



The switching frequency dependence of P_T

- 提案型デバイスの P_T
⇒ それぞれの D_{on} に対して、従来型デバイスよりも低い ($R_{on,sp}$ が低いため)
⇒ 高いスイッチング周波数領域ではさらに低い (E_{sw} が低いため)

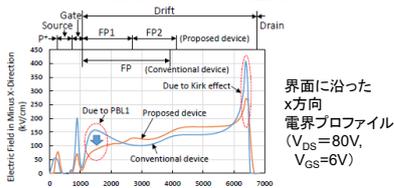
E_{sw} : スwitching サイクルあたりのスイッチング損失の構成要素

	E_{sw1} (J/mm ²)	E_{sw2} (J/mm ²)	E_{sw3} (J/mm ²)
従来型	1.05×10^{-8}	1.96×10^{-8}	3.01×10^{-8}
提案型	5.31×10^{-9}	5.32×10^{-9}	1.06×10^{-8}

P_T { E_{sw1} : ゲートドライブによるもの
 E_{sw2} : ターンオン・ターンオフの間の伝導によるもの } E_{sw}
 E_{cond} : 伝導損失密度 (D_{on} に依存)

4. Discussion

ドレイン電流CEの低減



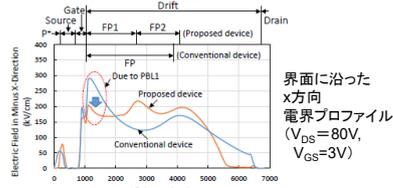
- ① ゲート側ドリフト領域端近傍の電界 E_g
 E_g (提案型) < E_g (従来型) ∴ PBL1
⇒ 提案型では、より低い電子流を生成

- ② MOSFET固有のドレイン電圧 $V_{DS,INT}$
 $\Delta V_{DS,INT}$ (提案型) < $\Delta V_{DS,INT}$ (従来型)
∴ デュアルRESURF構造
⇒ 提案型では、ソース電流の増加を抑制

- ③ nドリフト領域におけるドーピング濃度 N_D
 N_D (提案型) > N_D (従来型) ∴ NDL2, NDL3
⇒ 提案型では、カーク (Kirk) 効果をより低減

- ドレイン側ドリフト領域端近傍の電界 E_d
 E_d (提案型) < E_d (従来型) ∴ カーク (Kirk) 効果
⇒ 提案型では、CEを低減できる

ホットキャリア耐性推測



- ① ゲート側ドリフト領域端近傍の電界 E_g
 E_g (提案型) < E_g (従来型) ∴ PBL1
⇒ 提案型では、従来型より
高いホットキャリア耐性を有する可能性が高い

5. Summary

以下の特性をもつ60-100V LDMOSトランジスタを提案した。

- CEが十分に弱く、広SOAを確保できる
- 特性オン抵抗vsブレークダウン電圧特性は先端レベルにある
- 非常に低いFOM値 (⇒ 伝導損失・スイッチング損失の高い抑制を意味する)
- 高いホットキャリア耐性を有する可能性が高い
- ⇒ 過酷な環境の自動車用アプリケーションに最適

シミュレータの紹介と謝辞

本研究では、アドバンスソフト株式会社の3次元デバイスシミュレータ Advance/TCADを使わせて頂きました。アドバンスソフト社に感謝申し上げます。このシミュレータは科学技術振興機構の支援 (A-STEP) を受けて、アドバンスソフト社で開発されたものです。
http://www.advancesoft.jp/product/advance_tcad/index.html

